

UNIVERSIDAD TECNOLÓGICA DE LA MIXTECA



UNIDAD CENTRAL MAESTRA SIMPLIFICADA (UNICEMAS)

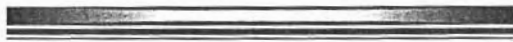


TESIS QUE PARA OBTENER EL TÍTULO DE:

INGENIERO EN ELECTRONICA

PRESENTA:

ALFREDO NEFTALI HIGUERA CORTES



Acatlilma, Huajuapán de León, Oaxaca

Septiembre del 2000

INDICE

AGRADECIMIENTOS

PROLOGO

INTRODUCCION

ANTECEDENTES.....	1
CONTROL SUPERVISORIO Y ADQUISICION DE DATOS EN LA INDUSTRIA ELECTRICA.....	2
SISTEMA SIMPLIFICADO DE CONTROL SUPERVISORIO	3
OBJETIVO.....	4
JUSTIFICACION.....	4

CAPITULO 1. SCADA

1.1 CONTROL SUPERVISORIO Y ADQUISICION DE DATOS.....	7
1.2 PROTOCOLOS DE COMUNICACIÓN.....	9
1.2.1 Técnicas de seguridad.....	10
1.2.2 Protocolos con reporte por excepcion.....	12
1.2.3 Protocolo con barrido constante.....	12
1.3 DIRECCIONAMIENTO EN SISTEMAS SCADA.....	13
1.4 UNIDAD TERMINAL REMOTA.....	14
1.4.1 Salidas Digitales.....	15
1.4.2 Procesó de adquisición de datos.....	16
1.4.3 Modulo de procesamiento.....	18
1.5 MEDIO DE COMUNICACIÓN.....	18
1.6 UNIDAD CENTRAL MAESTRA.....	20
1.6.1 Base de datos.....	20
1.6.2 Interface Hombre-Maquina.....	21
1.6.3 Diagramas unifilares.....	22
1.7 APLICACIONES SCADA.....	22

CAPITULO 2 DESARROLLO

2.1 PLANTEAMIENTO.....	25
2.2 HARDWARE.....	26
2.2.1 Bus PC IBM.....	26
2.2.2 Puertos de Entrada/Salida.....	30
2.2.3 Direccionamiento de la tarjeta interface.....	30
2.2.4 Decodificación de la tarjeta.....	32
2.2.5 Interfaz periférica programable 82C55.....	33
2.2.6 Tonos DTMF (Dual Tone Multy Frequency).....	38
2.2.7 Decodificador de tonos DTMF (MC145436AP).....	38
2.2.8 Codificador DTMF (TCM5089).....	40
2.2.9 Activación del transmisor de radio (PTT).....	42
2.2.10 Puerto de salida de la tarjeta interface.....	45
2.3 SOFTWARE.....	50
2.3.1 Librería de Lectura/Escritura.....	56
2.3.2 Escribiendo la librería 8255.dll.....	57
2.3.3 Compilando la librería 8255.dll.....	60
2.3.4 Declaración de las funciones.....	66
2.3.5 Instrucciones de escritura a puertos de Entrada/Salida.....	67
2.3.6 Instrucciones de lectura a puertos de Entrada/Salida...	69
2.4 CARACTERISTICAS DE LA UNIDAD CENTRAL MAESTRA.....	71

CAPITULO 3 CONCLUSIONES Y PERSPECTIVAS

CONCLUSIONES Y PERSPECTIVAS.....	77
GLOSARIO.....	79
BIBLIOGRAFIA.....	81
ANEXO A.....	83

AGRADECIMIENTOS

Agradezco a todas las personas que de alguna manera intervinieron en el desarrollo de este trabajo. De manera muy especial a:

Profra. Margarita de Gante. A quien le debo el inicio de mi educación. Mi primer Profesora.

Profr. M.C. Jose Antonio Moreno Espinosa. Quien me ha tenido mucha paciencia.

Profr. M.C. Gustavo Jimenez Santana. Quien me enseñó a estudiar.

Ing. Humberto Mendoza Gazga. Quien me enseñó los sistemas de control supervisorio.

Ing. Mario Fernando Cosmes. Quien me apoyó en todo momento para poder presentar esta tesis.

Ingenieros amigos del Depto. De Comunicaciones y Control Divisional CFE y jefes de oficina: Héctor, Daniel, Eduardo, Guillermo, Ing. Juan,...

A mis padres. A quienes les debo todo y de los cuales he recibido la bendición más grande.

A mis hermanos. Que han comprendido mi ausencia en este tiempo de desarrollo de tesis.

A mis tios: Pbro. Sebastian C. y Srita. Paz C., que han soportado mi ausencia.

A mis familiares y amigos. De los cuales he recibido apoyo en todo momento.

A Fabiola Z. Que me brindó su apoyo incondicional.

A DIOS que me permitió concluir este trabajo, y que ha sido símbolo de fortaleza para mí en este tiempo.

Esta tesis la dedico de la manera más especial a la memoria de mi papá †Irineo Higuera Falfan y mi hermano †Noel Cristóbal Higuera Cortés.

U. T. M. 111155

PROLOGO

La presente tesis trata el diseño y desarrollo de una Unidad Central Maestra para un sistema de control supervisorio simplificado, aplicado al monitoreo y control de puntos remotos para el seccionamiento de redes eléctricas. Este sistema de control supervisorio utiliza como protocolo de comunicación el código de tonos DTMF (por sus siglas en ingles Dual Tone Multy Frequency) y radio FM en la banda de VHF como medio de comunicación. Abarca desde la concepción de la idea del sistema completo, hasta la culminación de la aplicación, incluyendo la descripción de un sistema de control supervisorio y adquisición de datos (SCADA).

Esta unidad central maestra simplificada, esta basada en una interface con el bus de una pc compatible con IBM, la cual establece la comunicación entre el procesador y dispositivos periféricos de aplicación específica, en este caso un codificador y decodificador de tonos DTMF.

Esta tesis puede ser usada como apoyo en el proceso de desarrollo e implementación de nuevas ideas aplicables al control supervisorio y al desarrollo de proyectos similares de mayor o menor complejidad que utilicen una interface con el bus de una pc compatible con IBM.

Al final de esta tesis, se encuentran hojas de datos de los dispositivos utilizados en esta tarjeta y bibliografía utilizada en el desarrollo de este proyecto.

INTRODUCCION

ANTECEDENTES

La ingeniería de control ha desarrollado un papel de alta importancia en el avance de la industrialización. Los avances de la teoría y práctica del control automático brindan medios para lograr el funcionamiento óptimo de sistemas dinámicos, liberar la complejidad de muchas rutinas, de las tareas manuales repetitivas, disminuir los errores humanos y abaratar los costos de producción.

El Control Supervisorio se define como: "Una forma de Control Remoto", comprendiendo un arreglo selectivo de instalaciones localizadas remotamente.

Las primeras patentes de Control Supervisorio fueron emitidas entre 1890 y 1930. Esas patentes fueron otorgadas principalmente a ingenieros trabajadores en telefonía y otras industrias de la comunicación. La mayoría de las patentes involucraban control remoto y supervisión, siguiendo las técnicas del cambio del primer teléfono automático instalado en 1892.

A partir de 1900, se desarrollaron muchas variedades de control remoto y sistemas supervisorios. Tal vez uno de los precursores del control supervisorio fue un sistema diseñado por John B. Harlow, este sistema detectaba automáticamente un cambio de estado en una estación remota y reportaba ese cambio a un centro de control. En 1923, John J. Bellamy y Rodney G. Richardson desarrollaron un sistema de control remoto empleando un equivalente de la técnica moderna: "confirmar antes de operar".

Uno de los primeros sistemas de registros fue diseñado por Harry E. Hershey en 1927, este sistema monitoreaba la información desde una posición remota e imprimía cualquier cambio en el estado del sistema, junto con el tiempo y la fecha de cuando el cambio tenía lugar.

En ese tiempo existían diferencias en el tipo de componentes, todos los sistemas eran electromecánicos y los requerimientos de los sistemas de control supervisorio eran simples, así como las técnicas empleadas.

Al cambiar los fundamentos de la tecnología del control supervisorio, cambiaron también el alcance de las aplicaciones, los patrones de códigos fueron mejorados para dar más seguridad y eficiencia. Las técnicas de comunicación fueron cambiando para permitir elevar la velocidad de

transmisión de datos. El advenimiento de circuitos de estado sólido abrió nuevas posibilidades en la operación y capacidades.

CONTROL SUPERVISORIO Y ADQUISICION DE DATOS EN LA INDUSTRIA ELECTRICA.

Para la industria eléctrica, el Control Supervisorio y Adquisición de Datos es un equipo que ha sido implementado con la finalidad de obtener la información y control de las instalaciones de un sistema eléctrico a control remoto desde una central maestra, mediante la cual se hace posible la ejecución de controles para la apertura o cierre de interruptores, inicio o paro de las secuencias automáticas en centrales generadoras, adquisición de información analógica como Voltajes, Amperes, Kilowatts/Hora y adquisición digital, señalización del estado que guardan los interruptores en una subestación, al igual que también obtiene la información de alarmas y protecciones de los diferentes dispositivos que componen una subestación, todo esto con el fin de proporcionar un mejor servicio y a la vez prever fallas en las subestaciones o centrales generadoras.

En el caso de redes eléctricas, se utiliza un sistema de Control Supervisorio y Adquisición de Datos para adquirir información sobre la condición de la red y así mismo dirigir señales de mando a los dispositivos a controlar por medio de estaciones remotas ubicadas en las subestaciones, éstas subestaciones están geográficamente distribuidas, por lo que un sistema de comunicaciones se encarga de concentrar toda esta información en un centro de control. Un sistema de computo realiza el procesamiento de datos, almacenaje y presentación de la información a un operador, el operador toma decisiones de acuerdo a los objetivos y metas preestablecidas, con el objeto de mantener el sistema eléctrico dentro de sus límites predefinidos de frecuencia, tensión y economía.

La generación de energía eléctrica, su transmisión y distribución ha crecido conforme el avance del país lo ha solicitado, como consecuencia, la complejidad tanto en mantenimiento como en la operación de estos sistemas ha aumentado.

SISTEMA SIMPLIFICADO DE CONTROL SUPERVISORIO

La División de Distribución Sureste es una de las trece divisiones que componen la Comisión Federal de Electricidad en el proceso de Distribución, las instalaciones están conformadas por 387 circuitos de distribución en los niveles de 13.8 y 34.5 kVolts, distribuidos en 10 zonas, 304 de éstos circuitos son completamente rurales, representando un 79% del total y dan servicio al 68.4% de los usuarios en la División.

En las redes eléctricas de los distintos circuitos de distribución se tienen puntos de seccionamiento o transferencia, los cuales, particionan con los puntos de seccionamiento el flujo de energía en caso de falla y con los puntos de transferencia logran energizar las áreas no dañadas. Estos dispositivos eran controlados de manera manual y para enterarse de alguna falla, se dependía de alguna queja, o de alguna alarma activada en los sitios de repetición de equipos de comunicaciones (alarma que se activa y transmite cuando el equipo repetidor es afectado por falta de energía eléctrica). Para poder reestablecer el servicio de energía, se procedía a la búsqueda y seccionamiento de la falla por todo el circuito, al encontrar dicha falla se reportaba y se procedía a la corrección, mientras que el personal se trasladaba a seccionar los puntos y abastecer de energía eléctrica a las áreas no afectadas, en caso de que la falla fuera mayor, como por ejemplo: línea caída, daño en los aisladores, etc. Este proceso representaba mucho tiempo, el cual repercutía en la calidad del servicio de abastecimiento de energía, y aunado a esto, los gastos de traslado y personal eran elevados.

Para mejorar la continuidad del servicio de abastecimiento de energía eléctrica en las áreas rurales, el Departamento de Comunicaciones y Control de CFE División Sureste plantea el desarrollo e implementación de un sistema de control supervisorio a bajo costo basado en la transmisión de tonos DTMF (Dual Tone Multy Frequency) para controlar de manera remota a los dispositivos de seccionamiento en las áreas rurales, lo que permitirá reducir el tiempo de reestablecimiento de energía eléctrica en caso de falla para las áreas no afectadas, así como disminuir los gastos de operación reflejados por traslado de personal y gasto de combustible, entre otros.

En los puntos de seccionamiento, se tienen actualmente instalados dispositivos neumáticos que son activados mediante Unidades Terminales Remotas Simplificadas (UTR's) diseñadas y ensambladas en el Depto. De Comunicaciones y Control de esta División. Estas UTR's simplificadas actualmente son activadas desde un centro de control mediante la transmisión de un código de tonos DTMF, pueden realizar funciones de

apertura o cierre de los dispositivos seccionadores y de señalar el cambio de estado de dichos dispositivos, es decir, una UTR envía el código de tonos DTMF correspondiente al estado del dispositivo cuando éste sufre un cambio de estado, de abierto a cerrado o bien de cerrado a abierto y cada código es distinto de los demás. No se tiene algún dispositivo que permita detectar que puntos de seccionamiento cambian de estado (abierto o cerrado), debido a que no se cuenta con el equipo que se encargue de decodificar y procesar la información proveniente de las UTR's, además de que existen errores humanos por parte del operador al momento de transmitir el código deseado para comandos de apertura o cierre de dispositivos seccionadores.

OBJETIVO

La presente tesis tiene como objetivo: completar un sistema de control supervisorio económico y eficiente mediante el diseño y desarrollo de una Unidad Central Maestra que satisfaga las necesidades de control remoto aplicado para la reducción de tiempo de interrupción de energía eléctrica en redes de distribución de Comisión Federal de Electricidad.

JUSTIFICACION

Actualmente el sistema simplificado de control supervisorio no cuenta con la etapa de proceso de información proveniente de las UTR's simplificadas para controlar los puntos de seccionamiento y transferencias en las áreas rurales y de este modo la CFE pueda ofrecer un servicio de abastecimiento de energía eléctrica al usuario disminuyendo los tiempos de interrupción y gastos de operación; se plantea el diseño y desarrollo de una Unidad Central Maestra Simplificada con capacidad para procesar la información proveniente de los puntos remotos, diseñado de tal manera que el operador controlará la red de distribución de energía eléctrica mediante un diagrama unifilar, el cual mostrará los puntos de seccionamiento o transferencia señalizando el estado actual en esos dispositivos ofreciendo así la información exacta para la toma de decisiones por parte del operador, por lo que en caso de interrupción, el operador al localizar la falla en el diagrama unifilar, selecciona el punto de seccionamiento a operar y manda el comando de ejecución desde el mismo diagrama unifilar, reestableciendo el servicio de abastecimiento de energía en forma rápida y oportuna. De este modo se completa el sistema simplificado de control supervisorio, obteniendo CFE una disminución de tiempos de interrupción y

disminución de errores humanos, abaratando los gastos de operación (horas-hombre, combustible, gastos de traslado), ofreciendo además seguridad al personal y de esta manera ofrecer un servicio al usuario de mayor calidad a bajo costo.

CAPITULO 1. SCADA

1.1 CONTROL SUPERVISORIO Y ADQUISICIÓN DE DATOS

Para controlar una instalación en forma económica y acertada, se requiere de información confiable, oportuna y adecuada, representando los parámetros importantes. Basándose en esta información la persona encargada del sistema podrá tomar decisiones con mayor rapidez y acierto para mantenerlo dentro de su rango óptimo de operación.

El Sistema de Control Supervisorio y Adquisición de Datos, también conocido como: SCADA (Supervisory Control And Data Acquisition) tiene como objetivos:

- ✓ Liberar al hombre de tareas complicadas, peligrosas y repetitivas
- ✓ Lograr que un proceso opere de manera óptima
- ✓ Disminuir errores humanos
- ✓ Salvaguardar equipos
- ✓ Ahorrar tiempo en la solución de los problemas
- ✓ Disminuir los gastos de operación

Para poder controlar un proceso, se requiere tener acceso a sus parámetros de operación y a los elementos que permitan controlarlo. En cada uno de los puntos con datos a obtener y dispositivos a controlar, se instalan dispositivos que centralizan su información en un sitio de control. Este sistema es encargado de realizar funciones de control y supervisión en los puntos remotos. Las funciones del Control Supervisorio son:

- Adquisición de datos de los puntos supervisados
- Control de dispositivos
- Proporcionar las herramientas para las tomas de decisiones
- Respaldo y manejo de información
- Transmisión de información.

Para que un sistema de Control Supervisorio pueda realizar las tareas asignadas, requiere de varios elementos, los cuales tienen funciones específicas. Estos elementos son:

1. Unidad Central Maestra (UCM). Es la encargada del procesamiento, almacenaje y presentación de la información al operador, esta basada en un equipo de computo.
2. Medio de Comunicación. Debido a que la ubicación de los distintos puntos a controlar se encuentran geográficamente distribuidos, se requieren de sistemas de comunicación para concentrar toda la información en un centro de control situado en un lugar estratégico.
3. Unidad Terminal Remota (UTR). Es la encargada de la Adquisición de la Información del punto supervisado y así mismo, dirigir las señales de mando a los dispositivos a controlar.

Ver Figura 1.1

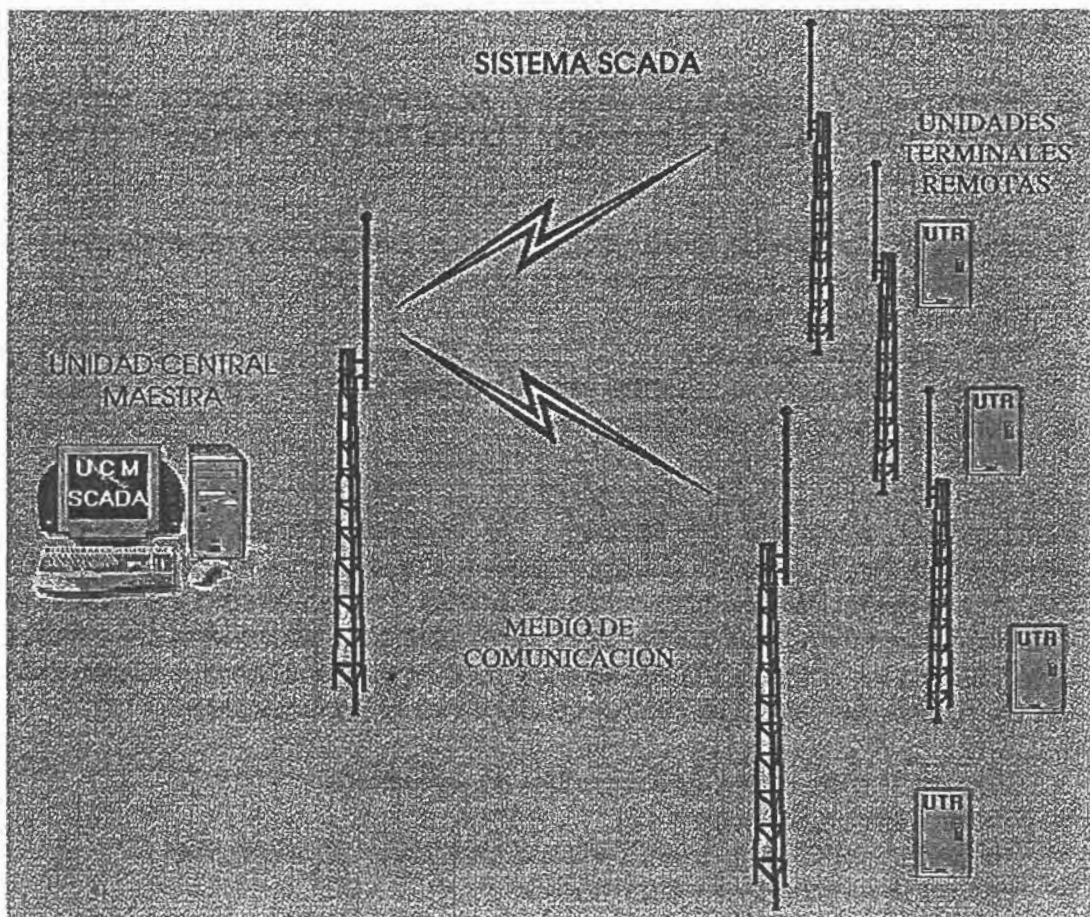


Figura 1.1 Elementos de un sistema SCADA

1.2 PROTOCOLOS DE COMUNICACIÓN

El último y primordial fin de cualquier usuario de equipos informáticos, es obtener la información lo más rápidamente posible, en el lugar adecuado y al menor costo. Cuando los datos, fuente de información y el proceso de dichos datos se encuentra en un solo local, el problema suele ser bastante sencillo, localizados en diferentes puntos todo comienza a complicarse y cada vez más cuantos más usuarios diferentes intervengan. Puesto que los métodos a emplear pueden ser muy diferentes, es necesario establecer una serie de reglas (PROTOCOLOS) para coordinar el flujo de información entre diversos elementos, así como garantizar que éste se realiza correctamente.

PROTOCOLO es el conjunto de reglas entre personas o procesos, que indica quien, cuando y de que manera se debe actuar. La misión del protocolo es por lo tanto, conseguir la mayor eficacia en la realización de una determinada tarea, evitando la duplicidad de funciones, optimizando el tiempo empleado y asegurando la correcta realización de la misma. Es por ello que, cabe distinguir como las funciones básicas que ha de realizar cualquier protocolo las siguientes:

- ⊗ Establecimiento del enlace
- ⊗ Transmisión de la información
- ⊗ Detección de errores en la transmisión
- ⊗ Corrección de errores

Una característica común de todos los sistemas de transmisión de datos, es que la información (caracteres o símbolos) se envía de una manera codificada, es decir, cada elemento se representa siempre de igual manera y con la misma duración, dependiendo ésta del código elegido.

Los elementos básicos de un protocolo de comunicaciones son:

Un conjunto de símbolos llamado Set de caracteres.

Un conjunto de reglas para definir la secuencia y los patrones construidos a partir del Set de caracteres.

Los procedimientos para poder determinar cuando ha ocurrido un error en la transmisión y como corregirlo.

El Set de caracteres consistirá de un subgrupo de símbolos significativo como información y de un segundo subgrupo de símbolos utilizado para información de control.

El conjunto de reglas que deben seguir el emisor y el receptor dan significado y definen las secuencias permitidas de los mensajes formados por el Set de caracteres.

El procedimiento de detección y corrección de errores permite la recuperación de información errónea causada por factores externos y fuera del control de los equipos que están en ambos extremos del canal de comunicaciones, utilizando técnicas de seguridad.

1.2.1 TECNICAS DE SEGURIDAD

Existen varias técnicas de seguridad empleadas para asegurar la información enviada a través de un medio de comunicación. Para el caso de un Sistema de Control Supervisorio y Adquisición de Datos, éstas técnicas nos aseguran que la información proveniente de las UTR's sea confiable y que por lo tanto el operador tenga una información fiel de las variables de campo en cada uno de los puntos supervisados. Mas aún, nos dan la seguridad de que cuando el operador envíe un comando de apertura o cierre de un interruptor o un comando de arranque o paro de una bomba, no vaya a pasarse la orden a otro dispositivo diferente del seleccionado con las respectivas repercusiones que esto pueda acarrear.

En general, en los sistemas de transmisión de información, y en particular en los sistemas de control supervisorio, se emplean una o varias de las siguientes técnicas de seguridad:

PARIDAD. El transmisor agrega un bit extra a cada carácter transmitido con el propósito de detección de error. Este bit se transmite siempre, y su valor es tal que causará que el número total de bits en estado alto sea impar (paridad impar) o par (paridad par). El bit de paridad es recalculado por el receptor a partir del carácter recibido y comparado contra el bit de paridad recibido junto con el carácter. Si los dos son iguales, no hay problema; pero si son diferentes entonces se generará una señal de error.

ECHOPLEX. Es la técnica de regresar toda o parte de la información recibida hacia el transmisor para que se haga una verificación de la información. Cuando un carácter erróneo es recibido por el transmisor original es imposible determinar si el error ocurrió en el viaje de ida o en el de vuelta, pero al menos existe una indicación del error.

LRC (Longitudinal Error Check). En la discusión de la paridad antes mencionada, el bit requerido para hacer el número de "1's" par o impar se agregaba al final de cada carácter. Este esquema se llama algunas veces paridad horizontal. Es posible, y es común en algunos sistemas incluir un carácter de chequeo vertical, que realiza la función de paridad para cada columna de bits de todos los caracteres. Esta técnica se conoce también como paridad vertical.

CHECKSUM. El checksum no es más que la inclusión de un carácter adicional al final de un mensaje largo que se obtiene de ir sumando todos los caracteres transmitidos y finalmente enviar la suma obtenida para que se evalúe en el receptor. En este caso, el receptor calcula la suma de los caracteres recibidos y la compara con el carácter de checksum recibido.

CRC (Cyclic Redundancy Check). Se han desarrollado varios esquemas para detectar errores en sistemas de comunicación binaria utilizando lo que se conoce como codificación retroalimentada. Estos métodos agregan información calculada en el transmisor al final de cada mensaje para permitir al receptor detectar errores de transmisión. La información agregada está matemáticamente relacionada a los mensajes y por lo tanto es redundante. El CRC se calcula usualmente dividiendo el valor binario a transmitir por una constante llamada generador polinomial. El cociente se descarta y el residuo se transmite al final del bloque de datos.

CHECK-BEFORE-OPERATE. Las operaciones de control realizadas a través de un equipo de control supervisorio requieren de un grado de seguridad extra comparadas con las simples operaciones de supervisión. Esta seguridad extra se obtiene de una manera muy sencilla entablando un diálogo de PETICION y CONFIRMACION entre la Estación Maestra y la UTR.

Existen protocolos para sistemas de control supervisorio con maneras específicas de operación que pueden clasificarse en dos grandes grupos:

1. Protocolos con reporte por excepción
2. Protocolos con barrido constante

1.2.2 PROTOCOLOS CON REPORTE POR EXCEPCION

Los protocolos con reporte por excepción operan de la siguiente manera:

La Unidad Central Maestra espera un reporte por parte de cualquier Unidad Terminal Remota al existir en ella un cambio de estado, por lo tanto se caracterizan estos protocolos por ser la UTR quien inicia la comunicación, por usar el medio de comunicación únicamente en caso de falla en algún equipo supervisado por la UTR; la atención que brinda la UCM es inmediata, como se muestra en la figura 1.2.

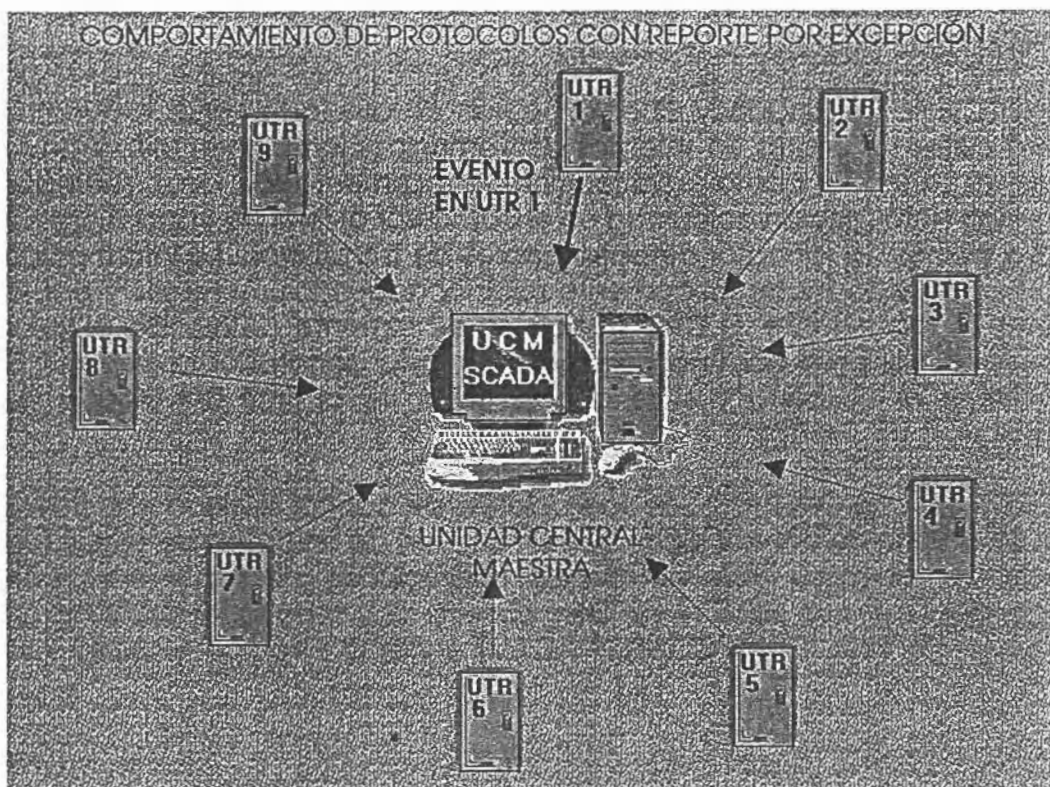


Figura 1.2 Protocolo con reporte por excepción

1.2.3 PROTOCOLO CON BARRIDO CONSTANTE

La UCM realiza un barrido periódico a todas sus UTR's preguntándoles sus estados actuales. Esto origina que la UCM presente la información mas actual al operador, existe también un uso constante del medio de comunicación. Ver figura 1.3

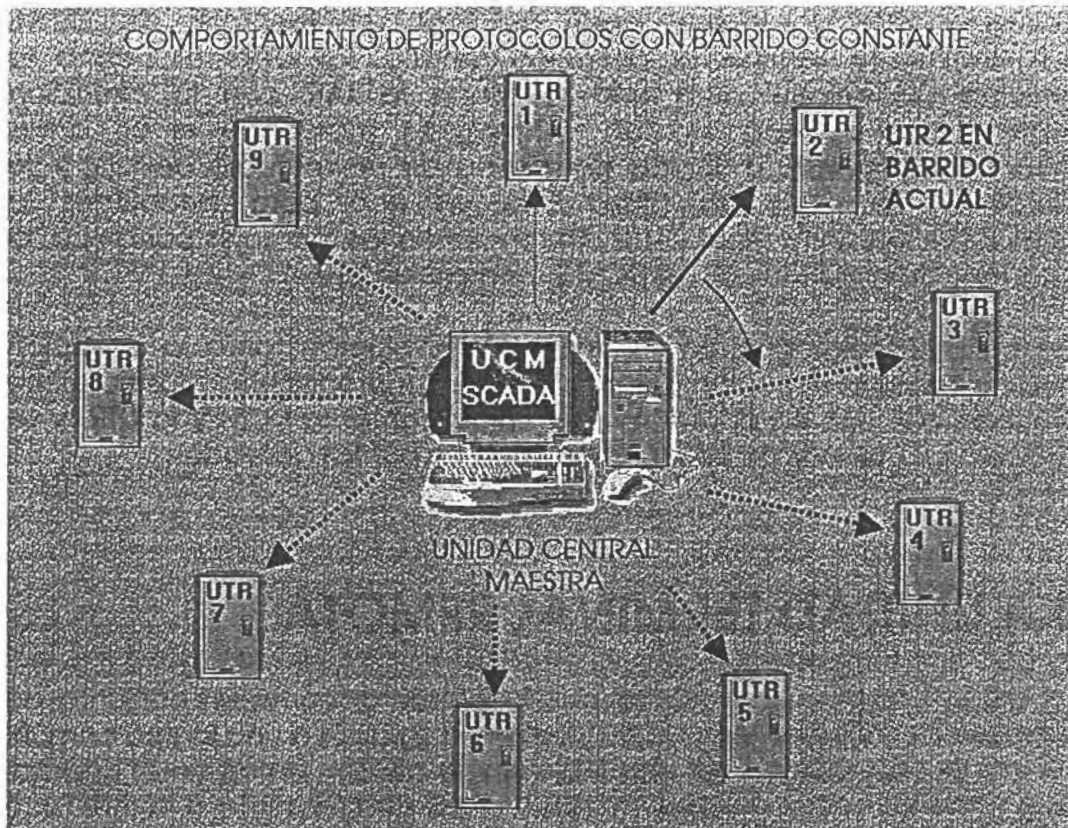


Figura 1.3 Protocolo con barrido constante.

1.3 DIRECCIONAMIENTO EN SISTEMAS SCADA

Los protocolos de sistemas SCADA utilizan varios métodos para establecer la comunicación con el destino deseado. Uno de ellos utiliza direcciones de UCM's y direcciones de UTR's, otro método utiliza un bit específico en el mensaje enviado por la UCM.

Para el primer caso, cuando la UCM envía un mensaje a una UTR específica para establecer la comunicación, incluye en dicho mensaje una dirección, la cual representa el destino, este mensaje es escuchado por todas las UTR's, pero únicamente la UTR que tenga esa dirección podrá tomar el mensaje como válido y responderá de la misma manera, es decir, incluyendo en su mensaje la dirección correspondiente a la UCM para poder establecer la comunicación. De este modo no existe confusión alguna para los destinos de mensajes.

Para el segundo caso, la UCM al enviar un mensaje, uno de sus bits lo marca como "1" lógico para señalar un mensaje de UCM, adicionalmente escribe la dirección destino, las UTR's escuchan la petición de enlace pero solo responde la UTR con la dirección especificada y responde con un mensaje marcando el bit antes mencionado como "0" lógico para señalar un mensaje de UTR y su dirección. Este proceso utiliza casi un eco para establecer la comunicación entre UCM y UTR diferenciando los mensajes por un bit, el cual identifica al mensaje de UCM y mensaje de UTR.

Existen protocolos que en sus mensajes involucran tanto la dirección destino como la dirección fuente. Con estos métodos utilizados no existe alguna confusión en el proceso de enlace entre la UCM y la UTR, y se asegura los destinos de información entre los puntos deseados.

1.4 UNIDAD TERMINAL REMOTA

La Unidad Terminal Remota se puede presentar como un conjunto de subsistemas o elementos independientes integrados a una lógica común. La UTR es una esclava de una inteligencia de alto orden en el sistema, que hace las veces de ojos, manos y oídos con respecto a la interface de los dispositivos del sistema de aplicación.

El subsistema lógico, o bien lógica común, proporciona la adquisición de datos llámese adquisición digital o analógica con su procesamiento y la selección del punto con la ejecución del comando, además de ejecutar funciones de temporización a partir de instrucciones provenientes de la Unidad Central Maestra. Por lo tanto, la Unidad Terminal Remota deberá ser capaz de procesar la información recibida de los equipos instalados en el campo y enviarla a la Estación Central Maestra cuando sea requerida, así como también de ejecutar las ordenes transmitidas por la UCM.

Cuenta con un módulo de procesamiento el cual se encarga de realizar las funciones primordiales de control y adquisición de datos, estas funciones se detallan a continuación:

1.4.1 SALIDAS DIGITALES.

Cuando una UTR recibe el comando de activación de algún punto de control, el procesador central direcciona y activa el punto de salida requerido mediante un relevador, el cual permanece cerrado durante el tiempo programado de pulso y después vuelve a su condición normal (abierto). La mayor parte del control se ejecuta a través de salidas digitales a partir de una instrucción o comando proveniente de la UCM, las salidas digitales incluyen contactos de relevadores operando dentro de la UTR o bien, fuera de ésta, de modo que un comando cerrará el contacto de un relevador específico. Para un punto de salida digital se tiene dos relevadores, uno que actúa para el comando TRIP (abrir) y otro para el comando CLOSE (cerrar), es decir, por cada punto de salida digital se tienen dos comandos y cada comando activa a uno de los dos relevadores de acuerdo al control deseado (abrir o cerrar). Estos contactos no presentan alguna diferencia de potencial, por lo que pueden alimentarse con voltajes que activen al dispositivo controlado, por ejemplo un dispositivo de switcheo, una válvula, una bomba, etc. o bien activan a otro relevador que soporte una corriente mas elevada en sus contactos según las necesidades propias de la aplicación.

En el proceso de activación de una salida de control, se tienen provisiones de seguridad para que únicamente un relevador sea operado. Los dispositivos de seguridad de una y únicamente una salida digital operada, puede incluir cualquier combinación de circuitos lógicos y analógicos, sensando las bobinas de los relevadores, si es posible, y una fuente que alimente a las bobinas, la cual será limitada en corriente para sólo una bobina de relevador. Los tipos de salida de operación múltiple necesitarán pasar por alto estos dispositivos de seguridad y emplear fuentes distintas para alimentar a las bobinas. Existe otro método de seguridad empleado en los sistemas SCADA, este es el de "seleccionar antes de operar". Este método involucra a la UCM, ya que ésta envía un mensaje de selección de punto a la UTR, la UTR selecciona la salida de control y envía a la UCM el punto de salida seleccionado, si éste punto es el mismo, la UCM envía el mensaje de operación de punto y la UTR procede a activar la salida digital mediante la lógica de selección. Este procedimiento incluye una repetición del número de punto, el cual es comparado por la lógica utilizada con el punto seleccionado antes de operar el relevador. Un temporizador de vigilancia deberá permitir un punto inoperante para permanecer seleccionado durante unos pocos segundos. Toda la lógica de control debe reinicializarse al término de una operación en una salida de control o con la detección de cualquier error. Algunos sistemas proporcionan puntos de operación directa de poca seguridad, los cuales pueden desviarse a circuiterías lógicas simples o bien simplifican las revisiones en la selección de punto.

Cada salida de control es temporizada en el cierre de su contacto mediante un reloj interno el cual mantiene una duración de operación del relevador específica de acuerdo a las necesidades de la aplicación, pero generalmente oscila entre 500 milisegundos y 1 segundo. Este tiempo generalmente es programado y lo controla el procesador central de la UTR.

La UTR proporciona también salidas digitales tipo "latch", las cuales al operarse permanecen en ese estado por tiempo indeterminado.

1.4.2 PROCESO DE ADQUISICION DE DATOS.

Este proceso consiste en la adquisición de dos tipos de datos: digitales y analógicos.

ADQUISICION DIGITAL. Los datos digitales se obtienen monitoreando puntos llamados entradas digitales, en los cuales la presencia de un voltaje específico nos representa un valor lógico "1" (abierto) y la ausencia de dicho voltaje representa un valor lógico "0" (cerrado) o viceversa según la lógica utilizada.

Los equipos controlados por la UTR generalmente dispositivos de switcheo y de medición, proveen a ésta de las señales digitales originadas de los contactos electromecánicos de dichos dispositivos.

Los sistemas SCADA por lo general monitorean y adquieren cuatro tipos de datos digitales:

- ESTADO ACTUAL. Presencia o ausencia de voltaje.
- CAMBIO DE ESTADO. Transición entre un estado y otro (de presencia de voltaje a ausencia de voltaje o viceversa).
- SECUENCIA DE EVENTOS. Tabulación del cambio de estado de las entradas digitales con tiempo de ocurrencia.
- VALOR ACUMULADO. Contador del número de veces de cambio de estado de un punto.

El monitoreo de los puntos de entradas digitales se puede realizar de dos maneras:

La mayoría de los sistemas utilizan un muestreo de alta velocidad en todos sus puntos de entrada. Otros utilizan interrupciones en los microprocesadores al detectar un cambio en cada punto de entrada.

Para el primer caso, se tendrá una espera de algunas décimas de segundo entre cada muestreo. Para el segundo caso, se muestrean los cambios de estado con una duración de 1.0 milisegundo con registro de

tiempo asociado, que es el requerido para la tabulación de la secuencia de eventos.

Los puntos con Secuencia de Eventos por lo general se almacena en dos archivos, uno para retroalimentar el cambio inmediato a la maestra y el otro para almacenar dichos cambios. Este tipo de almacenamiento tiene un dimensionamiento finito de acuerdo a la capacidad de memoria destinada para esta función, cuando un registro se llena, la información se sobrescribe, borrando el evento mas antiguo.

ADQUISICION ANALOGICA. Las adquisiciones analógicas se obtienen a partir de dispositivos transductores como termoacopladores o dispositivos de resistencia. Las señales que proporcionan los transductores están en Volts o miliamperes, las cuales pueden ser transformadas a valores digitales utilizando convertidores analógicos/digitales. La resolución de conversión común es de 11 bits mas el bit de signo, produciendo valores de ± 2048 estados. El código digital usado para expresar el valor convertido es principalmente una emisión de la compatibilidad UCM-UTR y es definido por el protocolo de comunicación. Las alternativas de código estándar son: complemento a dos, un ajuste binario, signo y magnitud; donde las conversiones son triviales. Este método se usa por la eficiencia del canal y la facilidad de recopilación por parte de la UCM (generalmente almacenados como números en complemento a dos). Los módulos convertidores analógicos/digitales utilizados son de tipo integral y de aproximaciones sucesivas.

Estas adquisiciones son recibidas y procesadas por el módulo de procesamiento de la UTR, para tener la información disponible para cuando lo solicite la UCM si es que utiliza un protocolo de comunicación con barrido constante, o bien para que dicha información sea enviada de manera inmediata a la UCM si utiliza un protocolo de comunicación con reporte por excepción. La información de las adquisiciones analógicas por lo regular es enviada a la UCM de acuerdo a la solicitud por parte de ésta.

1.4.3 MODULO DE PROCESAMIENTO

La UTR incluye un módulo de procesamiento de señales que permite las adquisiciones de datos y la ejecución de las salidas de control, así mismo se encarga de establecer la comunicación con la UCM mediante un protocolo de comunicaciones específico. Además incluye memoria RAM no volátil particionable utilizado como memoria de programa y memoria de datos para el almacenamiento de eventos. Para establecer la comunicación con la UCM, el módulo de procesamiento proporciona puertos de comunicación generalmente de comunicación serial utilizando el estandar RS-232, con velocidades de 300, 600, 1200 y 9600 bps (bits por segundo). Este módulo de procesamiento está basado en un microprocesador o bien en un microcontrolador.

Las señales provenientes del campo que recibe la UTR son de diversos tipos (Voltaje cd, Voltaje ca, contactos secos, entre otros), esto hace necesario el uso de una interface con el objeto de proporcionar una separación física y eléctrica entre el equipo electrónico de la UTR y el equipo a controlar, por lo que la UTR cuenta con un gabinete interface que cuenta con una sección de relevadores de interposición que permite sensar alarmas y ejecutar controles; para las señales analógicas el gabinete interface también cuenta con una sección de transductores de potencia, corriente y voltaje, que hace posible la obtención de las mediciones.

1.5 MEDIO DE COMUNICACIÓN

La transmisión de datos es el proceso por el cual se envía información de un punto a otro. Nuestro interés se centra en hacer llegar la información obtenida por la UTR en el punto remoto al centro de control (UCM) de manera correcta. Para lograr lo anterior necesitamos el camino que utilizará la información para llegar a su destino. Esto es, el medio de comunicación en el cual existe el flujo de información de cualquier tipo.

El medio de comunicación empleado en la transmisión de datos de la UTR hasta el centro de control o UCM varía de acuerdo a las condiciones propias del sistema y a los recursos disponibles tanto en materiales como económicos. Pueden utilizarse para sistemas SCADA los siguientes medios de comunicación:

✦ HILO FISICO

- ✓ RADIO
- ✓ LINEA TELEFONICA
- ✓ OPLAT
- ✓ FIBRA OPTICA

HILO FISICO. Pueden ser dos o mas líneas de cable tendidas entre el transmisor y el receptor. Se utiliza en donde el punto remoto a supervisar es cercano al centro de control.

RADIO. Utiliza a la atmósfera como medio de propagación para las ondas de radiofrecuencia. En este tipo de comunicación generalmente se requiere de 2 hilos para conectar la señal a transmitir, 2 hilos para la señal de recepción y 2 hilos adicionales para controlar el modo de operación del radio denominada PTT (Push To Talk). Es el sistema de comunicación mas utilizado por ser el de menor costo ya que no existen gastos mensuales por su uso y por su facilidad de ubicarse en cualquier punto. Este sistema tiene una gran disponibilidad y gran seguridad por ser independiente de la red que controla.

LINEA TELEFONICA. Se emplea para transmisión de datos en donde la compañía telefónica cuenta con infraestructura, su desventaja es que en caso de falla, su pronta atención depende de un tercero.

OPLAT. Onda portadora sobre las línea de alta tensión, llamado comunmente "CARRIER", utilizan las líneas de alta tensión para transportar los datos, este sistema es de costo elevado. Debido a que la comunicación es punto a punto, en caso de interrupción en la línea, el sistema queda fuera de servicio. Algunas de las causas externas mas habituales de fallas de comunicación son los fenómenos de arqueo y daños en el DP (Dispositivo de Potencial) utilizado.

FIBRA OPTICA. Gracias a los desarrollos recientes en el campo de la tecnología óptica, es posible transmitir información mediante pulsos de luz, donde un pulso de luz puede indicar un "uno" y la ausencia de luz indicar un "cero". Su ventaja sobre los demás medios es que es inmune a interferencias causadas por ruido eléctrico, y en una sola fibra puede llevar señales de datos voz y video. Su única desventaja es su actual costo alto.

1.6 UNIDAD CENTRAL MAESTRA

Una Unidad Central Maestra es un conjunto de computadoras, periféricos y subsistemas dedicados que proporciona a los operadores la información necesaria para el control de las instalaciones. Básicamente consta de una CPU, monitores, impresoras, mouse, teclado y controladores de comunicaciones.

Dentro de la programación, cuenta con una base de datos en la que están relacionados cada uno de los puntos a supervisar en las Subestaciones, una interfaz hombre-máquina que permite al operador observar en forma amigable a través de diagramas unifilares y tabulares de alarmas, controles y mediciones todos los parámetros de las instalaciones.

1.6.1 BASE DE DATOS

La base de datos relaciona los puntos remotos con información de configuración, definición y atributos. Esta base de datos se actualiza con cada muestreo, donde cada dato digital o analógico, se asocia según los atributos del punto remoto. Los atributos se determinan durante el diseño y definición de la base de datos, algunos atributos pueden ser modificados por el operador o administrador del sistema. Los programas de aplicación dejan en los atributos algunas instrucciones para manejar o configurar el punto. Algunos atributos son los siguientes:

- Estado del punto: activado/Desactivado
- Que dispositivo es controlable
- Que punto es graficable
- Cambio de valor de límites relacionados
- Que punto es real, pseudo o calculado

El manejo de la base de datos es primordial para el almacenamiento óptimo de datos, lo que conduce a mantener condiciones específicas en la relación existente entre el programa de aplicación y la propia base de datos.

1.6.2 INTERFACE HOMBRE-MAQUINA

Los programas de aplicación de la interface Hombre-Maquina, habilita al operador para ver el estado del sistema, solicitar reportes de cambio de estados y valores de mediciones, modificar la configuración del sistema y controlar el sistema de energía.

El software de la interface Hombre-Maquina representa la mayor parte del total del software haciendo difícil manejarlo de manera aislada. Por ejemplo, en la base de datos, puede tener los enlaces para habilitar al operador a cambiar el valor de un punto de estado cambiando el atributo del punto de abierto a cerrado, o bien de cerrado a abierto.

La función del control supervisorio responde cuando el operador requiere abrir o cerrar un dispositivo de switcheo, entonces la base de datos se modifica como reflejo de estas acciones.

Algunas de las funciones de la interface Hombre-Maquina son las siguientes:

- ◆ Habilita llamar una página por medio de un número de desplegado, nombre de Menú o punto dinámico.
- ◆ Habilita una completa visualización de la información de la base de datos.
- ◆ Habilita la creación o edición de desplegados.
- ◆ Habilita la adición o cancelación de puntos del sistema.
- ◆ Habilita el uso de opciones para los desplegados tales como recorrido y acercamiento en los sistemas de gráficas completas.
- ◆ Habilita el control de los programas del sistema por deshabilitación, inicio manual o reprogramación de ellos.

El software de aplicación de entradas/salidas locales esta compuesto de múltiples paquetes que conforman funciones tales como:

- Muestreo de una UTR local, proporcionando control local.
- Proporciona señales de salida de control para manejar graficadores, medidores o desplegados digitales.
- Proporciona salidas para el manejo de un tablero mímico.
- Muestreo local de frecuencia en forma directa o a través de una terminal remota. Control automático de generación (AGC).

El software de aplicación de AGC proporciona la capacidad de manejar el sistema a través de terminales remotas. Muchos sistemas tienen dos versiones de AGC. Una versión en red y otra fuera de red, creando subsistemas de control supervisorio capaces de funcionar en forma independiente (fuera de red).

1.6.3 DIAGRAMAS UNIFILARES

El software de aplicación que permite visualizar el estado de los puntos remotos. Maneja la información de diagramas esquemáticos que muestran el sistema completo y la relación existente en la base de datos y la interface Hombre-Maquina. En estos diagramas unifilares, se reflejan los datos adquiridos en la última muestra realizada, y permiten sobre los puntos el manejo de comandos de control.

Estos diagramas unifilares, son representados mediante dos tipos de campos:

1. El campo estático. Representa las relaciones de conexión del sistema bajo control como buses, ductos, líneas, nomenclaturas, etc.
2. El campo dinámico. Representa niveles o índices monitoreados, estados de los dispositivos de conmutación, bombas, etc. Es decir, todo lo que cambia de valor.

1.7 APLICACIONES DE SCADA

Los Sistemas SCADA son utilizadas en su mayoría por la industria como por ejemplo:

Industrias de procesamiento de petróleo bruto y gas natural. Utilizan los sistemas SCADA en operaciones en tierra y marinas y en distribución.

Empresas de Electricidad. Utilizan sistemas SCADA en generación, protección de líneas, control de subestaciones y distribución.

Gestión de Agua. Utilizan estos sistemas para controlar los niveles de embalse, índices de precipitaciones y control de inundaciones.

Industrias de explotación de los recursos. Utilizan los sistemas SCADA en Minería, Silvicultura, Agricultura y Fabricación entre otros.

Estos sistemas SCADA son aplicables como hemos visto a un gran número de procesos en los que se requiere tener el control absoluto de puntos remotos. Específicamente estos sistemas se pueden aplicar para:

- Control de Bombas y Pozos
- Campos petrolíferos y de gas natural
- Monitoreo de oleoductos y gaseoductos
- Control de Acueductos y Desechos
- Bodegas Refrigeradas y Sistemas de Aire Acondicionado

- Sistemas contra incendios y de seguridad
- Criaderos e invernaderos
- Sitios de repetición en sistemas celulares, troncalizados y convencionales
- Monitoreo de Flujo, Nivel, Temperatura, Presión, Vacío
- Monitoreo de tanques
- Monitoreo de Condiciones Ambientales
- Sub-estaciones eléctricas
- Camaroneras y criaderos de pescado
- Detección de fugas
- Monitoreo de acidez (PH)
- Peso
- Advertencia Comunitaria de Defensa Civil

Para el caso de los sistemas SCADA utilizados en Comisión Federal de Electricidad, se tienen en operación diversos sistemas de control supervisorio y adquisición de datos, los cuales controlan las Subestaciones de Distribución y los puntos de transferencia en líneas de energía. También controlan las redes de distribución urbanas proporcionando automatismo y seccionamiento urbano.

El medio de comunicación que utiliza es en su mayoría vía radio VHF Y UHF, aunque también tiene en uso los siguientes medios: hilo físico y Oplat. Los diagramas unifilares representan las Subestaciones, el campo estático representa las líneas, buses, transformadores, nombres y nomenclaturas de los equipos, y el campo dinámico nos representa los interruptores, cuchillas, restauradores y mediciones, es decir, todo lo que en las Subestaciones cambia de estado.

CAPITULO 2. DESARROLLO

2.1 PLANTEAMIENTO

La calidad del servicio de abastecimiento de energía eléctrica a las comunidades rurales así como el incremento de dicho servicio ha propiciado la implementación de sistemas que permitan controlar a distancia equipos de seccionamiento con el fin de disminuir los tiempos de interrupción. Por este motivo, la CFE ha implementado un Sistema Simplificado de Control Supervisorio, el cual comprende Unidades Terminales Remotas Simplificadas elaboradas y ensambladas en Comisión Federal de Electricidad División de Distribución Sureste, las cuales son activadas por medio de códigos de tonos DTMF, tienen una capacidad de una entrada digital y dos salidas digitales, para efectuar operaciones de apertura y cierre de un dispositivo y sensor los cambios de estado de dicho dispositivo. El medio de comunicación que utilizan estas UTR's es vía radio en la banda VHF (Very High Frequency). Este sistema no cuenta con una Unidad Central Maestra que muestre en un diagrama unifilar el estado de las UTR's, almacene los eventos ocurridos y envíe las señales de control a las UTR's. Es por ello que se plantea el desarrollo de la Unidad Central Maestra para el Sistema Simplificado de Control Supervisorio, que cumpla con las características antes mencionadas.

El desarrollo de la Unidad Central Maestra Simplificada se divide en dos secciones. La primera contempla la etapa de Hardware que incluye la interface con la PC, la codificación y decodificación de tonos DTMF y la activación de la etapa de transmisión del radio (PTT) principalmente. La segunda sección contempla lo relacionado con el Software, abarcando la interface de usuario que incluye: la visualización en pantalla de los diagramas unifilares, la generación de archivos de eventos, la configuración de tiempos de comunicación, la activación de alarma visual y audible, la función de reconocimiento de eventos; y junto con el Hardware, las funciones de recepción de códigos de tonos DTMF y transmisión de tonos DTMF de control a las Unidades Terminales Remotas Simplificadas.

2.2 HARDWARE

Para llevar a cabo la interface física, se plantea interactuar directamente con el bus de datos y direcciones de una PC IBM, debido a que se requiere depender únicamente de la velocidad del procesador de la PC y no de otra etapa de proceso como podría resultar al utilizar un microprocesador o un microcontrolador, por lo tanto, el resultado del Hardware será una tarjeta que se instalará directamente al conector del bus de cualquier PC compatible con IBM. Esta tarjeta contendrá los dispositivos que decodificarán y codificarán tonos DTMF, además de generar una señal de activación del transmisor del radio (PTT, push to talk). Según se muestra en diagrama a bloques de la figura 2.1.

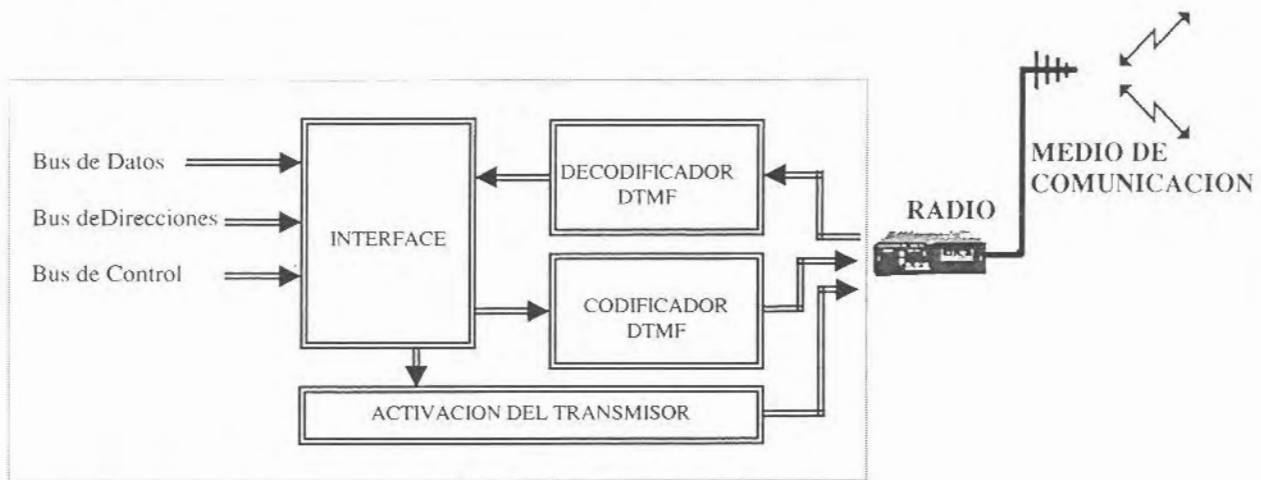


Figura 2.1 Diagrama a bloques de la tarjeta DTMF

Para lograr lo anterior, es necesario primero, diseñar una interface que nos permita el manejo de las señales de datos, direcciones y control provenientes del bus de una PC IBM, y enseguida adicionar las etapas de codificación y decodificación de tonos DTMF y por último, desarrollar la etapa de activación del transmisor de radio, llamado PTT (Push To Talk).

2.2.1 BUS PC IBM

El sistema bus de una PC IBM es una extensión del bus del microprocesador 8088 de Intel, sin embargo, este es demultiplexado y aumentado con señales para soportar el acceso directo a memoria (DMA), interrupciones y otras características. Todas las señales se manejan en niveles TTL (lógica Transistor-Transistor, 5 Vcd y 0 Vcd), y poseen líneas con niveles de alimentación y tierra (Vcc y gnd). En la

figura 2.2 se muestra la asignación de los 62 pines que componen el bus del sistema de la PC IBM.

A0 a A19. Estas 20 líneas proporcionan las direcciones de Entrada/Salida. A0 es el bit menos significativo y A19 es el bit mas significativo. Estas líneas son manejadas por el procesador 8088 o por el controlador DMA.

D0 a D7. Estas 8 líneas componen el bus de datos bidireccional. D0 es el bit menos significativo y D7 el bit mas significativo. Durante el ciclo de escritura al bus, el procesador 8088 proporciona los datos en éstas líneas antes del flanco de subida de las señales de escritura de Entrada/Salida ($/IOW$)*¹ o escritura a memoria ($/MEMW$). Durante el ciclo de lectura, el puerto de entrada o memoria deberá proporcionar los datos a éstas líneas antes del flanco de subida de la señal de lectura de Entrada/Salida ($/IOR$) o de la señal de lectura a memoria ($/MEMR$), el microprocesador Intel 8088 mantendrá el dato "latchado".

$/MEMR$, $/MEMW$, $/IOR$, $/IOW$. Estas líneas se activan con un nivel bajo y controlan las operaciones de lectura y escritura como se menciona anteriormente. Estas señales son generadas por el microprocesador Intel 8088 o por el controlador DMA.

ALE (Address Latch Enable). Para el bus del sistema de la PC, ALE indica el inicio de un ciclo de bus. Cuando esta señal se mantiene, el bus de datos del sistema no contendrá información de direcciones. Esta señal es opuesta al pin con el mismo nombre en el microprocesador Intel 8085. La función de ALE no es demultiplexada de las direcciones del bus.

AEN (Address Enable). Esta señal es emitida por el controlador DMA para indicar que un ciclo DMA esta en ejecución. Esta línea generalmente es usada para deshabilitar la decodificación de los puertos de Entrada/Salida durante un ciclo DMA, así que la dirección de memoria DMA no se utiliza como una dirección de puerto de Entrada/Salida. Esta situación puede ocurrir al activarse las señales $/IOR$ o $/IOW$ durante un ciclo DMA.

OSC (oscillator), **CLOCK**. OSC es el reloj de alta velocidad del sistema con un periodo de 70 ns (14.31818 MHz). El reloj es un tercio de la frecuencia del oscilador (4.77 MHz). Esta es la frecuencia de operación del microprocesador Intel 8088 y tiene un periodo de 210 ns.

*1. El símbolo "/" antepuesto a algún nombre de una terminal de cualquier circuito integrado representará en esta tesis un pin activo bajo.

IRQ2 A IRQ7. (Interrupt Requests). Los dispositivos de Entrada/Salida usan estas 6 líneas de entrada para generar peticiones de interrupción al procesador 8088. IRQ2 tiene la prioridad mas alta y IRQ7 tiene la prioridad mas baja. Una interrupción es generada por el flanco de subida de alguna de estas líneas y se mantiene en alto hasta que sea reconocida por el procesador.

(I/O CH RDY) (I/O Channel Ready). Esta es una señal de entrada utilizada para generar estados de espera, los cuales extienden los ciclos de bus para memoria lenta y dispositivos de Entrada/Salida.

/(I/O CH CK) (I/O Channel Check). Esta es una señal activada con un nivel bajo utilizada para informar al procesador 8088 que hay un error de paridad en la memoria o en los dispositivos de Entrada/Salida.

RESET DRV (Reset Drive). Esta señal es utilizada para inicializar el sistema lógico en caso de falla, cuando el voltaje de alimentación este fuera del rango de operación después de ser encendido. Esta señal es sincronizada con el flanco de bajada del oscilador (OSC).

DRQ1 a DRQ3 (DMA Requests). Estas líneas de entrada son peticiones asíncronas usadas por dispositivos periféricos para obtener servicios DMA. Una línea DRQ se debe mantener en un nivel alto hasta que la línea correspondiente /DACK este en un nivel lógico bajo. Observe que no se dispone de DRQ0 en el bus, ya que ésta es utilizada para refrescar la memoria dinámica del sistema.

/DACK0 a /DACK3 (DMA Acknowledge Signals). Estas líneas se activan con un nivel bajo y se utilizan para reconocer peticiones de servicio DMA y para actualizar la memoria dinámica (DACK0)

T/C (Terminal Count)

Esta línea proporciona un pulso cuando se alcanza el contador de la terminal para el canal DMA.

El bus tambien proporciona voltajes de +12Vcd, -12Vcd, +5Vcd y -5Vcd, que pueden ser usados como alimentación.

En esta tarjeta, se usan las señales de datos, algunas direcciones (A0 a A9), AEN, /IOR, /IOW, RESET DRV, la señal de alimentación 5 Vcd y tierra (gnd) del bus de la PC.

GND	——	B1	A1	——	/(I/O CH CK)
RESET DRV	——	B2	A2	——	D7
+5 VDC	——	B3	A3	——	D6
IRQ2	——	B4	A4	——	D5
-5VDC	——	B5	A5	——	D4
DRQ2	——	B6	A6	——	D3
-12VDC	——	B7	A7	——	D2
Reserved	——	B8	A8	——	D1
+12VDC	——	B9	A9	——	D0
GND	——	B10	A10	——	I/O CH RDY
/MEMW	——	B11	A11	——	AEN
/MEMR	——	B12	A12	——	A19
/IOW	——	B13	A13	——	A18
/IOR	——	B14	A14	——	A17
/DACK3	——	B15	A15	——	A16
DRQ3	——	B16	A16	——	A15
/DACK1	——	B17	A17	——	A14
DRQ1	——	B18	A18	——	A13
/DACK0	——	B19	A19	——	A12
CLOCK	——	B20	A20	——	A11
IRQ7	——	B21	A21	——	A10
IRQ6	——	B22	A22	——	A9
IRQ5	——	B23	A23	——	A8
IRQ4	——	B24	A24	——	A7
IRQ3	——	B25	A25	——	A6
/DACK2	——	B26	A26	——	A5
T/C	——	B27	A27	——	A4
ALE	——	B28	A28	——	A3
+5VDC	——	B29	A29	——	A2
OSC	——	B30	A30	——	A1
GND	——	B31	A31	——	A0

Figura 2.2 Asignación del bus de la PC IBM.

Las condiciones de inductancia, capacitancia, potencia, entre otras, son consideraciones importantes cuando se diseña una tarjeta que va a ser conectada al bus del sistema. Para las señales de salida del bus, el controlador del bus debe proveer la suficiente capacidad para soportar el diseño del usuario. Para las señales de entrada, el diseño del usuario debe tener capacidad para manejar el bus del sistema.

Usualmente, un diseñador debe hacer cálculos de carga para obtener un valor preciso para un diseño específico. En la práctica, sin embargo, hay una gran cantidad de reglas útiles que se deben contemplar. Primero, no agregue un chip NMOS LSI directamente al bus del sistema. Típicamente estos dispositivos tienen una baja capacidad de manejo y no pueden tolerar picos de voltaje negativos que puedan existir en el bus del sistema. Segundo, no presente más de dos cargas LSI TTL a cualquier señal del bus. Tercero, no corra señales de bus por largas distancias en la

tarjeta prototipo porque esto agregara excesiva capacitancia que distorsionara y retrasara las señales del bus, los circuitos del buffer se deberán colocar cerca de los conectores del bus. Todas estas recomendaciones se utilizaron en el diseño de la interfaz aquí presentada.

2.2.2 PUERTOS DE ENTRADA/SALIDA

La PC IBM, a pesar de ser muy poderosa para el procesamiento de datos, necesita una manera de comunicarse con el mundo exterior. El hardware de entrada/salida y su software correspondiente provee la interface para transferir datos entre la computadora y los dispositivos periféricos. Hay varias maneras de iniciar y controlar una transferencia de datos:

1. Entrada/salida controlada por programa
2. Entrada/salida controlada por una rutina de interrupción
3. Entrada/salida controlada por hardware (DMA).

Los puertos pueden ser conectados a un microprocesador de tal manera que sean accesados como si fueran direcciones de memoria. Este caso es llamado entrada /salida por mapeo de memoria. En instrucciones de entrada y salida del intel 8088, éste provee la transferencia de datos a través de entrada/salida por mapeo de memoria. La lógica de decodificación genera el pulso del chip-select desde el bus de direcciones y las señales de control, de entrada/salida /IOR e /IOW. Un puerto de entrada incluye tres estados de buffers para separar los datos de entrada del bus, excepto durante el ciclo de lectura al bus. Un puerto de salida utiliza registros tipo latch para mantener las señales hasta que los dispositivos de salida acepten los bits de datos.

Si se utilizan varios dispositivos de entrada y salida en un sistema con entrada/salida programada, se necesita un proceso para checar la bandera de cada dispositivo en turno; este proceso es conocido como polling. Consideración contemplada en el diseño de esta tarjeta.

2.2.3 DIRECCIONAMIENTO DE LA TARJETA INTERFACE

Es necesario conocer el mapeo de asignación de puertos de entrada/salida para generar la señal de selección de dispositivo (Chip-Select). Los bits utilizados para el direccionamiento de puertos son 10, lo

cual direcciona un total de 1024 puertos, estos bits están comprendidos del A0 al A9. Este mapeo de direcciones se divide en dos partes: las primeras 512 direcciones son asignadas al sistema de la tarjeta madre comprendidas de la dirección 0000H a la dirección 01FFH en notación Hexadecimal. Las siguientes 512 direcciones son asignadas a tarjetas externas, este espacio esta comprendido desde la dirección 0200H a la 03FFH.

El mapeo total de direcciones del bus de la PC IBM se muestra en la tabla 2.1:

RANGO HEXADECIMAL	USO	ASIGNACION
0000 - 000F	DMA chip 8237A	Componentes de la Tarjeta Madre
0020 - 0021	Interruptor 8259A	
0040 - 0043	Timer 8253-5	
0060 - 0063	PPI 8255A-5	
0080 - 0083	Registros DMA	
000A	Mascara NMI	
000C	RESERVADO	
000E	RESERVADO	
0100 - 01FF	No usado	
0200 - 020F	Control de juego	
0210 - 0217	Unidad de Expansión	
0220 - 024F	RESERVADO	
0278 - 027F	RESERVADO	
02F0 - 02F7	RESERVADO	
02F8 - 02FF	Comunicación Asíncrona	
0300 - 031F	Tarjetas Prototipo	
0320 - 032F	Disco Duro	
0378 - 037F	Impresora	
0380 - 038C	Comunicaciones SDLC	
0380 - 0389	Comunicación Binaria Síncrona	
03A0 - 03A9	Comunicación Binaria Síncrona	
03B0 - 03BF	Monitor monocromatico/ impresora	
03C0 - 03CF	RESERVADO	
03D0 - 03DF	Color/Graficas	
03E0 - 03F7	RESERVADO	
03F8 - 03FF	Comunicación Asíncrona	

Tabla 2.1. Mapeo de direcciones del bus de la PC IBM

De acuerdo al mapeo de direcciones de asignación de dispositivos del bus de la PC, se utilizaran para el desarrollo de la tarjeta interface DTMF

las direcciones asignadas a tarjetas prototipo, comprendidas de la dirección 0300H a la dirección 031FH. Bajo estas condiciones, se ha seleccionado la dirección 300H como base para el desarrollo de la tarjeta interface DTMF. Esta dirección, se genera en el bus de direcciones de la PC comprendiendo las líneas de A0 hasta A9, mostrado en la tabla 2.2

DIRECCION	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
300H=	1	1	0	0	0	0	0	0	0	0

Tabla 2.2. Líneas de direcciones utilizadas para direccionar el puerto 300H

2.2.4 DECODIFICACIÓN DE LA TARJETA.

Las líneas del bus de direcciones, se conectan a un buffer de tres estados antes de llegar a la lógica de decodificación, el buffer utilizado es el 74LS245, cuyas hojas de datos se encuentran en el anexo A.

Hay muchas maneras de decodificar el bus de direcciones para generar la señal del chip-select que habilite a la interface. En este caso, se utiliza un comparador (74LS688) cuyas hojas de datos se encuentran en el anexo A, el cual comparará las señales del bus de direcciones con las señales configuradas en sus entradas y generará una señal en nivel lógico bajo cuando sus entradas sean iguales al bus.

La señal generada por el comparador se utiliza para habilitar al dispositivo electrónico que servirá de interface con el bus de la PC, esta señal realiza la función de chip-enabled (/CS).

La señal de dirección habilitada (AEN Address Enabled) se utiliza para deshabilitar el comparador de manera que ningún puerto de entrada/salida pueda ser accesado durante el ciclo de operación del bus de DMA.

Este proceso se muestra a bloques en la figura 2.3.

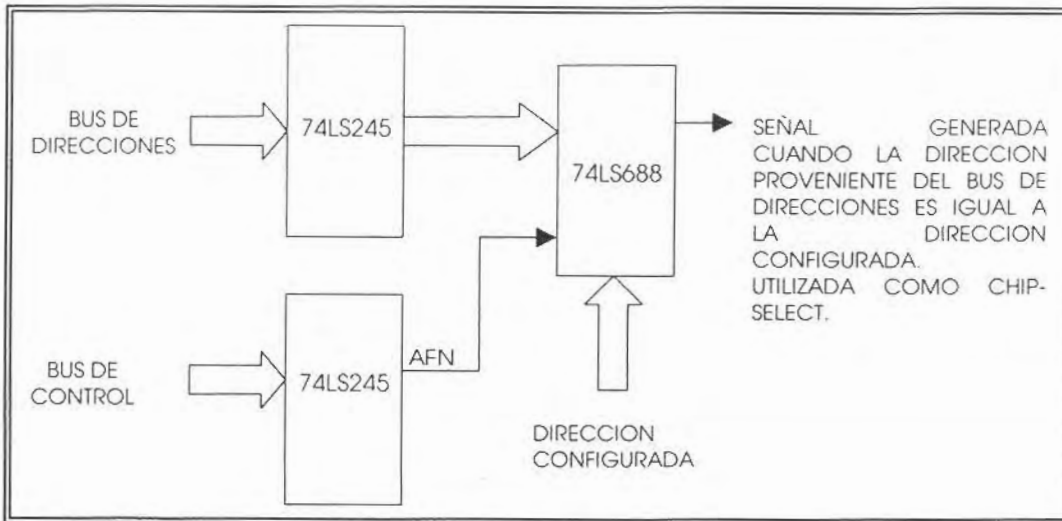


Figura 2.3 Diagrama a bloques de la decodificación de direcciones.

El dispositivo utilizado como interface entre el bus de la PC y la etapa de codificación y decodificación es el circuito integrado 82C55, el cual, es una interfaz periférica programable (PPI), contenido en un chip individual que otorga tres puertos de entrada/salida.

2.2.5 INTERFAZ PERIFERICA PROGRAMABLE 82C55

El circuito integrado 82C55 contiene un registro de control y tres puertos de entrada/salida de 8 bits A, B y C. El puerto C esta separado en dos puertos programables: el C-superior (PC4-PC7) y el C-inferior (PC0-PC3).

La tabla 2.3 muestra la información relacionada con la operación del 82C55. El 82C55 es habilitado cuando la entrada chip-select (CS) se activa por decodificación lógica mencionada anteriormente. Adicionalmente las líneas de entrada A0 y A1 seleccionan el registro de control o uno de los tres puertos para transferencia de datos. Cuando se enciende el sistema, la señal de reset aplicada al 82C55 mantiene en alta impedancia los 24 pines asociados con los tres puertos de entrada y salida. El 82C55 permanece en esta condición hasta que el programa de aplicación escribe una palabra en el registro de control para definir el modo de operación. Hay tres modos de operación:

1. Modo 0: Entrada y salida básica
2. Modo 1: entrada /salida strobed
3. Modo 2: bus bidireccional

A1	A0	\overline{RD}	\overline{WR}	\overline{CS}	DESCRIPCION
OPERACION DE ENTRADA (LECTURA)					
0	0	0	1	0	Lectura al Puerto A
0	1	0	1	0	Lectura al Puerto B
1	0	0	1	0	Lectura al Puerto C
1	1	0	1	0	Lectura al registro de Control
OPERACIÓN DE SALIDA (ESCRITURA)					
0	0	1	0	0	Escriura al puerto A
0	1	1	0	0	Escriura al puerto B
1	0	1	0	0	Escriura al puerto C
1	1	1	0	0	Escriura al registro de Control
FUNCION DESHABILITADA					
X	X	X	X	1	Bus de datos en alta impedancia
X	X	1	1	0	Bus de datos en alta impedancia

Tabla 2.3 Operación básica del PPI 82C55.

El modo de operación se configura de acuerdo a la Figura 2.4 en el registro de control.

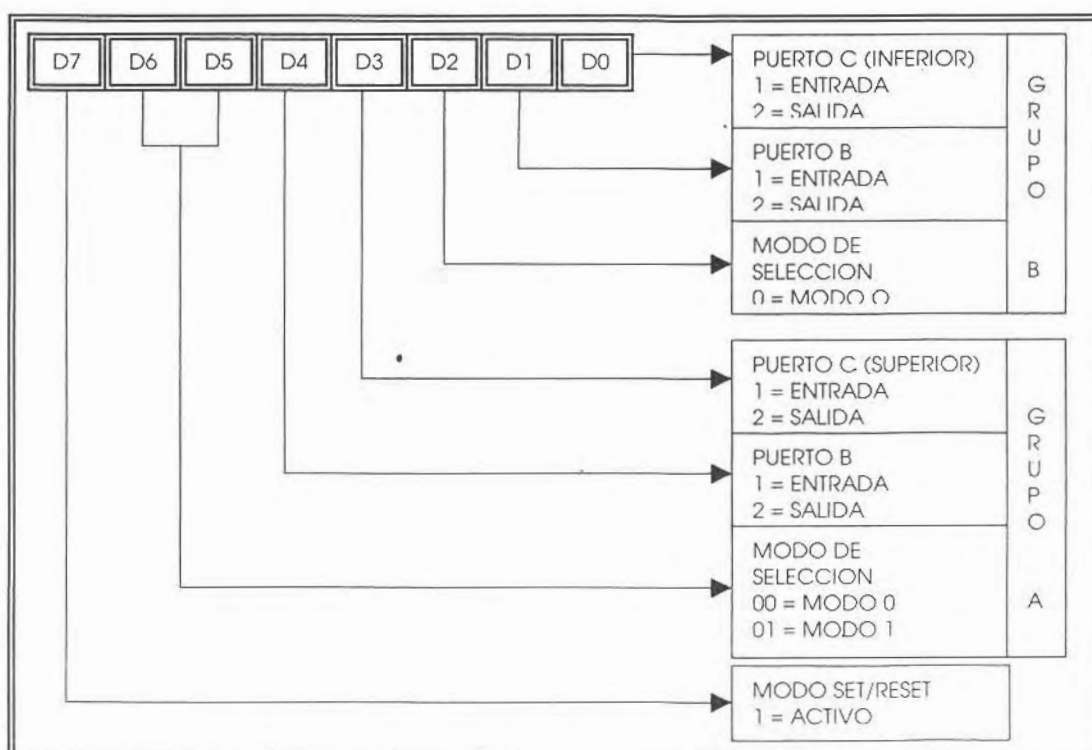


Figura 2.4 Modo de operación del PPI 82C55

El modo 0 otorga dos puertos de ocho bits (A y B) y dos puertos de cuatro bits (C-superior y C-inferior). Cualquier puerto puede ser programado como un puerto ya sea de entrada o salida. Las salidas son "latcheadas" y las entradas no. Hay 16 posibles configuraciones de entrada y salida en este modo mostrado en la tabla 2.4

Numero	A		B		GRUPO A		GRUPO B	
	D4	D3	D1	D0	PUERTO A	PUERTO C superior	PUERTO B	PUERTO C Inferior
1	0	0	0	0	SALIDA	SALIDA	SALIDA	SALIDA
2	0	0	0	1	SALIDA	SALIDA	SALIDA	ENTRADA
3	0	0	1	0	SALIDA	SALIDA	ENTRADA	SALIDA
4	0	0	1	1	SALIDA	SALIDA	ENTRADA	ENTRADA
5	0	1	0	0	SALIDA	ENTRADA	SALIDA	SALIDA
6	0	1	0	1	SALIDA	ENTRADA	SALIDA	ENTRADA
7	0	1	1	0	SALIDA	ENTRADA	ENTRADA	SALIDA
8	0	1	1	1	SALIDA	ENTRADA	ENTRADA	ENTRADA
9	1	0	0	0	ENTRADA	SALIDA	SALIDA	SALIDA
10	1	0	0	1	ENTRADA	SALIDA	SALIDA	ENTRADA
11	1	0	1	0	ENTRADA	SALIDA	ENTRADA	SALIDA
12	1	0	1	1	ENTRADA	SALIDA	ENTRADA	ENTRADA
13	1	1	0	0	ENTRADA	ENTRADA	SALIDA	SALIDA
14	1	1	0	1	ENTRADA	ENTRADA	SALIDA	ENTRADA
15	1	1	1	0	ENTRADA	ENTRADA	ENTRADA	SALIDA
16	1	1	1	1	ENTRADA	ENTRADA	ENTRADA	ENTRADA

Tabla 2.4 Configuraciones de entrada/salida del PPI 8255 en modo 0.

El modo 1 otorga dos puertos de 8 bits bidireccionales. El puerto A y el puerto B con sus entradas y salidas "latcheadas". Los dos puertos de 4 bits (C-superior y C-inferior) son líneas "handshaking" para los puertos A y B. Para la entrada en el modo 1, PC3, PC4 y el PC5 se utilizan como "handshaking" para el puerto A, y el PC0, PC1 y PC2 para el puerto B. El PC6 y el PC7 pueden ser programados ya sea como puertos de entrada o salida.

En uso normal de este modo, el dispositivo de salida coloca datos de 8 bits del PA0 y el PA7 (o PB0-PB7), entonces envía una señal de strobe en nivel bajo STB, al PC4 para el puerto A o PC2 para el puerto B. El strobe carga los datos en el latch de entrada. Este genera una señal en nivel alto que representa el Buffer lleno IBF, en el PC5 para el puerto A o en el PC1 para el puerto B. El procesador lee el puerto C y checa la señal IBF para determinar si los datos están disponibles. Si el IBF esta a "1" el procesador lee el puerto A o el puerto B, y la señal IBF es reseteada por el flanco de subida de la señal RD.

Para la salida en el modo 1, EL PC7, PC6 y el PC3 sirven como "handshaking" para el puerto A; similarmente el PC0, PC1 y el PC2 sirven para el puerto B. El PC4 y el PC5 pueden ser programados ya sea como puertos de entrada o salida. El procesador escribe los datos al puerto A ó al B, y la bandera de salida de buffer lleno /OBF (PC7 para el puerto A o PC1 para el puerto B) va a un nivel bajo para indicar esta acción. El dispositivo de salida monitorea la señal OBF para determinar cuando están disponibles los datos de salida. Este reconoce la aceptación de los datos por la señal de reconocimiento /ACK (PC6 para el puerto A y PC2 para el puerto B), de modo que se limpia la bandera de salida de buffer lleno al reconocer los datos (/ACK en nivel bajo).

El modo 2 otorga un bus bidireccional de ocho bits en el puerto A. Los cinco bits del puerto C llegan a ser las señales de status y control para el puerto A, de modo que da una capacidad de "handsahking" similar al funcionamiento en el modo 1.

Cuando el 82C55 opera en modo 1 o modo 2, las señales de control del puerto C pueden ser utilizadas por el procesador como peticiones de interrupción. Estas señales de petición de interrupción pueden ser inhibidas o habilitadas escribiendo o borrando la señal INTE (INTE es un Flip-Flop asociado con /OBF), utilizando la función de set/reset del puerto C. Cuando el bit 7 de las palabras de control es igual a cero, las palabras de control son interpretadas como un comando set/reset del puerto C. Cualquier bit del puerto C puede ser configurado o borrado. Esto es ventajoso en las aplicaciones que requieren la manipulación de bits de manera individual.

Son posibles varias combinaciones de modo de operación. Por ejemplo, mientras el puerto A y el puerto C-superior se utilizan en el modo 1 de operación, el puerto B y el C inferior se utilizan en el modo 0. Las hojas de datos del 82C55 se encuentran en el anexo A.

De acuerdo a la tabla 2.3, los pines A0 y A1 del PPI 82C55, son utilizados como líneas de control en combinación con las señales de lectura y escritura, por lo que estos pines serán manejados directamente del bus de direcciones y control respectivamente, por lo tanto, quedan por decodificar las líneas de direcciones del A2 al A9. Estas 8 líneas se comparan con la palabra C0H, lo que representa los bits mas significativos de la dirección 300H, de este modo se controla por software al puerto A con la dirección 300H, al puerto B con la dirección 301H, al puerto C con la dirección 302H y al registro de control con la dirección 303H.

proceso de detección de tonos es por polling al puerto C. Esta utilizándose un solo bit de este puerto (recepción de tonos DTMF), quedando 7 bits que podrían ser utilizados para la atención a otros procesos, ya sea utilizados de manera individual o bien utilizando una combinación de ellos.

2.2.6 TONOS DTMF (DUAL TONE MULTY FREQUENCY)

Los tonos DTMF son señales generadas mediante la suma de dos frecuencias definidas, las cuales fueron elegidas de forma que ninguno de los armónicos ni la intermodulación producida por productos de ellas, coincidan con alguna de estas frecuencias. La separación entre tonos es típicamente del 10%. Las frecuencias están divididas en dos grupos y cada dígito DTMF queda determinado por un tono resultado de la suma de dos frecuencias, tomando una frecuencia de cada grupo.

El grupo de frecuencias bajas contiene las siguientes:

697Hz, 770Hz, 852Hz y 941Hz.

El grupo de frecuencias altas contiene a las siguientes frecuencias:

1209Hz, 1336Hz, 1477Hz y 1633Hz.

Estas frecuencias forman una matriz de cuatro columnas y cuatro renglones, las frecuencias bajas forman las cuatro columnas y las frecuencias altas constituyen los cuatro renglones, las combinaciones de estas 8 frecuencias definen los 16 dígitos DTMF: 0, 1, 2, 3, 4, 5, 6, 7, 8, 9, A, B, C, D, E, F, de los cuales generalmente los dígitos E y F se les conoce como * y # respectivamente.

2.2.7 DECODIFICADOR DE TONOS DTMF (MC145436AP)

El circuito integrado MC145436AP, cuyas hojas de datos se encuentran en el anexo A, funciona de la siguiente manera, al momento de recibir la señal analógica correspondiente a un tono DTMF, este genera un pulso en el pin de dato válido cuya duración es igual a la duración del tono presente en su entrada, y en sus salidas (D1, D2, D4, D8) presenta el dato correspondiente al tono recibido, según la tabla 2.6. La señal de validación va conectada al puerto C del 82C55 en el bit C0, el cual es poleado por la PC para determinar que un tono DTMF se recibió, entonces se procede a leer el Puerto A del 82C55 para cargar el dato recibido y procesarlo. Esta conexión se muestra en la figura 2.6; además de que el pin de dato válido va conectado al puerto C del 82C55, se utiliza como señalamiento visual de recepción en la tarjeta.

DIGITO	CODIGO DE SALIDA			
	D8	D4	D2	D1
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
0	1	0	1	0
*	1	0	1	1
#	1	1	0	0
A	1	1	0	1
B	1	1	1	0
C	1	1	1	1
D	0	0	0	0

Tabla 2.6 Datos de la decodificación de tonos DTMF

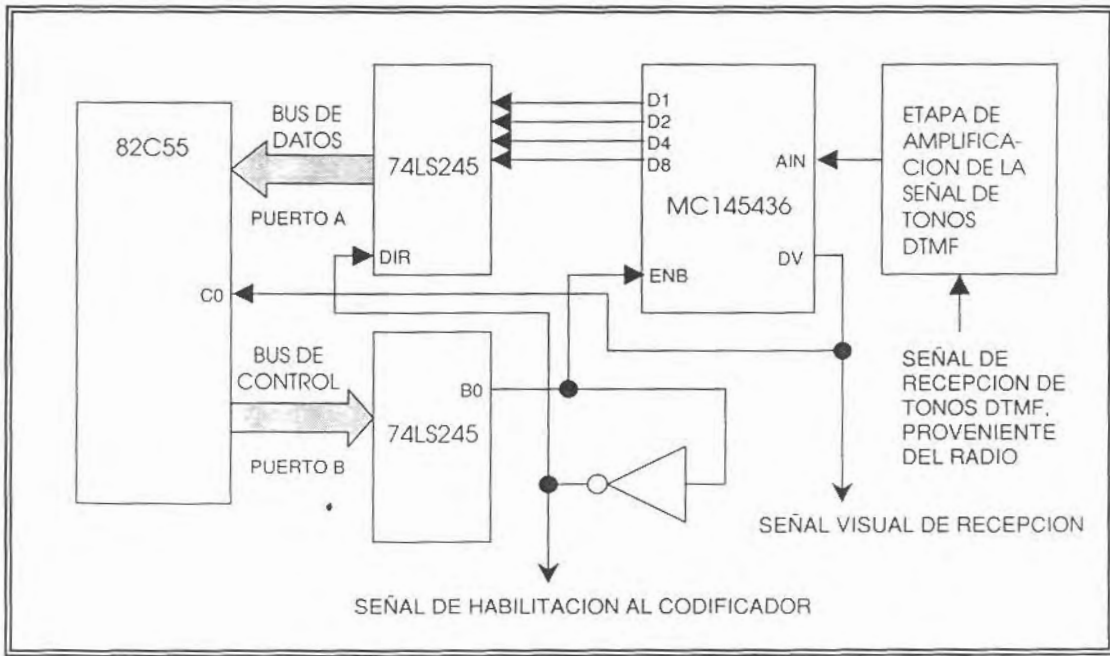


Figura 2.6 Diagrama esquemático de conexión del decodificador MC145436AP

Este circuito integrado utiliza un cristal para su funcionamiento cuya frecuencia es de 3.579545 MHz.

La señal de recepción en el radio es amplificada mediante el circuito integrado TL072, el cual es un amplificador operacional de bajo nivel de ruido, cuyas hojas de datos se encuentran en el anexo A, este amplificador se utiliza en configuración amplificador inversor, para poder

acoplar las impedancias entre el radio y la tarjeta interface, y poder amplificar o atenuar la señal analógica para los casos en que el radio tenga un nivel de ganancia de recepción muy bajo o muy alto. Este control de ganancia se realiza mediante un potenciómetro de ajuste fino PRX mostrado en el diagrama esquemático del proyecto. Una señal de habilitación controla el dispositivo activo, ya sea el codificador o el decodificador DTMF, esto es con el fin de que una sola operación se pueda realizar a la vez, ya sea codificar o decodificar, así también se controla el sentido de dirección de la información proveniente del puerto A, es decir, si se desea utilizar el codificador, se habilita este dispositivo y la dirección de la información será saliente en el buffer 74LS245, la información será entrante en el buffer al utilizar el decodificador, deshabilitando el codificador y habilitando el decodificador DTMF. Esta señal es generada en el bit B0 del 82C55.

2.2.8 CODIFICADOR DTMF (TCM5089)

Este codificador, es un circuito integrado, el cual requiere de señales en niveles TTL para generar los tonos. Un tono DTMF se genera mediante la suma de dos frecuencias definidas mencionadas anteriormente, hay 16 tonos DTMF distintos, los cuales resultan de las combinaciones de 8 frecuencias distintas. Con estas frecuencias, se forma una matriz de cuatro columnas y cuatro renglones, estas combinaciones forman los 16 tonos DTMF, el circuito integrado TCM5089, tiene pines asignados a las cuatro columnas y a los cuatro renglones, y se seleccionan con un nivel lógico bajo, de acuerdo a la tabla 2.7. Posee también un pin que señala mediante un nivel bajo cuando un tono está presente en la salida de circuito integrado, este pin es utilizado como señal de transmisión visual en la tarjeta.

FRECUENCIAS	PINES ASIGNADOS	1209	1336	1477	1633
		PIN 3 (C1)	PIN 4 (C2)	PIN 5 (C3)	PIN 9 (C4)
697	PIN 14 (R1)	1	2	3	A
776	PIN 13 (R2)	4	5	6	B
852	PIN 12 (R3)	7	8	9	C
941	PIN 11 (R4)	*	0	#	D

Tabla 2.7 Asignación de pines en la Matriz de tonos DTMF

Estas líneas de datos son manejadas mediante el puerto A del 82C55, en esta aplicación se utilizan los tonos DTMF correspondientes a los dígitos: 0, 1, 2, 3, 4, 5, 6, 7, 8, 9, * y #. Por este motivo, se tiene únicamente en uso 7 líneas del puerto A conectadas a los cuatro renglones y a tres columnas, según se muestra en la figura 2.7.

La señal generada por este codificador, es amplificada o atenuada según convenga, en relación al estado de modulación del radio. Es conveniente que en cualquier medio de comunicación, no se altere la información que se transmite; el transmisor en el caso del radio, puede modificar la forma de onda si es que éste está sobremodulado recortando los picos de la señal analógica, en este caso, es necesario atenuar la señal de entrada al radio para que se transmita dicha señal sin que se altere la información. Este control de ganancia se basa en una amplificación mediante el circuito integrado TL072, el cual es un amplificador operacional de bajo nivel de ruido, cuyas hojas de datos se encuentran en el anexo A de esta tesis; este amplificador es utilizado bajo la configuración de amplificador inversor y un potenciómetro de ajuste fino PTX, es el encargado de controlar el nivel de ganancia. De este modo se acopla la señal analógica al transmisor del radio, mostrado en el diagrama esquemático de este proyecto.

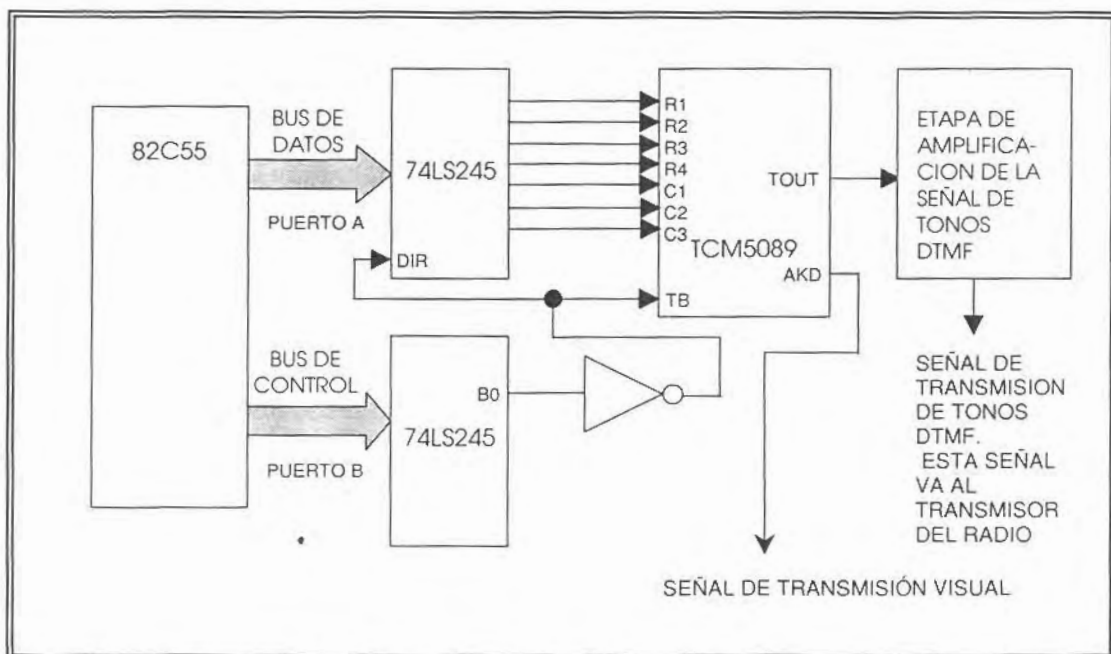


Figura 2.7 Diagrama esquemático de conexión del TCM5089

El bit B0 controla la habilitación del codificador DTMF y el sentido de dirección del buffer 74LS245, de modo que únicamente una función debe realizarse en un tiempo cualquiera, es decir, si se habilita el decodificador, se deshabilita el codificador o viceversa; así mismo, se controla la dirección de la información en el buffer, si se desea codificar un tono, la información será saliente en el buffer, y será entrante la información en el buffer al decodificar un tono.

Este codificador DTMF utiliza un cristal de 3.579545 MHz, para su funcionamiento, al igual que el decodificador MC145436AP.

2.2.9 ACTIVACION DEL TRANSMISOR DE RADIO (PTT)

El medio de comunicación utilizado en este sistema simplificado de control supervisorio es radio FM en la banda de VHF, por lo que se requiere de una etapa de activación del transmisor del radio a utilizar. Esta etapa de activación se refiere al manejo del control del transmisor, llamado PTT (Push To Talk). Este control cambia el modo de operación de cualquier equipo radio de modo de recepción a modo de transmisión. Un equipo de radio se compone de las siguientes partes principales: micrófono, unidad de control, bocina y el gabinete que incluye las tarjetas electrónicas. En operación normal un radio funciona en modo de recepción excepto cuando se activa el transmisor mediante el control de PTT, realizando la secuencia siguiente:

Entre 4 y 21 mseg después de que el PTT es activado, la tarjeta lógica envía la información de frecuencia a la tarjeta de RF (Radiofrecuencia) y energiza el relé de antena. Entre 34 y 51 mseg después de energizar el relé de antena, el sintetizador asegura la frecuencia y el controlador de RFPA produce una salida de potencia, entonces, la señal de entrada al micrófono (señal analógica) es modulada y transmitida, hasta que la señal de PTT sea desactivada. Cuando PTT es desactivado, el controlador reduce la potencia a cero y el relé de antena enruta la antena al circuito de recepción.

La transmisión de la señal de entrada al micrófono no es transmitida instantáneamente a la activación de PTT, por lo descrito anteriormente, se lleva alrededor de 72 mseg en preparar la transmisión; debido a esto se considera al menos 100 mseg de tiempo para iniciar la transmisión de tonos del sistema. En párrafos posteriores se dará una explicación mas amplia de los tiempos de transmisión.

La señal de PTT en modo de recepción, presenta un voltaje de +12 Vcd o +5Vcd, dependiendo de las características propias del equipo de radio utilizado, sin embargo, esta señal se activa llevando a tierra esta línea, es decir, la señal de PTT esta activa cuando presenta un voltaje de 0Vcd. Esto se logra en la tarjeta interface mediante un relevador controlado por una línea del puerto B del 82C55, el cual un extremo del contacto del relevador es aterrizado, y el otro extremo es conectado a la señal de PTT del radio a utilizar. Como el relevador utilizado es operado con un voltaje de +12Vcd y esta alimentación es tomada de la alimentación del radio para no afectar a la fuente de la PC, se utiliza un optoacoplador

(TILL 111, cuyas hojas de datos se encuentran en el anexo A) para aislar las energías en uso, este optoacoplador es controlado por la línea B1 del puerto B del 82C55. El relevador es polarizado mediante un transistor (BC547) con colector abierto. Esta conexión se muestra en la figura 2.8.

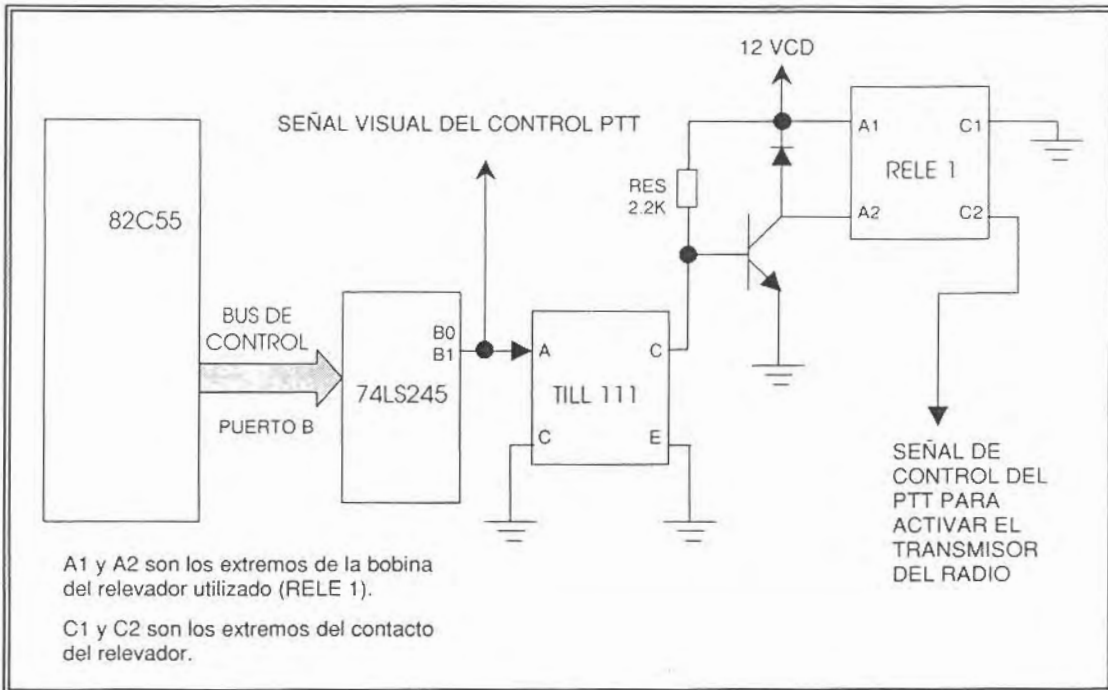


Figura 2.8 Diagrama esquemático de conexión de la etapa de activación del transmisor de radio.

La transmisión de los códigos DTMF, lleva una temporización específica, la cual contempla tiempos de comunicación utilizados en la transmisión de datos vía radio, estos tiempos de comunicación son:

- ✓ Pre-transmisión
- ✓ Datos
- ✓ Post-transmisión

El tiempo de Pre-transmisión es aquel en el que el radio transmite la onda portadora pero no hay señal modulada. Es utilizado para estabilizar al transmisor del radio y para el caso del uso de repetidores de comunicación vía radio, es utilizado para lograr activar y estabilizar la señal de RF del transmisor del equipo repetidor, asegurando que no se pierdan los datos iniciales en su transmisión.

Tiempo de Datos es el empleado en transmitir la información, ya sea de datos o voz.

El tiempo de Post-transmisión es el que se utiliza para desactivar el transmisor del radio, generalmente es la mitad del tiempo de Pre-transmisión. Utilizado para evitar que se pierdan los últimos datos en la transmisión por radio.

Debido a las condiciones de los equipos de radio utilizados, antes mencionadas, se tiene un tiempo de Pre-transmisión de 100 mseg y 50 mseg de Post-transmisión como mínimo para la transmisión de los códigos de tonos DTMF utilizados en este sistema. Esto es mostrado en la figura 2.9. Estos tiempos son configurables por software en la interface de usuario, debido a las necesidades de ubicación de las UTR's y a las características propias de los sistemas de comunicación utilizados en la implementación de este sistema de control.

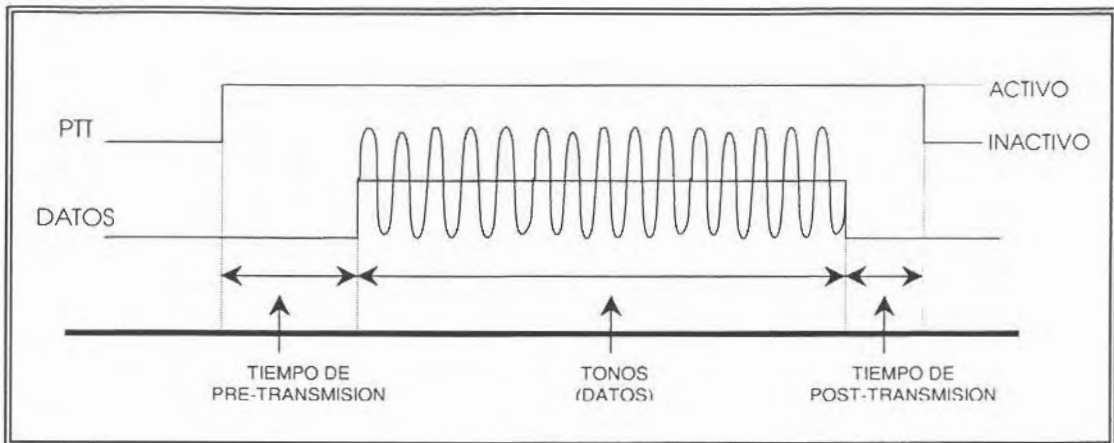


Figura 2.9 Tiempos de comunicaciones en la transmisión de códigos DTMF.

2.2.10 PUERTO DE SALIDA DE LA TARJETA INTERFACE

La tarjeta interface tiene como entrada la señal analógica proveniente del radio utilizado en el sistema, esta señal corresponde a los tonos DTMF recibidos (audio de entrada), así como la alimentación de +12 Vcd para la operación del relevador del control de transmisión y como salida, proporciona el control de activación del radio y las señales analógicas correspondientes a los tonos DTMF generados (audio de salida) para formar los comandos de control y poder ser transmitidos a las UTR's para la operación remota de los puntos. Esta tarjeta tiene indicadores visuales (led's) de transmisión, recepción y control de PTT.

El puerto de comunicación de esta tarjeta con el radio es un conector DB9-Hembra, del cual se utilizan 5 pines. Las señales que van en este conector son:

1. Tierra (Gnd, referencia)
2. +12 Vcd
3. PTT (Control de transmisión del radio)
4. Audio In (Señal analógica de recepción)
5. Audio Out (Señal analógica de transmisión)

Los pines restantes no se utilizan.

Esta tarjeta interface es insertada en el bus de cualquier PC compatible con IBM, el cual debe ser un bus ISA. Esto hace depender únicamente de la velocidad del procesador del CPU (Unidad Central de Procesamiento) del sistema de computo empleado, en el diseño de esta tarjeta se utilizó un procesador Pentium II a 300 MHz.

El diagrama electrónico de esta tarjeta DTMF, se muestra en la figura 2.10. La tarjeta DTMF de circuito impreso, se presenta a dos caras con las perforaciones metalizadas, mascarilla antisolder, en fibra de vidrio FR4. Los diagramas de circuito impreso de las dos caras se muestran en las figuras 2.11, 2.12 y 2.13 respectivamente.

El radio que soporta esta tarjeta para su comunicación en este sistema, es un radio base convencional y puede operar en las frecuencias de VHF y UHF.

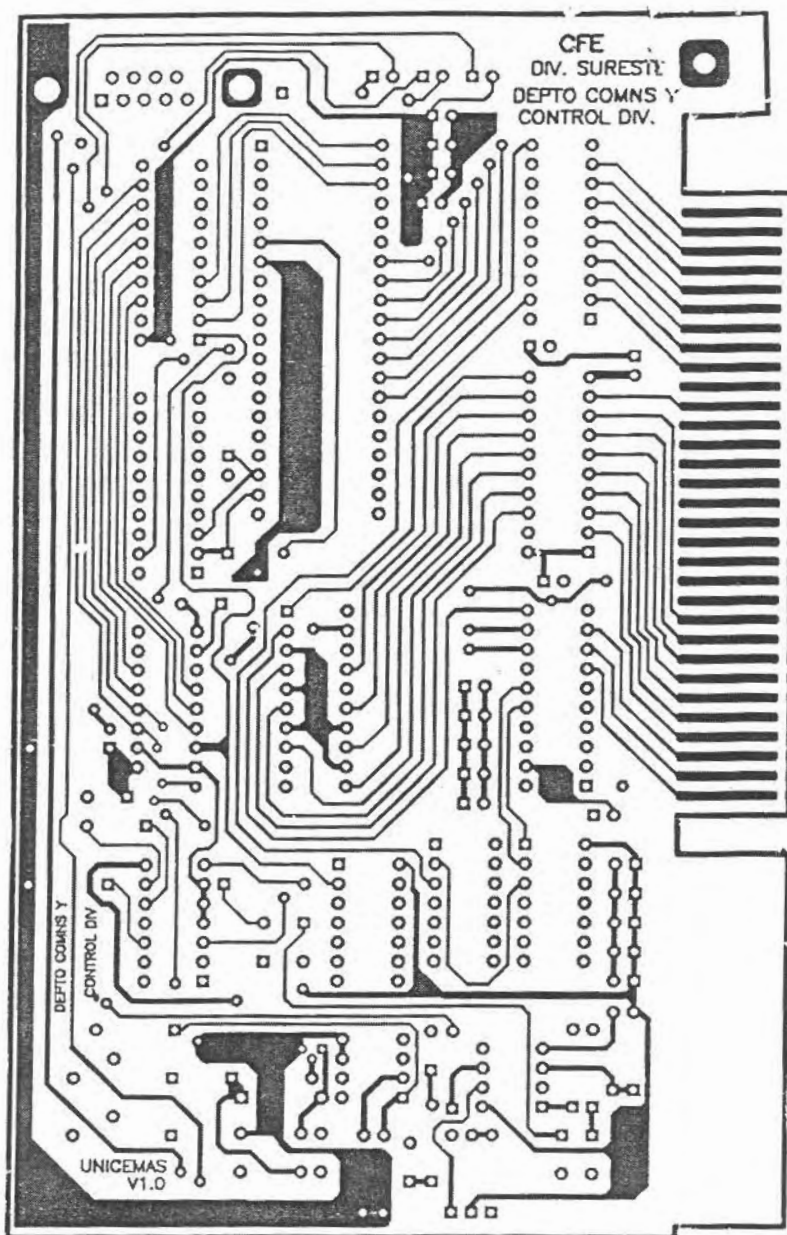


Figura 2.11 Diagrama de circuito impreso de la tarjeta DTMF para el sistema simplificado de control supervisorio. (Vista Frontal)

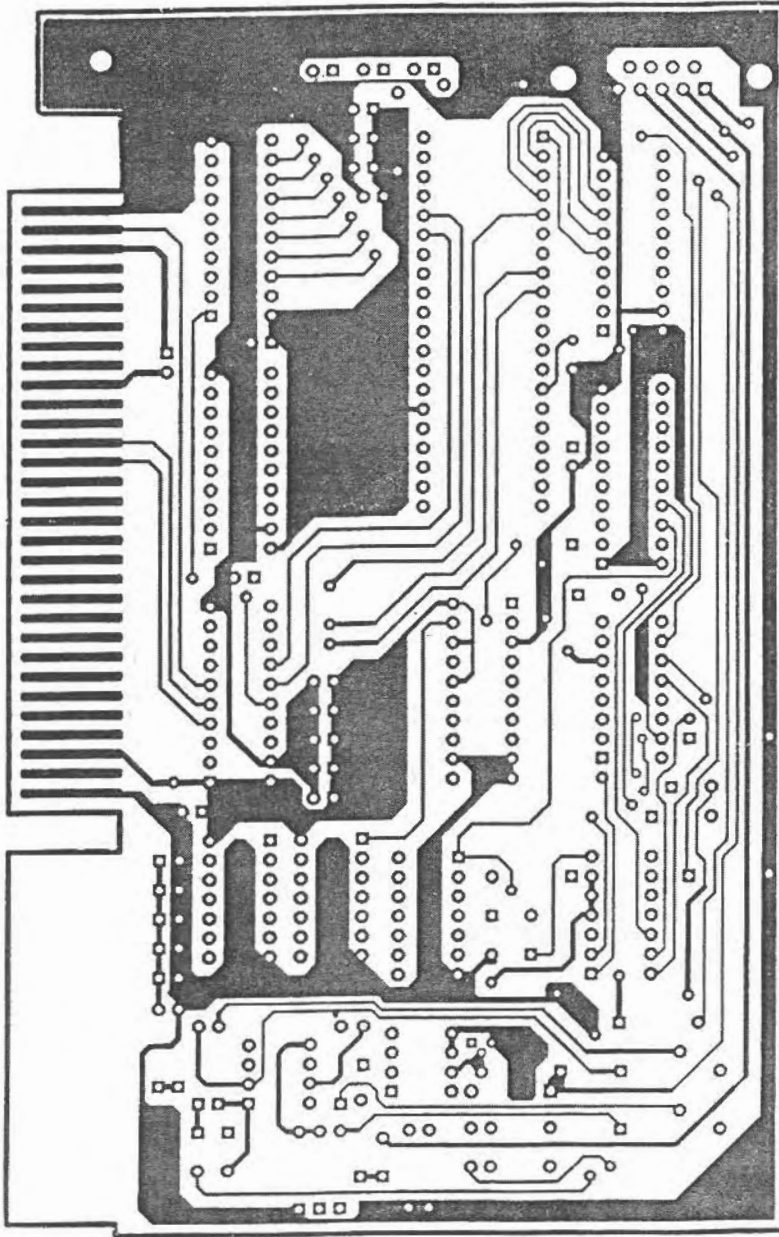


Figura 2.12 Diagrama de circuito impreso de la tarjeta DTMF para el sistema simplificado de control supervisorio. (Vista Posterior, impresión en espejo)

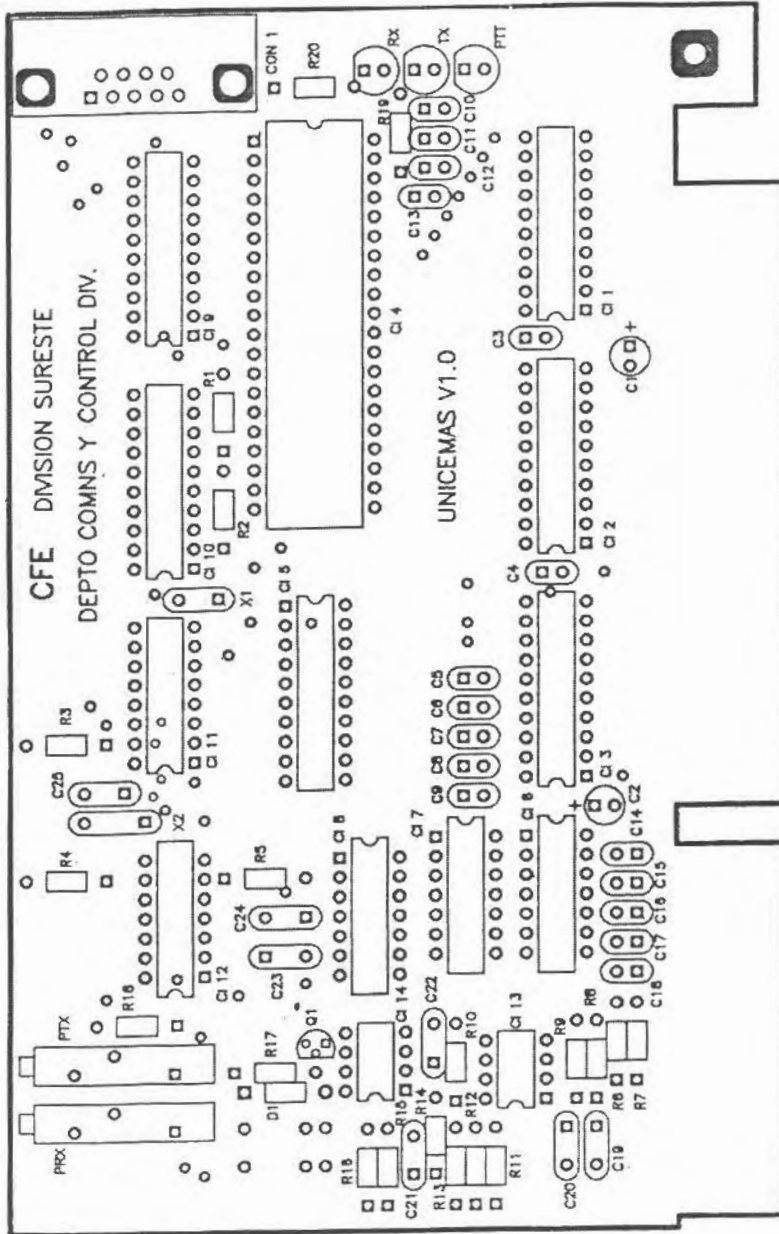


Figura 2.13 Diagrama de circuito impreso de la tarjeta DTMF para el sistema simplificado de control supervisorio. (impresión de componentes)

2.3 SOFTWARE

El software que procesará la información obtenida mediante la tarjeta interface, está codificado en el lenguaje Visual Basic, debido a la utilización de ventanas compatibles con ambiente Windows, lo cual permite mayor presentación y la utilización de recursos de software como son: paquetes de bases de datos, funciones multimedia, ambiente gráfico de mayor definición, etc. Esta interface de usuario está dividida por funciones, cada una de las cuales interactúa con una función principal. Estas funciones realizan los procesos característicos de una unidad central maestra, cuenta con una capacidad de proceso de 20 diagramas unifilares, con 10 UTR's por unifilar, dando un total de 200 UTR's controladas. Las funciones que utiliza el software de la unidad central maestra son:

1. Carga y descarga de diagramas unifilares
2. Alta y baja de UTR's
3. Configuración de tiempos de comunicación
4. Alarma de UTR's de manera visual y audible
5. Almacenamiento de alarmas en una base de datos
6. Transmisión de códigos de control a las UTR's

Estas funciones son administradas desde el programa o función principal, que involucra el monitoreo de tonos DTMF mediante la interrupción por polling al puerto C del 82C55, por lo que el programa polea el bit de interrupción de la línea C0 del 82C55, si éste se activa, inicia el proceso de lectura al puerto A, deshabilita las demás funciones y realiza el proceso de alarma de UTR's de manera visual y audible descrito en párrafos posteriores, involucra también la visualización de diagramas unifilares en los cuales se representan los puntos remotos a controlar y permiten en éste la transmisión de un comando de control, así mismo permite controlar la función de configuración de tiempos de comunicación, alta y baja de UTR's.

El monitoreo que realiza, verifica el bit C0 del 82C55 cada 10 mseg, con este tiempo se asegura un poleo eficaz para la recepción de datos, sin que éstos puedan ser perdidos.

El algoritmo de la función principal se presenta en la figura 2.14

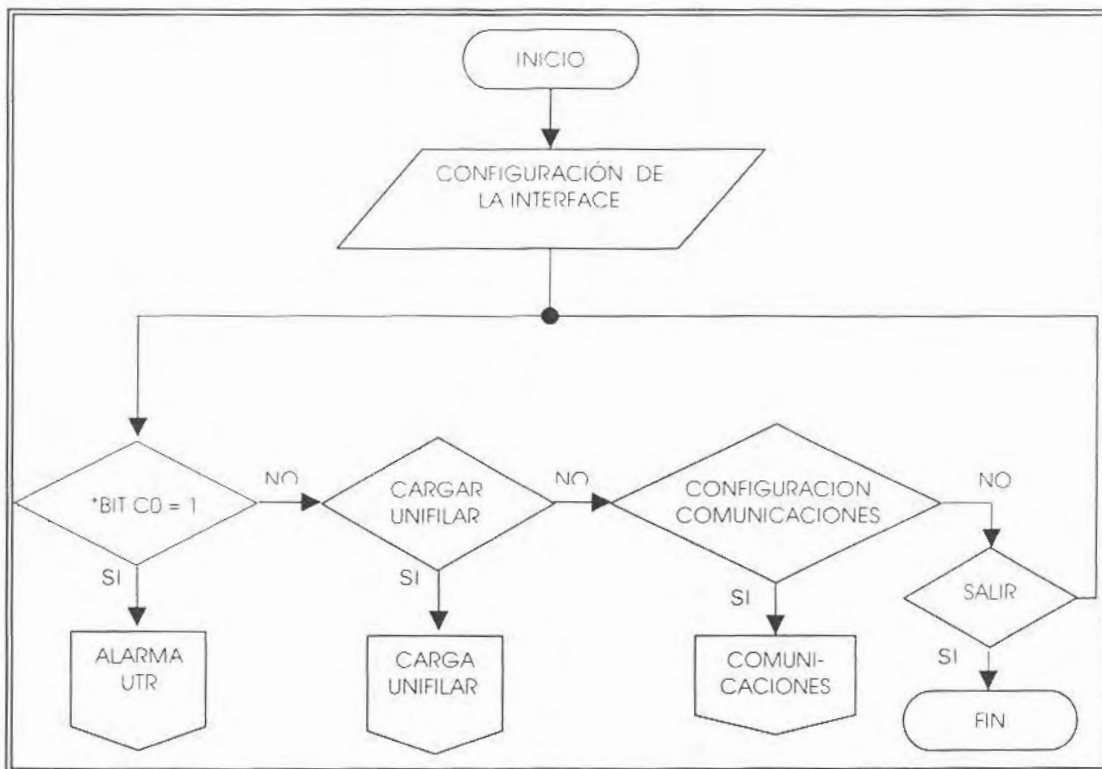


Figura 2.14 Algoritmo principal de monitoreo. *A esta pregunta regresan todas las funciones (Bit C0=1).

La función de **carga y descarga de diagramas unifilares**, esta codificada de manera que interactúa con una base de datos, la cual, contiene los datos de ubicación de las UTR's en el diagrama unifilar, así como la nomenclatura de las UTR's configuradas, y los estados de dichas UTR's, entre otros datos. Esta función permite habilitar en la ventana principal la visualización en pantalla del diagrama unifilar correspondiente, el cual puede ser un mapa, una fotografía o un dibujo. Las UTR's son representadas por puntos ubicados de acuerdo a coordenadas de posición sobre el plano del diagrama unifilar.

La función de **alta y baja de UTR's**, agrega o borra respectivamente datos de las UTR's como son: coordenadas de ubicación en el plano del diagrama unifilar, nomenclatura, dirección, estado actual de la UTR, diagrama unifilar asociado, entre otros. Esta información es almacenada en la base de datos correspondiente.

La función de **configuración de tiempos de comunicación** almacena los tiempos de comunicación asignados a cada UTR, permite como mínimo

Lo cual representa el tiempo suficiente para el envío de datos sin pérdida por estabilidad y desactivación de los transmisores de radio.

La función de **alarma de UTR's** de manera visual y audible, representa gran parte del software de la unidad central maestra, debido a que se encarga de procesar los tonos DTMF que reciba la tarjeta interface DTMF del sistema, lo que constituye el monitoreo de las UTR's. Esta función realiza un polling al puerto C del 82C55, cuando este se activa, se procede a leer el puerto A del 82C55 y compara el dato DTMF leído con los dígitos permitidos por el sistema, se almacena el dígito y se activa un timer de validación de modo que si este timer termina su conteo y no se recibe el siguiente dígito, entonces se limpiará el registro de almacenamiento de datos recibidos, en otro caso, es decir, que se reciba el siguiente dígito, antes de que el timer de validación termine, almacenará los datos recibidos hasta completar el código, entonces se procede a buscar en la base de datos la dirección de la UTR alarmada, si esta existe, se procede a activar la alarma visual y audible mostrando un mensaje que indica la hora, nomenclatura de la UTR y estado al que cambió, parpadando el fondo del mensaje en color verde si el estado a que cambió la UTR fue ABIERTO, y si es CERRADO el fondo parpadeante será rojo. Así también parpadea el punto que representa a la UTR en el diagrama unifilar con los colores antes mencionados, es decir, si el estado actual de la UTR es ABIERTO, entonces el punto parpadea en color verde, y si el estado de la UTR es CERRADO, parpadea el punto en color rojo. Estos colores son representativos en el sistema de control supervisorio y adquisición de datos (SCADA) que utiliza CFE.

Estas alarmas se desactivarán hasta que se reconozca de manera manual, es decir, hasta que el operador haga un "click " o teclee con la tecla ENTER en el botón de RECONOCER, esto es con el fin de que no pase desapercibida la alarma de cualquier UTR. Con la activación de la alarma, desactiva cualquier función de la interface de usuario, y las habilita hasta reconocer el evento.

La función de **almacenamiento de alarmas** en una base de datos es utilizada cuando un evento se recibe por la unidad central maestra. Se almacena en una base de datos el evento recibido con la siguiente información: hora y fecha en que ocurrió el evento, nomenclatura y estado de la UTR, estado (Reconocido o No Reconocido) y número de diagrama unifilar asociado. Esta base de datos es generada con el software Microsoft Access y cada mes se genera en tiempo de ejecución una base de datos nueva que almacenará en ella los eventos ocurridos durante dicho mes, formando así un histórico de eventos.

La función de **Transmisión de códigos de control a las UTR's**, es otra parte fundamental de este sistema, ya que mediante esta función se logra operar a los dispositivos remotos de seccionamiento, el proceso de esta función es el siguiente:

Primero se requiere visualizar en pantalla el diagrama unifilar que contiene al punto a operar, con la ayuda del mouse y haciendo "click" en el punto que representa a la UTR, con esta acción se deshabilita el monitoreo de tonos y muestra una ventana con las opciones de operación a realizar: ABRIR O CERRAR y la nomenclatura del punto seleccionado, por default la opción seleccionada de operación es contraria al estado actual de la UTR, es decir, si la UTR esta en estado abierto, la opción por default será CERRAR. Si se acepta la operación, se muestra una ventana de confirmación de comando, que involucra la operación a transmitir y la nomenclatura del punto a operar. Si la confirmación se cancela, se abortará la función, en caso contrario, se habilitará el proceso de transmisión del comando seleccionado habilitando el codificador de tonos DTMF y activando la señal de PTT, se activa también el timer de Pre-transmisión y al término de éste, empieza la transmisión de tonos DTMF con el código correspondiente al comando seleccionado anteriormente, al final de esta transmisión se activa el timer de Post-transmisión y al terminarse este conteo se desactiva la señal de PTT, se deshabilita el codificador DTMF, se habilita el decodificador DTMF y la función de monitoreo al puerto C del PPI 82C55.

En este documento se omite la información sobre los comandos por seguridad a la empresa.

El software de programación utilizado contiene instrucciones de manejo de bases de datos compatibles con Microsoft Access, por lo que las bases de datos son generadas desde el programa de aplicación requiriendo que se tenga instalado en la PC el software Microsoft Access incluido en Microsoft Office Professional®.

Un problema que existe con Visual Basic es el manejo de puertos de Entrada/salida, ya que no contiene en su set de instrucciones aquellas que permitan la lectura y escritura a puertos de entrada/salida, únicamente permite el manejo de puertos seriales, para resolver este problema, es necesario crear la librería con la que se pueda obtener el control de los puertos de Entrada/Salida. Estas instrucciones son utilizadas sin ningún problema por Borland C y Visual C++; Visual C++ permite la creación de librerías dinámicas que son de gran utilidad para desarrollos de software.

La codificación de este software está basada bajo los siguientes algoritmos, divididos por las funciones antes descritas, teniendo como función principal el algoritmo de monitoreo.

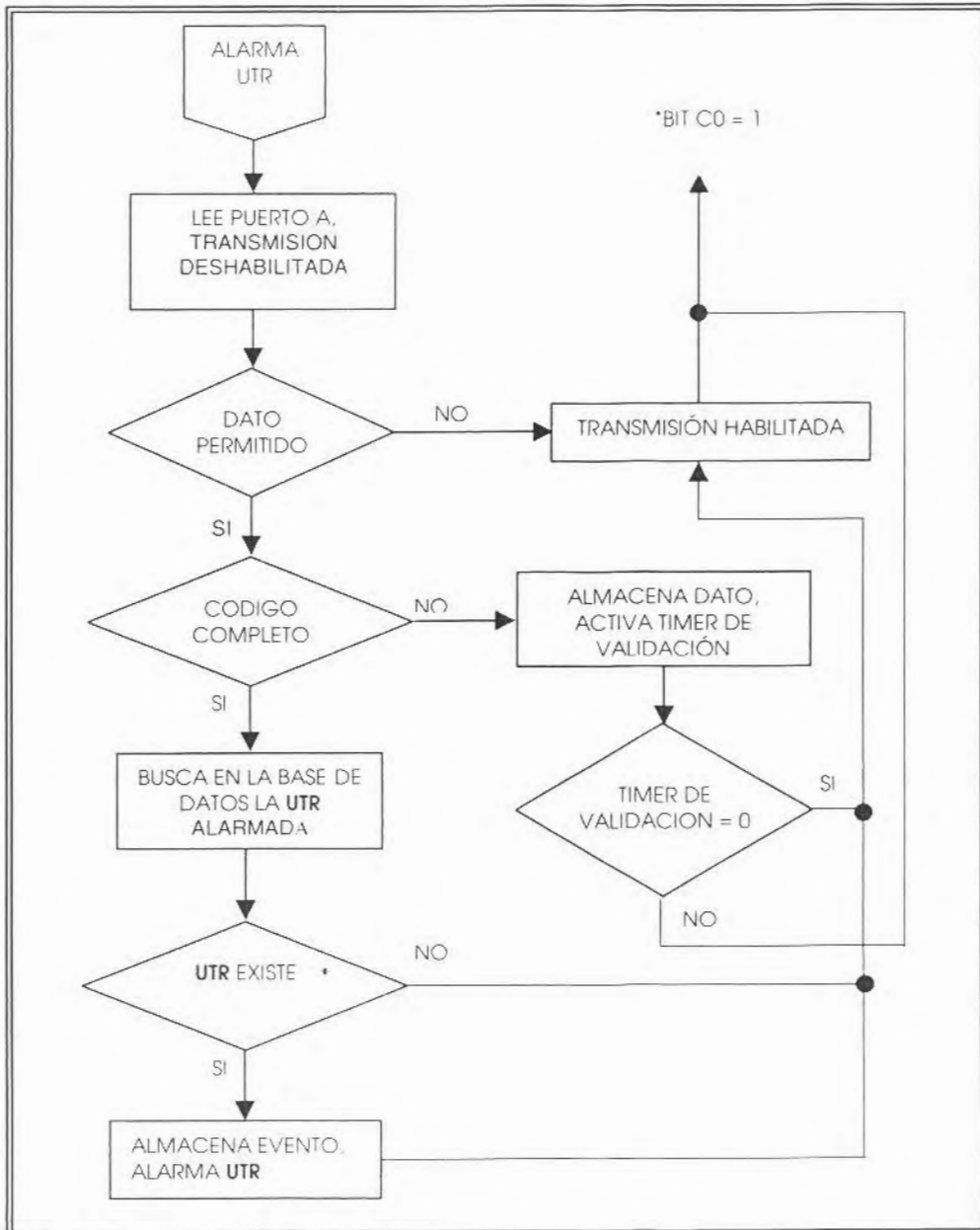


Figura 2.15 Algoritmo de alarma de UTR. Proceso de recepción de datos

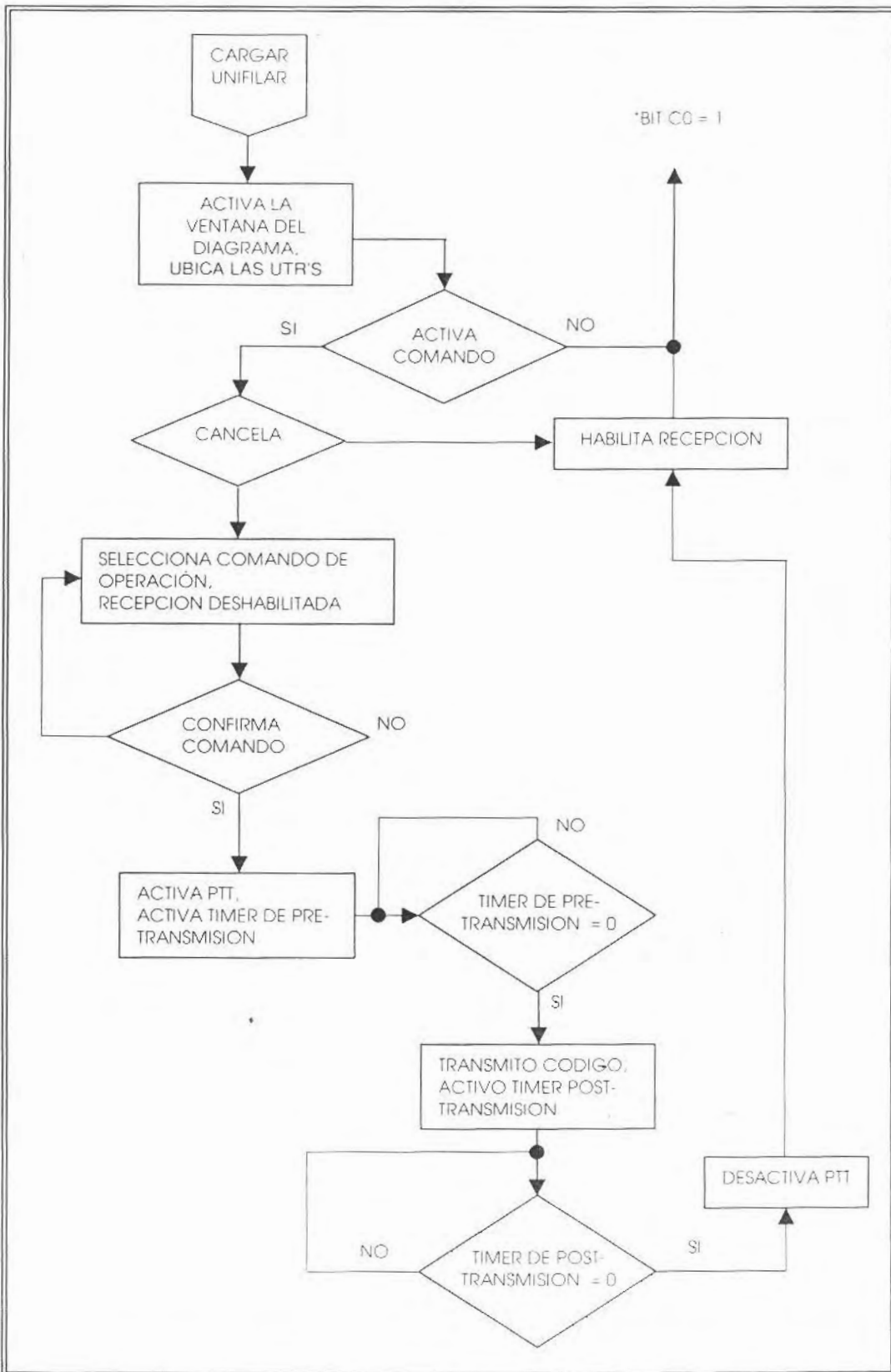


Figura 2. 16 Algoritmo cargar unifilar, involucrando el proceso de transmisión de datos

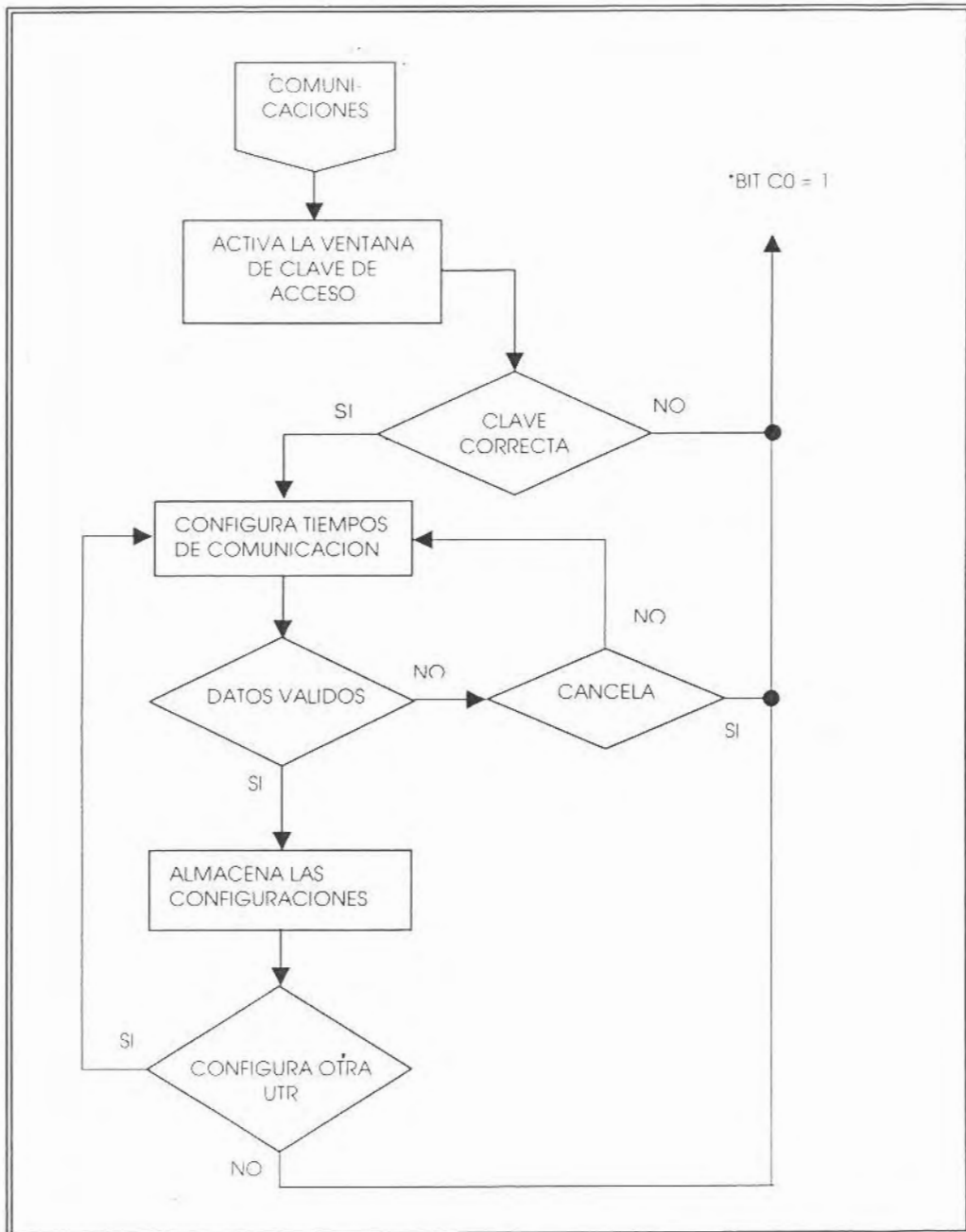


Figura 2.17 Algoritmo para configuración de tiempos de comunicación

2.3.1 LIBRERÍA DE LECTURA/ESCRITURA

El software de programación Visual Basic, no contempla funciones de lectura/escritura a puertos distintos de los seriales, es por ello que se hace

realizar operaciones de lectura/escritura a puertos ya sea paralelos, o a cualquier otra dirección. Hay una manera de hacer esto, y esta es utilizando un DLL. Las Librerías Dinámicamente Vinculadas (DLL's), como su nombre lo indica, permiten a Visual Basic vincular (un paso antes de compilar) un código (librerías que se han hecho en otro lenguaje como Delphi, Borland C++ o Visual C++ de Microsoft) durante tiempo de ejecución (dinámicamente). El software de programación Visual C++ tiene funciones de lectura y escritura a los puertos de entrada y salida. Además el compilador de Visual C++ le permite crear DLL's en adición a los archivos ejecutables (*.EXE).

Para crear estas librerías y vincularlas con Visual Basic en tiempo de ejecución, se requiere seguir los siguientes pasos:

1. Escribir el código que utilice estas funciones de lectura y escritura.
2. Compilar este código en un archivo DLL en vez de hacerlo en un ejecutable (*.EXE).
3. Llamar a la función desde Visual Basic.

De esta manera, es posible generar librerías dinámicas de lectura/escritura a puertos de entrada/salida a partir de Visual C++, logrando el manejo de puertos para funciones de lectura/escritura desde el paquete de programación utilizado en esta UCM. Los pasos a seguir antes mencionados se muestran a continuación:

2.3.2 ESCRIBIENDO LA LIBRERÍA 8255.DLL

Se necesitan dos archivos para crear un DLL. El primero es un archivo *.DEF (define). El segundo es el *.CPP (archivo fuente de C++). Ambos son simples archivos ASCII de texto, los cuales pueden ser escritos utilizando cualquier editor ASCII ya sea el editor de DOS, el wordpad, o el block de notas.

El archivo 8255.def contiene lo siguiente:

```
LIBRARY 8255
DESCRIPTION DLL FOR 8255 CARD
EXPORTS
    Out8255      @1
    In8255       @2
```

El nombre del DLL esta dado en la primera línea, este es 8255. La segunda línea es un comentario. Exporta la lista de nombres de las funciones que se definirán eventualmente en su Visual C++. Estas funciones son: Out8255 e In8255, si se desea agregar mas funciones, escriba el nombre de dicha función y el número consecutivo, como por ejemplo: Funcion_siguiente @3.

El archivo que contendrá el código fuente con instrucciones propias del paquete de programación Visual C++, deberá llevar el mismo nombre del archivo de definición (*.def), este será: 8255.CPP, en cuyo contenido se encontrarán las instrucciones de las dos funciones descritas en el archivo 8255.def, lo cual constituye el grupo de instrucciones que se utilizarán para controlar desde Visual Basic las operaciones de entrada/salida a los puertos requeridos, cuyas direcciones son: 300H, 301H, 302H y 303H (mencionadas anteriormente).

El archivo 8255.cpp contiene el siguiente código:

```
//.....
// ARCHIVO: 8255.cpp
// AUTOR: ALFREDO NEFTALI HIGUERA CORTES
// FECHA: 03/04/00
// DESC: ARCHIVO FUENTE PARA 8255.DLL COMPILADO CON
// MICROSOFT VISUAL C++ 6.0
//.....

#include<dos.h> // LIBRERIAS QUE CONTROLAN LA ENTRADA Y SALIDA
#include<conio.h> // A PUERTOS EN VISUAL C++

//-----
// FUNCION : Out8255
// DESC: MICROSOFT VISUAL C++ UTILIZA LA FUNCION _outp() PARA
// ESCRITURA A UNA DIRECCION DE PUERTO DE E/S.
//-----

short _stdcall Out8255(int PortAddress, int PortData){
    short Salida;

    // _outp oficialmente regresa un número entero y short es un entero de 16
    // bits de Win32 C++, por lo que se utiliza short para obligar al DLL a regresar
    // a Visual Basic el entero de 16 bits.

    Salida=(short)(_outp(PortAddress, PortData));
    return(Salida);
}; // FIN de la función Out8255

//-----
// FUNCION : In8255
// DESC: MICROSOFT VISUAL C++ UTILIZA LA FUNCION _inp() PARA
// LEER UNA DIRECCION DE PUERTO DE ENTRADA.
//-----

short _stdcall In8255(int PortAddress){
    short PortData;

    // short es un entero de 16 bits de WIN32 C++, se utiliza short para obligar
    // a esta librería a regresar a Visual Basic un entero de 16 bits

    PortData=(short)(_inp(PortAddress));
    return(PortData);
}; // FIN de la función In8255
```

2.3.3 COMPILANDO LA LIBRERÍA 8255.DLL

La compilación de esta librería se realiza siguiendo los pasos que a continuación se mencionan.

Paso 1: Escribir sus archivos *.def y *.cpp

Crear un directorio llamado C:\PUERTO, escribiendo y guardando el archivo *.DEF como 8255.def y el archivo *.CPP como 8255.cpp.

Paso 2: Visual C++

Abrir el software Visual C++. Seleccionar **Archivo** y **Nuevo** como se muestra en la figura 2.18.

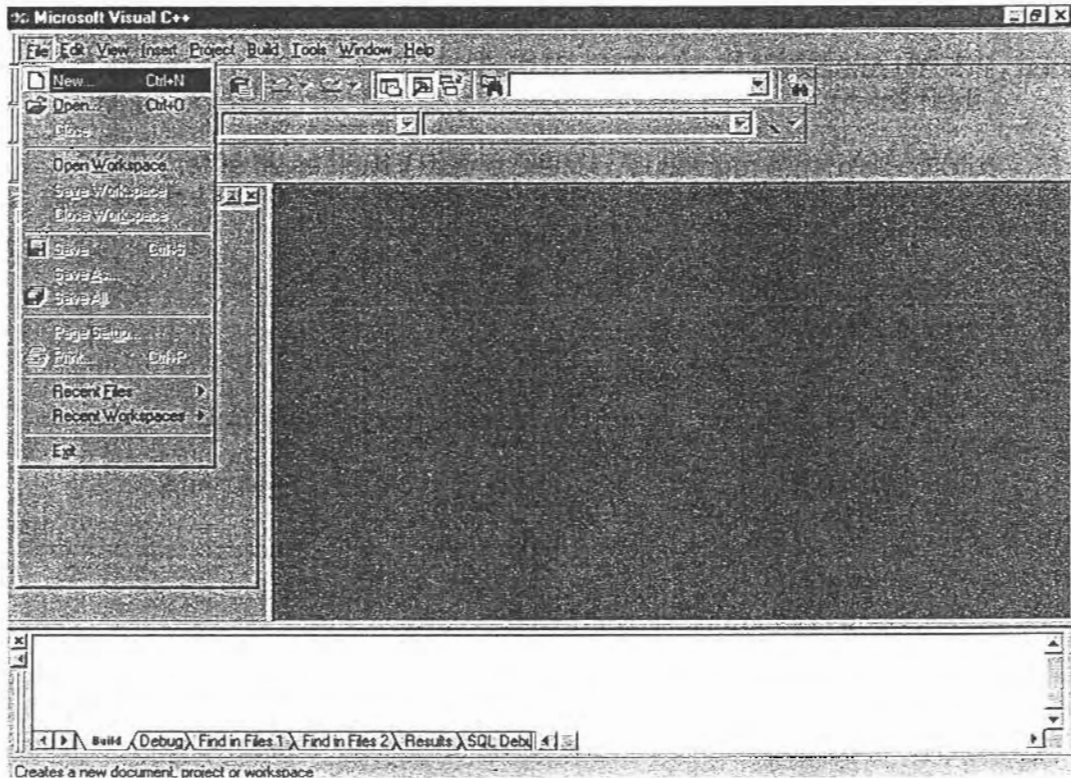


Figura 2.18 Opción para abrir el editor de Visual C++

Paso 3: Crear un Proyecto

Esto abre una Nueva Ventana. Asegurarse que la pestaña **Projects** este seleccionada y escoger **Win32 Dynamic-Link Library** mostrado en la figura 2.19.

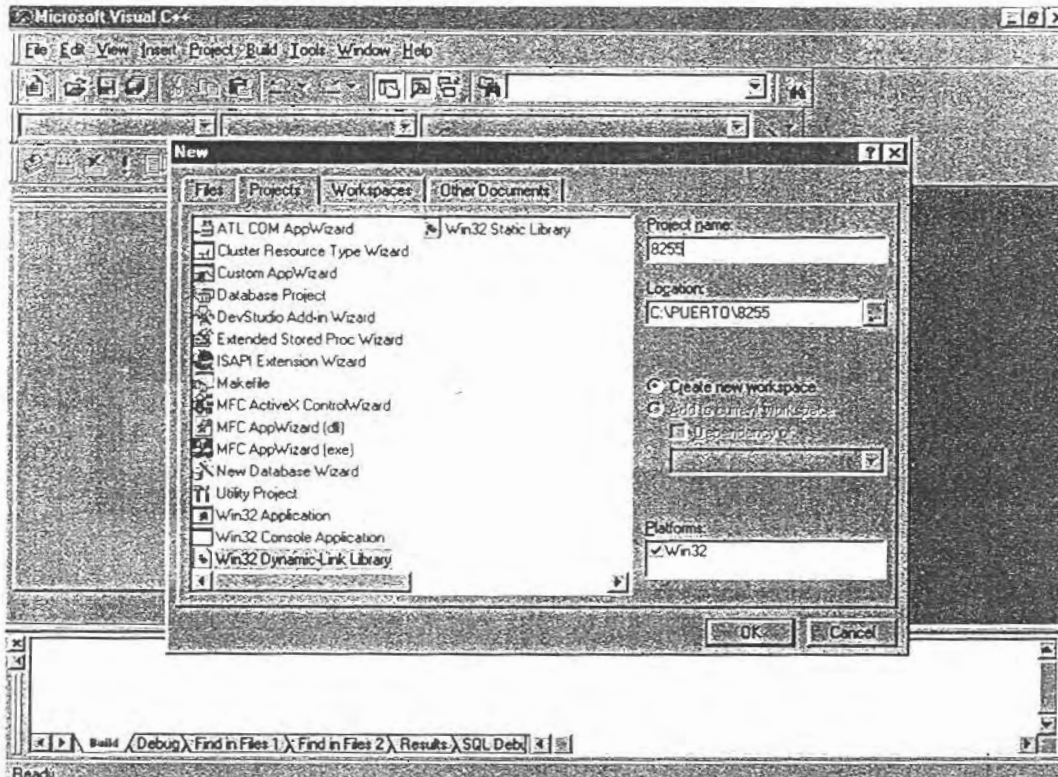


Figura 2.19 Ventana para crear un proyecto en Visual C++

Asegurarse que en el combo de ubicación se encuentre la siguiente ruta: "C:\PUERTO\ 8255" el cual es el directorio creado en el paso 1, en caso de que no sea así, hacer click en el botón de la derecha del mouse y buscar el directorio correspondiente.

En el campo **Project Name** escribir 8255 y hacer click en **OK**, en caso de utilizar Visual C++ Ver 6.0, seleccione la opción de crear un proyecto DLL vacío. A continuación se mostrará la figura con el resultado. En caso de que al hacer clic en **Ok** no aparezca la ventana, haga clic en la pestaña **Classes**. Figura 2.20.

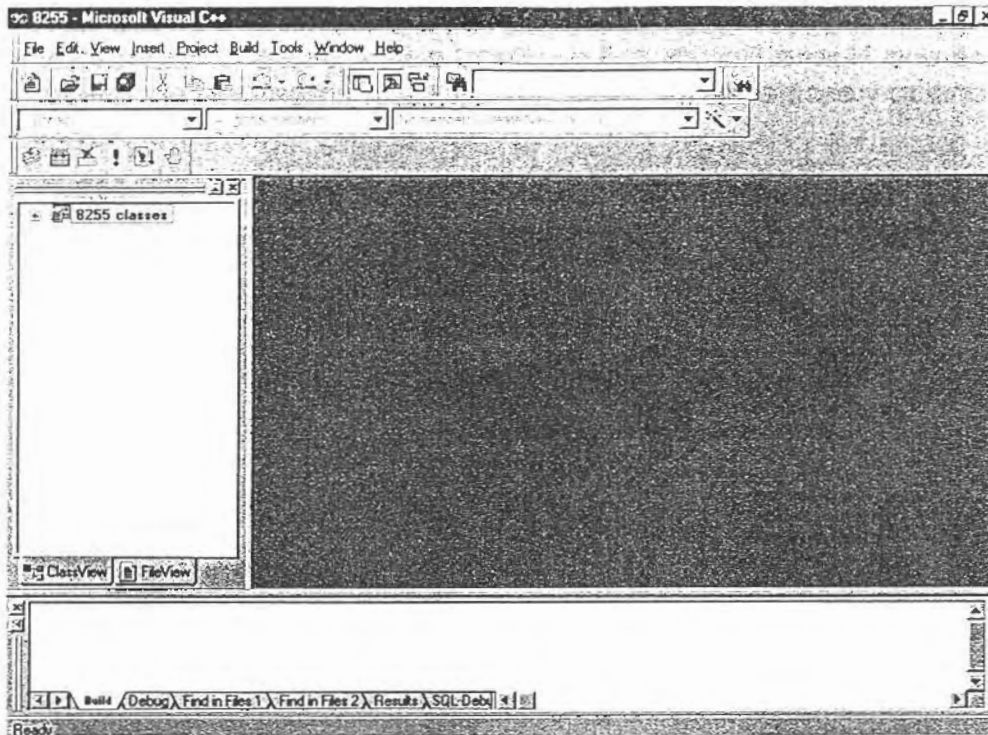


Figura 2.20 Ventana del proyecto 8255

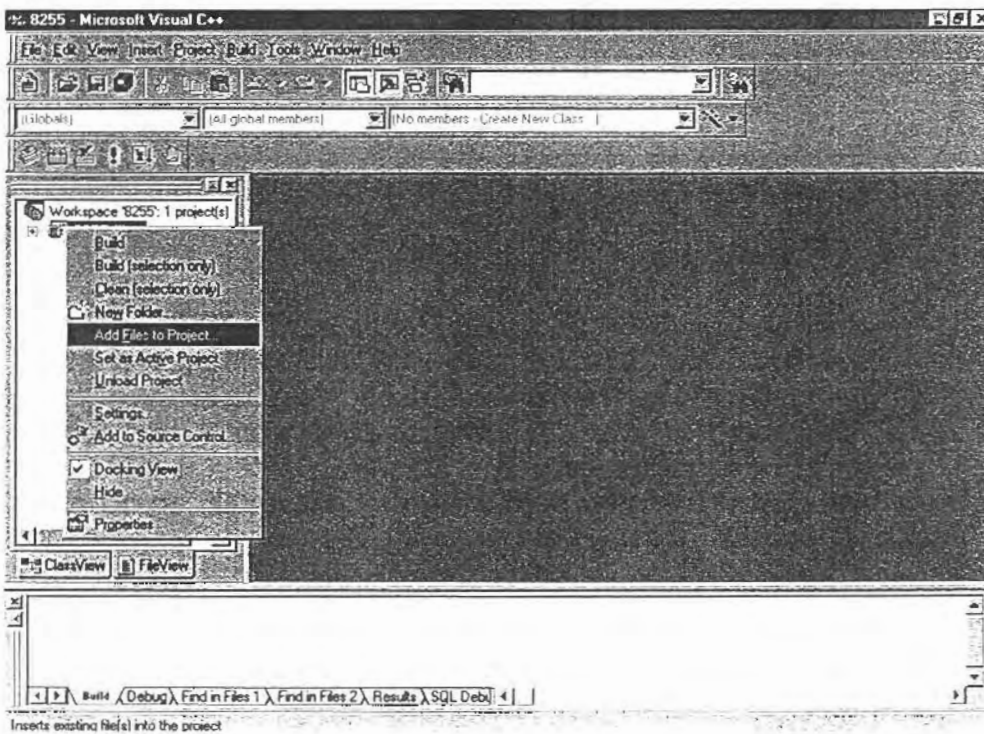


Figura 2.21 Opción para agregar archivos al proyecto 8255

Paso 4: Agregue su archivo 8255.cpp

Hacer click en la pestaña **File** y enseguida hacer click en el icono **8255 classes**, este se seleccionará (figura 2.20) y a continuación hacer click con el botón derecho de Mouse y posesionarse en la opción **Add Files to Project** como se muestra en la figura 2.21.

A continuación aparecerá una ventana llamada **Insert Files into Project** (figura 2.22). Asegúrese que el tipo de archivos este en archivos de C++. Enseguida seleccione el archivo **8255.cpp** y haga clic en el botón OK.

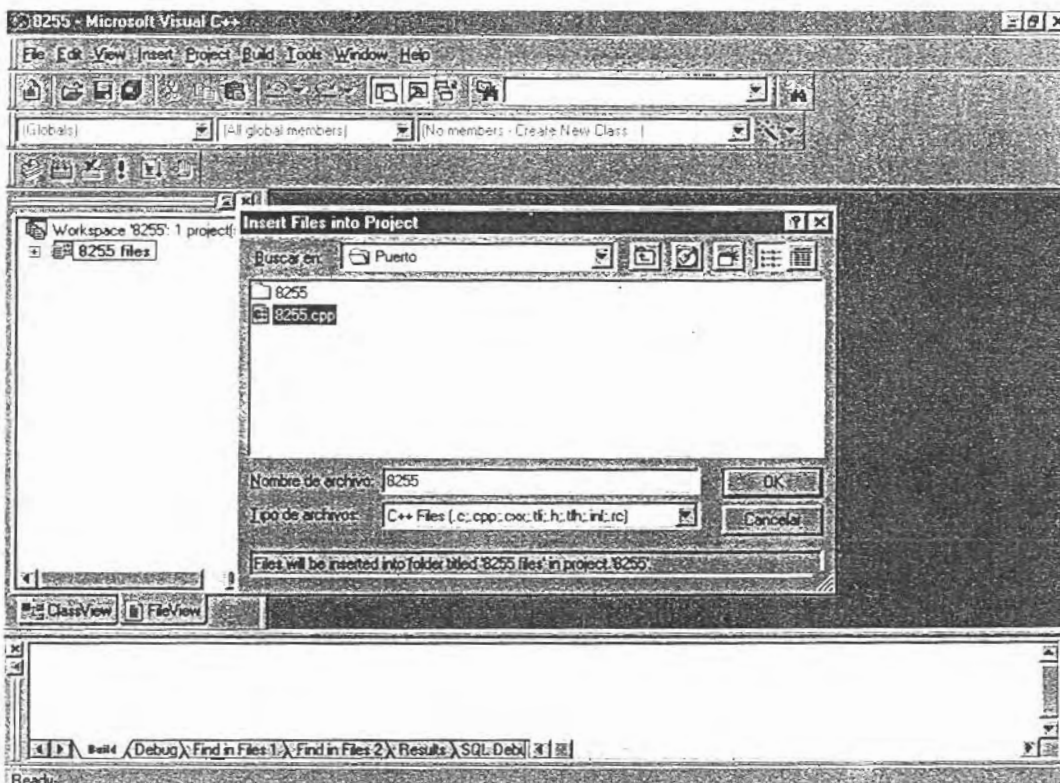


Figura 2.22 Selección del archivo CPP para agregar al proyecto 8255

Paso 5: Agregue el archivo 8255.def

Haga click en el icono de clases como en el paso 4. Con el botón derecho del mouse haga click y seleccione **Add Files to Project**. La ventana para insertar archivos en el proyecto aparecerá nuevamente. Esta vez hay que asegurarse que el tipo de archivos sea **Definition Files** (*.def). Haga click en el archivo **8255.def** y hacer click en **OK**. Ahora el proyecto contiene los archivos **8255.def** y **8255.cpp**, habrá que guardar todo haciendo click en el menú **File** en la opción **Save All**.

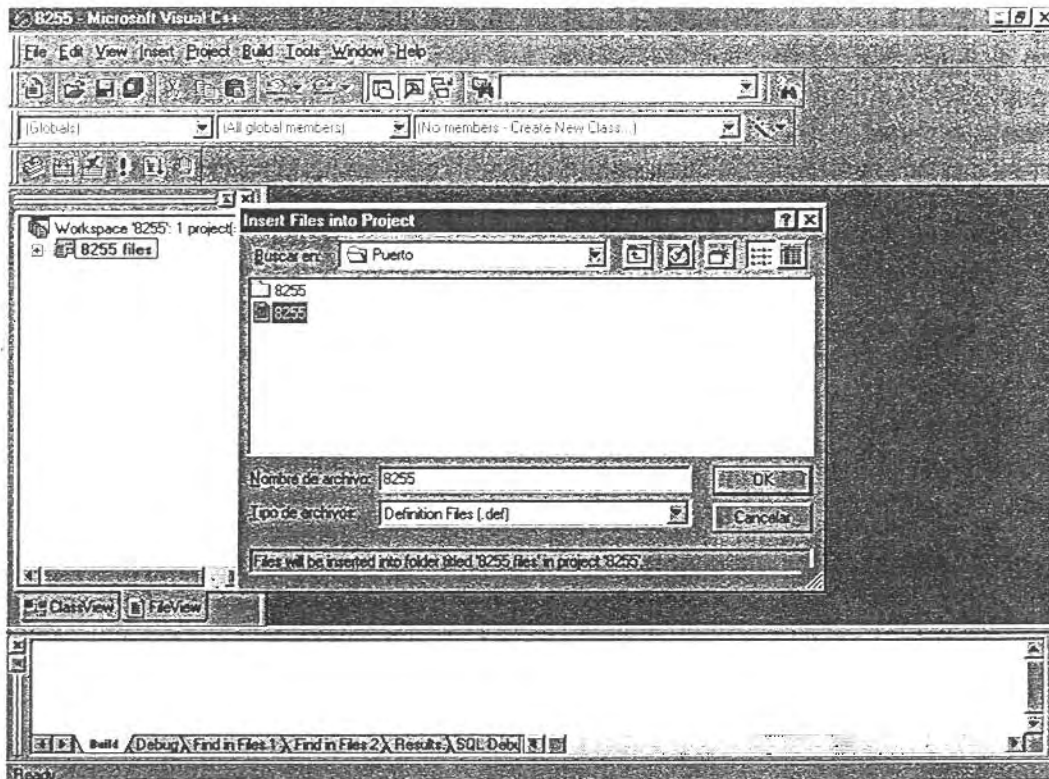


Figura 2.23 Selección del archivo DEF al proyecto 8255

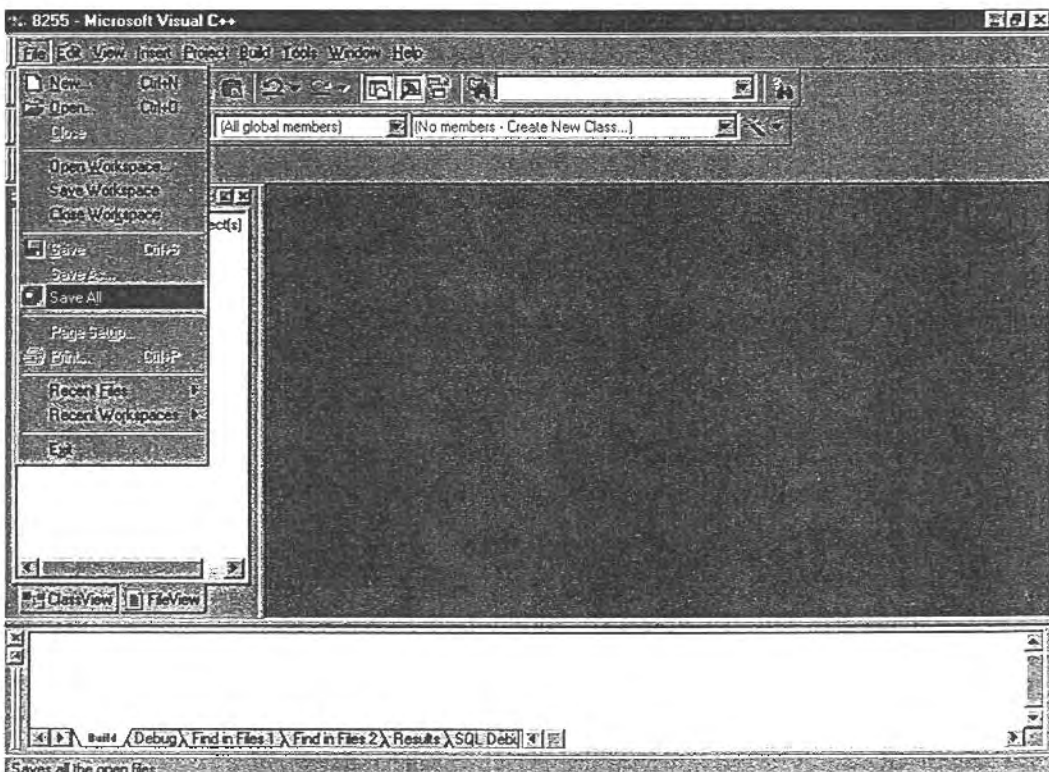


Figura 2.24 Ventana para salvar el proyecto 8255

Paso 6: Construir el archivo 8255.dll

En la barra de menús seleccionar el menú **Build** y seleccione el submenú **Build 8255.dll**. Esto creará y compilará el archivo 8255.dll. Si no existen errores de escritura en el 8255.def y 8255.cpp Visual C++ marcará 0 errores. Si es así, la librería 8255.dll estará guardada en el directorio C:\port\8255\debug. Figuras 2.25 y 2.26.

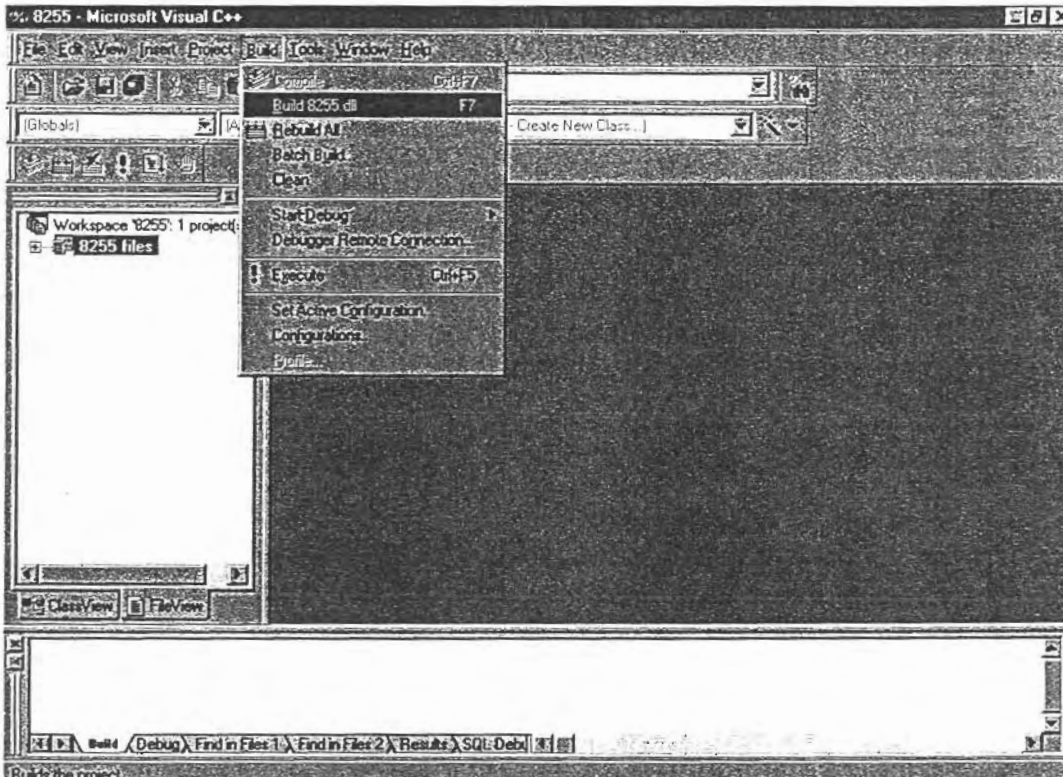


Figura 2.25 Opción para compilar y crear el archivo 8255.dll



Figura 2.26 Resultado de la creación del archivo 8255.dll

Paso 7: copiar al archivo 8255.dll al directorio C:\windows

Copiar el archivo 8255.dll al directorio C:\windows. Para que Visual Basic pueda hacer uso de este DLL.

2.3.4 DECLARACION DE LAS FUNCIONES

Para poder utilizar las funciones codificadas en la librería 8255.DLL, se deben agregar las líneas de la figura 2.27 en la sección de declaración de programa en Visual Basic.

```
Private Declare Function Out8255 Lib "8255.dll" _
    (ByVal PortAddress As Integer, _
    ByVal PortData As Integer) As Integer

Private Declare Function In8255 Lib "8255.dll" _
    (ByVal PortAddress As Integer) As Integer
```

Figura 2.27 Líneas que deben agregarse al programa en Visual Basic

2.3.5 INSTRUCCIONES DE ESCRITURA A PUERTOS DE ENTRADA/SALIDA

La instrucción para escribir un dato en una dirección determinada es la siguiente:

Out8255(DIRECCION, DATO)

Donde DIRECCION y DATO son variables de tipo entero. DIRECCION es una variable que deberá contener la dirección del puerto a escribir en notación decimal, DATO es una variable que contiene el dato a escribir en el puerto de salida también en notación decimal.

Es necesario utilizar una variable entera asociada (en esta aplicación se utilizó: "OUT") con la función Out8255. Esto es porque el DLL fue construido utilizando la función `_outp()` de Visual C++ la cual regresa un entero (1 si la acción se completa con éxito y 0 si falla). Por ejemplo, la instrucción completa para escribir el número 137 en el puerto 300H es: `OUT = Out8255(PORTA, 137)`, donde PORTA es una variable tipo entero de valor 768.

Como se describe anteriormente, el PPI 82C55 se utiliza en modo de operación = 0, con los puertos: A como entrada/salida (Puerto de datos), B como salida (Puerto de control) y C como entrada (Puerto para realizar el polling). Hay dos diferentes palabras de control para configurar los puertos antes mencionados. Estas palabras de control son mostradas en la tabla 2.8.

Set/Reset	MODO		Puerto A	Puerto C (alto)	MODO	Puerto B	Puerto C (bajo)	NOTACION	
	D6	D5						D4	D3
1	0	0	0	1	0	0	1	89H	137
Activo	0		Salida	Entrada	0	Salida	Entrada		
1	0	0	1	1	0	0	1	99H	153
Activo	0		Entrada	Entrada	0	Salida	Entrada		

Tabla 2.8 Palabras de control para configuración del PPI 82C55.

Anteriormente se menciona que las direcciones utilizadas en esta tarjeta son 4, abarcando éstas desde la dirección 300H a la 303H, para el manejo de los tres puertos y el registro de control del PPI 82C55. Esto es mostrado en la tabla 2.9

PUERTO	DIRECCION	
	HEX	DEC
PUERTO A	300H	768
PUERTO B	301H	769
PUERTO C	302H	770
REGISTRO DE CONTROL	303H	771

Tabla 2.9 Direcciones utilizadas para control del PPI 82C55

De acuerdo a las tablas 2.8 y 2.9, se utilizan las siguientes instrucciones en el software de aplicación para configurar al PPI 82C55:

```

-----
' CONFIGURA AL 82C55 COMO: MODO=0, PUERTO A = SALIDA,
' PUERTO B = SALIDA Y PUERTO C = ENTRADA (LIMPIO PUERTO A Y B)
-----

```

```

OUT = Out8255(CNTRL, 137)
OUT = Out8255(PORTB, 255)
OUT = Out8255(PORTA, 255)

```

```

-----
' CONFIGURA AL 82C55 COMO MODO=0, PUERTO A = ENTRADA,
' PUERTO B = SALIDA Y PUERTO C = ENTRADA (HABILITO RXD)
-----

```

```

OUT = Out8255(CNTRL, 153)
OUT = Out8255(PORTB, 255)

```

Donde las declaraciones de las constantes son de acuerdo a la tabla 2.9:

```

Public Const CNTRL = 771 'DIRECCION DE CONTROL DEL 82C55
Public Const PORTA = 768 'DIRECCION DEL PUERTO A
Public Const PORTB = 769 'DIRECCION DEL PUERTO B
Public Const PORTC = 770 'DIRECCION DEL PUERTO C

```

Las instrucciones para activar el control de PTT (bit B1) y habilitar al codificador, lo cual deshabilita al mismo tiempo el decodificador (bit B0), son las siguientes:

```

-----
' CONFIGURA AL 82C55 COMO: MODO=0, PUERTO A = SALIDA,
' PUERTO B = SALIDA Y PUERTO C = ENTRADA
-----

```

```

OUT = Out8255(CNTRL, 137)
OUT = Out8255(PORTA, 255) 'INICIALIZA EL PUERTO A
-----

```

```
' HABILITA LA SEÑAL DE PTT LLEVANDO EL BIT B1 A NIVEL BAJO.
' HABILITA EL CODIFICADOR DTMF LLEVANDO EL BIT B0 A NIVEL BAJO
```

```
-----
OUT = Out8255(PORTB, 252) 'ACTIVO PTT Y EL CI CODIFICADOR
```

Para poder habilitar la función de recepción, habrá que escribir en el puerto B del 82C55 el número 255, ya que esto desactiva al control del PTT y habilita el circuito integrado decodificador DTMF (MC145436).

2.3.6 INSTRUCCIONES DE LECTURA A PUERTOS DE ENTRADA/SALIDA

La instrucción para ejecutar la función de lectura desde Visual Basic es la siguiente:

```
In8255(DIRECCION)
```

Donde DIRECCION es una variable de tipo entero, la cual contiene la dirección del puerto a leer en notación decimal. Esta instrucción regresa el número leído de 8 bits en notación decimal, por lo que se requiere asociar esta instrucción a una variable de tipo entero; el formato de esta instrucción será por lo tanto: DATO=In8255(DIRECCION).

Donde DATO y DIRECCION son variables de tipo entero. El número de 8 bits en el puerto DIRECCION se asignará a la variable DATO en notación decimal.

Con la siguiente instrucción se realiza el polling al puerto C del PPI 82C55:

```
-----
' POLEA AL PUERTO C, PARA DETECTAR LA PRESENCIA DE UN DATO
' DECODIFICADO A PARTIR DE UN TONO DTMF RECIBIDO, Y LLAMA A
' LA FUNCION: "DATOALARMA" PARA LEER EL DATO DECODIFICADO
```

```
-----
INPC = In8255(PORTC) 'LEE EL PUERTO C DEL 82C55
If INPC = 255 Then
  Call DATOALARMA
End If
```

Donde INPC es una variable de tipo entero a la cual se asignará el dato leído y PORTC contiene la dirección del puerto C en notación decimal, la cual es: 770

El decodificador genera en el pin de Dato válido una señal en nivel lógico alto cuando presenta en sus salidas el dato decodificado, es por

ello que el poleo se realiza verificando el bit C0 en nivel alto. La función que se llama a partir del polling, lee el puerto A del 82C55 y almacena el dato leído en la variable INPA, este dato es concatenado con los siguientes datos recibidos hasta completar el código, en caso de que no se complete el código, limpia la variable de datos recibidos.

```

'-----
' FUNCION "DATOALARMA", LEE EL PUERTO DEDICADO A DATOS DEL
' PPI 82C55 Y LO ALMACENA EN LA VARIABLE INPA
'-----

```

```
INPA = In8255(PORTA) ' LEE EL DATO DEL PUERTO A
```

```

'-----
' CONCATENA EL DIGITO CON LOS ANTERIORES HASTA COMPLETAR UN
' CODIGO VALIDO DE ALARMA DE ALGUNA UTR
'-----

```

```
DIRECCION = DIRECCION & INPA
```

Donde a la variable de tipo entero INPA se le asignará el dato leído del puerto A y la variable PORTA contiene la dirección de acceso al puerto A del PPI 82C55 (768).

Las declaraciones de las constantes utilizadas son las mismas que se mencionan anteriormente.

```

Public Const PORTA = 768 'DIRECCION DEL PUERTO A
Public Const PORTB = 769 'DIRECCION DEL PUERTO B
Public Const PORTC = 770 'DIRECCION DEL PUERTO C

```

La codificación total del software se omite en esta tesis por seguridad a la empresa CFE propietaria del sistema simplificado de control supervisorio.

2.4 CARACTERISTICAS DE LA UNIDAD CENTRAL MAESTRA

El software resultante de esta aplicación opera en ambiente windows y posee dos categorías de operación:

Una a nivel operador, el cual tiene permiso de iniciar el sistema, cargar y descargar diagramas unifilares, reconocer eventos, activar la visualización de diagramas unifilares, enviar comandos de control y salir del sistema.

La segunda categoría es a nivel administrador o supervisor, el cual además de tener permitido el acceso a las funciones a nivel operador, tiene permiso de configurar tiempos de comunicaciones, dar de alta a las UTR's y dar de baja a las UTR's.

Estas categorías son controladas mediante una clave de usuario y una clave de acceso a las funciones requeridas para el nivel de supervisor, si los datos tecleados son correctos tanto en el nombre de usuario como en la clave, da acceso a la función seleccionada, en caso contrario niega el acceso. Estas funciones se pueden seleccionar desde el menu principal del sistema en la opción de CONFIGURACION.

En la ventana principal de esta aplicación, se activan dos indicadores que representan la operación de la UCM, es decir, si esta en modo de transmisión, se activa el indicador de TX, y si está recibiendo datos, se activa el indicador de RX. También se muestra de manera permanente la fecha y hora que posee el sistema de computo, actualizando estos datos cada segundo.

La ventana principal de esta Unidad Central Maestra se muestra en la figura 2.28 en la cual se observa el menu principal ARCHIVO, CONFIGURACION.



Figura 2.28 Ventana principal del Software de esta aplicación

En esta ventana se tiene el menú ARCHIVO en el cual se puede seleccionar las funciones de cargar o descargar un diagrama unifilar principalmente y la opción de salir. En el menú CONFIGURACION, se selecciona las opciones de configuración de alta y baja de UTR's y tiempos de comunicación, así como la opción de configuración de impresoras, (esta opción es para que en un futuro, pueda generarse un histórico de eventos impreso, así como también, llevarse a cabo la impresión de la transmisión de algún comando de control).

En la parte inferior de esta ventana se visualiza en las localidades los nombres de los diagramas unilaterales, en este caso se tiene 4 diagramas unilaterales dados de alta: OAX10, UNIF20, UNIF15 y UNIF10. Se tiene 20 localidades para cargar los diagramas unilaterales, esta es la capacidad máxima de diagramas para procesar.

En la parte inferior derecha se muestra la fecha y hora que posee el sistema, los eventos toman esta hora y fecha para almacenarlos en el archivo histórico.

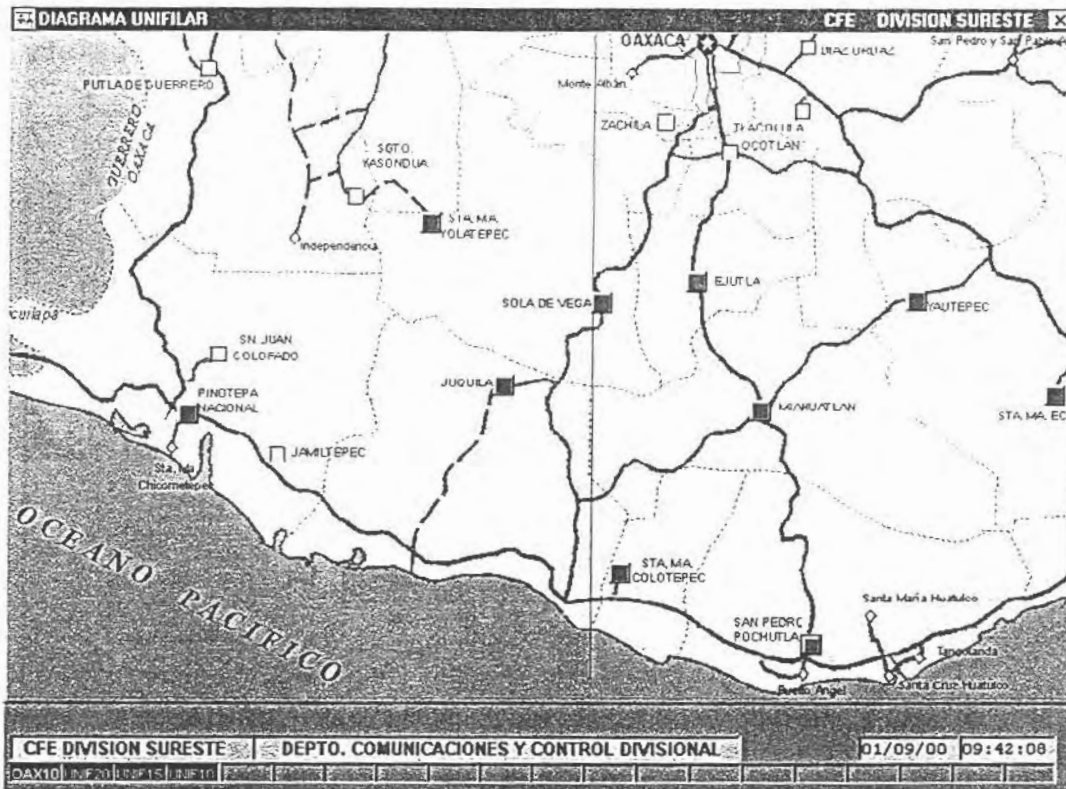


Figura 2.29 Diagrama Unifilar perteneciente a la Unidad Central Maestra Simplificada

En la ventana de la figura 2.29 se muestra el diagrama unifilar correspondiente a la localidad 1 (OAX10), este ejemplo de diagrama unifilar es un mapa en donde se representan las 10 UTR's que pueden configurarse como máximo en estos diagramas unilaterales, estas UTR's son representadas por cuadros con fondo rojo indicando su estado actual de CERRADO y la UTR (POCHUTLA) con fondo verde indica que su estado actual es ABIERTO.

Estos colores son representativos para CFE en sus sistemas de control supervisorio y adquisición de datos.

Sobre esta ventana se puede realizar la transmisión de algún comando de control (ABRIR/CERRAR), haciendo click en el cuadro que represente a la UTR, seleccionando el control a activar y confirmando la petición de operación, al realizar esto, se activa la rutina de transmisión de tonos DTMF, generando el código correspondiente y activando el indicador de transmisión en la ventana, como se muestra en la figura 2.30.

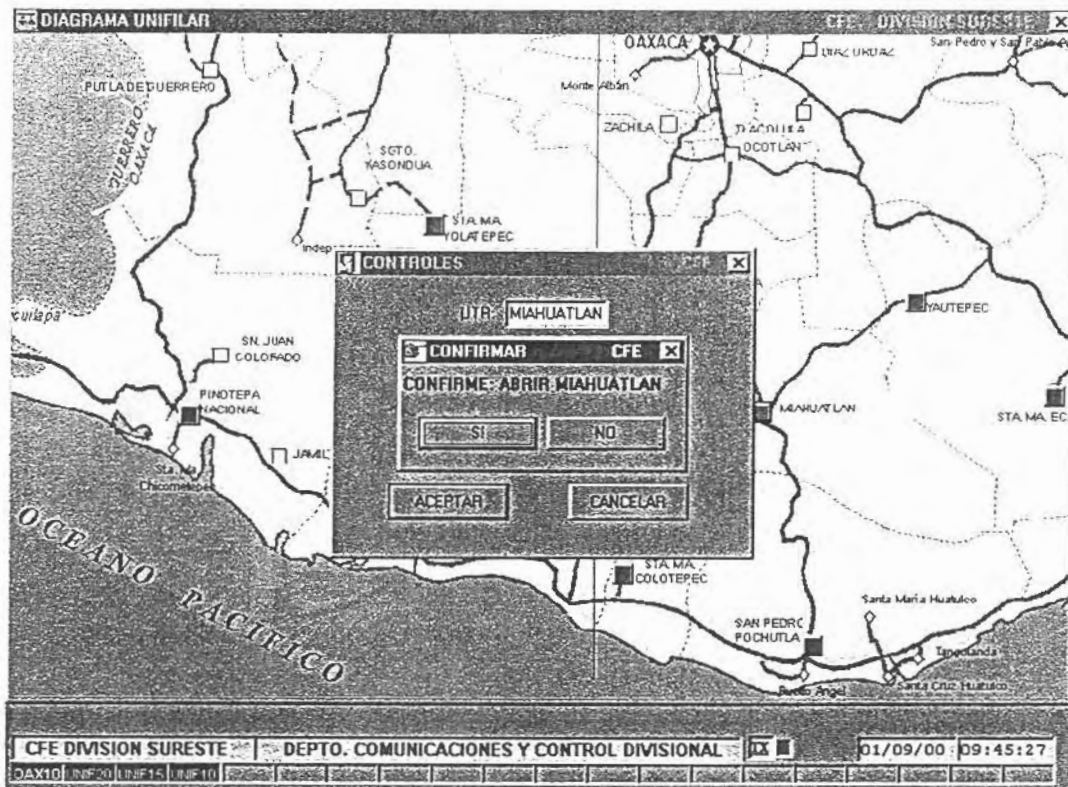


Figura 2.30 Ventana de transmisión de comandos de control

En este ejemplo, se realiza la transmisión del control ABRIR sobre la UTR cuya nomenclatura es MIAHUATLAN, se puede observar la ventana de confirmación de la petición del comando y atrás de ésta, la ventana de selección de control (CONTROLES). En caso de cancelar la confirmación, se regresa a la ventana de selección de control.

El dispositivo accionado, cambia de estado y la UTR transmite el código correspondiente a esta acción, la UCM decodifica el código y presenta el evento en pantalla, activando sus alarmas (visual y audible), almacena este evento en el archivo de histórico correspondiente. Esto es mostrado en la figura 2.31.

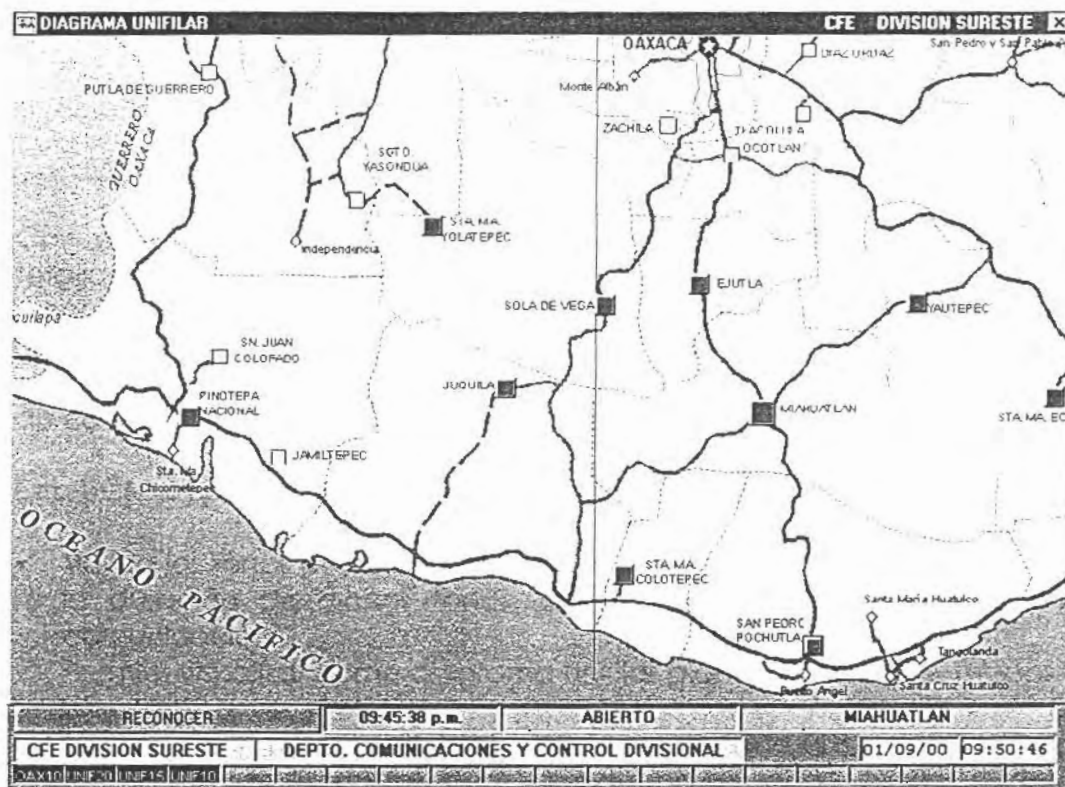


Figura 2.31 Ventana de evento en una UTR.

Estas alarmas se desactivan hasta reconocerlas haciendo un click en el botón de reconocer.

En caso de llegar otro evento antes de reconocer el actual, se muestra en la pantalla almacenando el evento inicial para su reconocimiento posterior.

Estas son las funciones básicas del software de la Unidad Central Maestra para el sistema simplificado de control supervisorio.

CAPITULO 3. CONCLUSIONES Y PERSPECTIVAS

Con el desarrollo de esta Unidad Central Maestra, se cumple en su totalidad con los objetivos establecidos, es decir, se completa el sistema simplificado de control supervisorio satisfaciendo las necesidades actuales requeridas por el área usuaria (CFE), al presentar la información proveniente de las UTR's en un diagrama unifilar y permitir la transmisión de comandos de control desde el mismo diagrama unifilar.

Esta UCM simplificada tiene como ventajas:

- ✓ Valida los tonos permitidos para formar los códigos de instrucciones y la duración de dichos tonos, dando seguridad al sistema en la comunicación.
- ✓ Permite visualizar como diagrama unifilar planos, fotografías, mapas o dibujos.
- ✓ Ofrece un archivo de eventos ocurridos, creando una base de datos mensualmente, en la cual almacena: fecha, hora, evento, nomenclatura y status del evento (reconocido o no reconocido).
- ✓ Presenta indicadores visuales de operación tanto en pantalla como en la tarjeta interface.
- ✓ Los materiales utilizados son de tipo comercial y a bajo costo, lo cual, hace a esta UCM un sistema económico y fácil de reparar en caso de daño alguno.
- ✓ Posee capacidad de expansión tanto en el número de equipos controlados como en poder monitorear otros sistemas independientes, como por ejemplo: seguridad en el centro de control, servicios propios del radio (batería baja, falta de alimentación ca, falta de alimentación cd), humo o intruso, entre otros.

Desventajas de esta UCM simplificada:

- ✗ El área usuaria utilizará para este sistema radio VHF como medio de comunicación, esta UCM soporta como medio de comunicación únicamente: Hilo físico y radio.
- ✗ Las direcciones de acceso a la tarjeta interface no son configurables.

Se han realizado pruebas a nivel laboratorio con esta UCM, las cuales resultaron satisfactorias en su totalidad al efectuarse operaciones de apertura y cierre de un simulador de dispositivo de campo (punto de

seccionamiento), recepción de códigos de eventos tanto códigos válidos como códigos erróneos.

Como una mejora a esta UCM, se puede adicionar una rutina de impresión de eventos a fin de crear un histórico impreso de eventos en tiempo real. Esta rutina si se desea, debe implementarse con la ayuda de una librería dinámica vinculada que proporcione la posibilidad de imprimir una línea, ya que Visual Basic no contempla en su conjunto de instrucciones aquella que permita la impresión por líneas; Visual Basic únicamente permite la impresión de hojas completas, es decir, si se quiere imprimir un solo carácter, la instrucción que Visual Basic proporciona, imprime el carácter en una hoja completa; resulta no viable la impresión de un evento en una hoja completa, ya que no permite visualizar una secuencia de eventos transcurridos, es por ello que se hace necesaria la creación de una librería DLL, para la impresión por líneas. Se hace notar que Visual C++ si permite la impresión por líneas, por lo que podría realizarse esta librería en Visual C++.

Otra mejora que puede implementarse es un reporte de estadísticas de comunicaciones en las cuales se refleje el porcentaje de error en los mensajes de cada UTR tomando en consideración el tiempo promedio de respuesta de cada UTR al transmitirle un comando de control.

Esta tarjeta representa un puerto de comunicaciones para este sistema de control supervisorio, como una mejora se puede implementar la etapa de direccionamiento configurable mediante jumpers o dip-switch, para poder manejar varios canales de comunicación y de este modo hacer crecer el sistema de control supervisorio.

Esta UCM cumple con los requerimientos actualmente necesarios para la pronta solución de problemas de abastecimiento de energía eléctrica en áreas rurales, disminuyendo considerablemente los gastos de operación y la interrupción del servicio a un bajo costo.

GLOSARIO

- AISLADOR** Dispositivo de porcelana o vidrio que no permite el paso de la corriente eléctrica.
- ADQUISICION ANALOGICA** Proceso para obtener valores de voltaje y corriente mediante la utilización de transductores.
- ADQUISICION DIGITAL** Proceso para obtener los estados del dispositivo monitoreado por la UTR, mediante las entradas digitales de dicha UTR presentando dos estados: 1 ó 0 (abierto ó cerrado).
- BARRIDO** Véase poleo.
- BIT** Unidad mínima de información digital, puede ser un "1" o un "0" lógico.
- BPS** Bits por segundo.
- CFE** Comisión Federal de Electricidad.
- CPU** Unidad Central de Procesamiento.
- DLL** Librería dinámicamente vinculada. Vincula un código de programa en tiempo de ejecución.
- DMA** Acceso directo a memoria.
- DTMF** (DUAL TONE MULTY FREQUENCY). Es el resultado de la suma de dos frecuencias definidas.
- EVENTO** Ocurrencia de un cambio de estado en un dispositivo, de cerrado a abierto, o de abierto a cerrado.
- FM** Frecuencia modulada.
- MUESTREO** Captura de datos instantáneos o estados actuales.
- POLEO** Acceso a información de dispositivos o procesos de manera secuencial, llamado también polling.
- PPI** Interfaz periférica programable.



- PROTOCOLO** Conjunto de reglas que definen las interacciones entre dos procesos que son similares y definen funciones similares.
- PTT** (Push to talk). Control de un radio convencional para activar el transmisor.
- RAM** Memoria de acceso aleatorio.
- RELEVADOR** Dispositivo electromecánico que al energizar su bobina cierra su contacto.
- RX** Señal o línea de recepción de información.
- SALIDA DIGITAL** También llamadas salida de control. Dos puntos en los cuales energiza la bobina de un relevador para poder activar al dispositivo controlado.
- SCADA** Sistema de control supervisorio y adquisición de datos.
- TABLERO MIMICO** Representación gráfica de un sistema utilizando líneas, las cuales representan a los flujos del elemento a controlar
- TX** Señal o línea de transmisión de información.
- UCM** Unidad Central Maestra. Sistema de computo que procesa, almacena y presenta la información proveniente de las UTR's.
- UTR** Unidad Terminal Remota. Dispositivo electrónico localizado a cierta distancia de una estación central de control, utilizada para monitorear y controlar a otro dispositivo.
- UHF** Banda de frecuencia de comunicación (ultra alta frecuencia de transmisión)
- VHF** Banda de frecuencia de comunicación (muy alta frecuencia de transmisión).

BIBLIOGRAFIA

JOHN F. WAKERLY (1992). **DISEÑO DIGITAL PRINCIPIOS Y PRACTICAS.**
Ed. Prentice Hall Hispanoamericana, S.A.
734 pp.

HIGH-SPEED CMOS DATA.
Motorola, Inc.
U.S.A. 1996

CMOS LOGIC DATA.
Motorola, Inc.
U.S.A. 1996

CURSO DE CONTROL SUPERVISORIO
Centro de Capacitación Celaya
C.F.E.

Matthias Franke. **MANUAL DE APRENDIZAJE VISUAL BASIC 4.0**
Ed. Marcombo-Computec
Barcelona, España 1996
455 pp.

VISUAL BASIC V5.0 MANUAL DEL PROGRAMADOR
Microsoft Corporation
U.S.A. 1997
973 pp.

ANEXO A

HOJAS DE DATOS DE LOS CIRCUITOS
ELECTRONICOS UTILIZADOS EN LA TARJETA
DTMF



82C55A CHMOS PROGRAMMABLE PERIPHERAL INTERFACE

- Compatible with all Intel and Most Other Microprocessors
- High Speed, "Zero Wait State" Operation with 8 MHz 8086/88 and 80186/188
- 24 Programmable I/O Pins
- Low Power CHMOS
- Completely TTL Compatible
- Control Word Read-Back Capability
- Direct Bit Set/Reset Capability
- 2.5 mA DC Drive Capability on all I/O Port Outputs
- Available in 40-Pin DIP and 44-Pin PLCC
- Available in EXPRESS
 - Standard Temperature Range
 - Extended Temperature Range

The Intel 82C55A is a high-performance, CHMOS version of the industry standard 8255A general purpose programmable I/O device which is designed for use with all Intel and most other microprocessors. It provides 24 I/O pins which may be individually programmed in 2 groups of 12 and used in 3 major modes of operation. The 82C55A is pin compatible with the NMOS 8255A and 8255A-5.

In MODE 0, each group of 12 I/O pins may be programmed in sets of 4 and 8 to be inputs or outputs. In MODE 1, each group may be programmed to have 8 lines of input or output. 3 of the remaining 4 pins are used for handshaking and interrupt control signals. MODE 2 is a strobed bi-directional bus configuration.

The 82C55A is fabricated on Intel's advanced CHMOS III technology which provides low power consumption with performance equal to or greater than the equivalent NMOS product. The 82C55A is available in 40-pin DIP and 44-pin plastic leaded chip carrier (PLCC) packages.

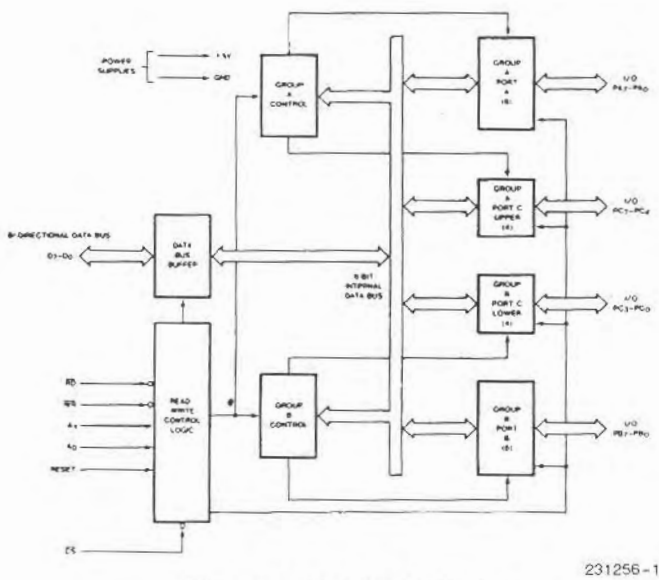
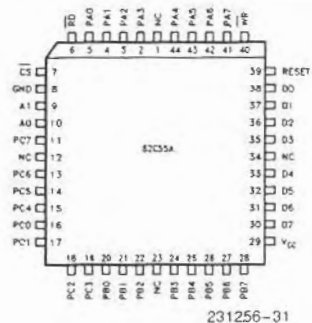


Figure 1. 82C55A Block Diagram



231256-31



231256-2

Figure 2. 82C55A Pinout

Diagrams are for pin reference only. Package sizes are not to scale.

Table 1. Pin Description

Symbol	Pin Number		Type	Name and Function					
	Dip	PLCC							
PA ₃₋₀	1-4	2-5	I/O	PORT A, PINS 0-3: Lower nibble of an 8-bit data output latch/buffer and an 8-bit data input latch.					
\overline{RD}	5	6	I	READ CONTROL: This input is low during CPU read operations.					
\overline{CS}	6	7	I	CHIP SELECT: A low on this input enables the 82C55A to respond to \overline{RD} and \overline{WR} signals. \overline{RD} and \overline{WR} are ignored otherwise.					
GND	7	8		System Ground					
A ₁₋₀	8-9	9-10	I	ADDRESS: These input signals, in conjunction \overline{RD} and \overline{WR} , control the selection of one of the three ports or the control word registers.					
				A₁	A₀	\overline{RD}	\overline{WR}	\overline{CS}	Input Operation (Read)
				0	0	0	1	0	Port A - Data Bus
				0	1	0	1	0	Port B - Data Bus
				1	0	0	1	0	Port C - Data Bus
				1	1	0	1	0	Control Word - Data Bus
				Output Operation (Write)					
				0	0	1	0	0	Data Bus - Port A
				0	1	1	0	0	Data Bus - Port B
				1	0	1	0	0	Data Bus - Port C
				1	1	1	0	0	Data Bus - Control
				Disable Function					
				X	X	X	X	1	Data Bus - 3 - State
X	X	1	1	0	Data Bus - 3 - State				
PC ₇₋₄	10-13	11,13-15	I/O	PORT C, PINS 4-7: Upper nibble of an 8-bit data output latch/buffer and an 8-bit data input buffer (no latch for input). This port can be divided into two 4-bit ports under the mode control. Each 4-bit port contains a 4-bit latch and it can be used for the control signal outputs and status signal inputs in conjunction with ports A and B.					
PC ₀₋₃	14-17	16-19	I/O	PORT C, PINS 0-3: Lower nibble of Port C.					
PB ₀₋₇	18-25*	20-22, 24-28	I/O	PORT B, PINS 0-7: An 8-bit data output latch/buffer and an 8-bit data input buffer.					
V _{CC}	26	29		SYSTEM POWER: + 5V Power Supply.					
D ₇₋₀	27-34	30-33, 35-38	I/O	DATA BUS: Bi-directional, tri-state data bus lines, connected to system data bus.					
RESET	35	39	I	RESET: A high on this input clears the control register and all ports are set to the input mode.					
\overline{WR}	36	40	I	WRITE CONTROL: This input is low during CPU write operations.					
PA ₇₋₄	37-40	41-44	I/O	PORT A, PINS 4-7: Upper nibble of an 8-bit data output latch/buffer and an 8-bit data input latch.					
NC		1, 12, 23, 34		No Connect					

82C55A FUNCTIONAL DESCRIPTION

General

The 82C55A is a programmable peripheral interface device designed for use in Intel microcomputer systems. Its function is that of a general purpose I/O component to interface peripheral equipment to the microcomputer system bus. The functional configuration of the 82C55A is programmed by the system software so that normally no external logic is necessary to interface peripheral devices or structures.

Data Bus Buffer

This 3-state bidirectional 8-bit buffer is used to interface the 82C55A to the system data bus. Data is transmitted or received by the buffer upon execution of input or output instructions by the CPU. Control words and status information are also transferred through the data bus buffer.

Read/Write and Control Logic

The function of this block is to manage all of the internal and external transfers of both Data and Control or Status words. It accepts inputs from the CPU Address and Control busses and in turn, issues commands to both of the Control Groups.

Group A and Group B Controls

The functional configuration of each port is programmed by the systems software. In essence, the CPU "outputs" a control word to the 82C55A. The control word contains information such as "mode", "bit set", "bit reset", etc., that initializes the functional configuration of the 82C55A.

Each of the Control blocks (Group A and Group B) accepts "commands" from the Read/Write Control Logic, receives "control words" from the internal data bus and issues the proper commands to its associated ports.

Control Group A - Port A and Port C upper (C7-C4)
Control Group B - Port B and Port C lower (C3-C0)

The control word register can be both written and read as shown in the address decode table in the pin descriptions. Figure 6 shows the control word format for both Read and Write operations. When the control word is read, bit D7 will always be a logic "1", as this implies control word mode information.

Ports A, B, and C

The 82C55A contains three 8-bit ports (A, B, and C). All can be configured in a wide variety of functional characteristics by the system software but each has its own special features or "personality" to further enhance the power and flexibility of the 82C55A.

Port A. One 8-bit data output latch/buffer and one 8-bit input latch buffer. Both "pull-up" and "pull-down" bus hold devices are present on Port A.

Port B. One 8-bit data input/output latch/buffer. Only "pull-up" bus hold devices are present on Port B.

Port C. One 8-bit data output latch/buffer and one 8-bit data input buffer (no latch for input). This port can be divided into two 4-bit ports under the mode control. Each 4-bit port contains a 4-bit latch and it can be used for the control signal outputs and status signal inputs in conjunction with ports A and B. Only "pull-up" bus hold devices are present on Port C.

See Figure 4 for the bus-hold circuit configuration for Port A, B, and C.

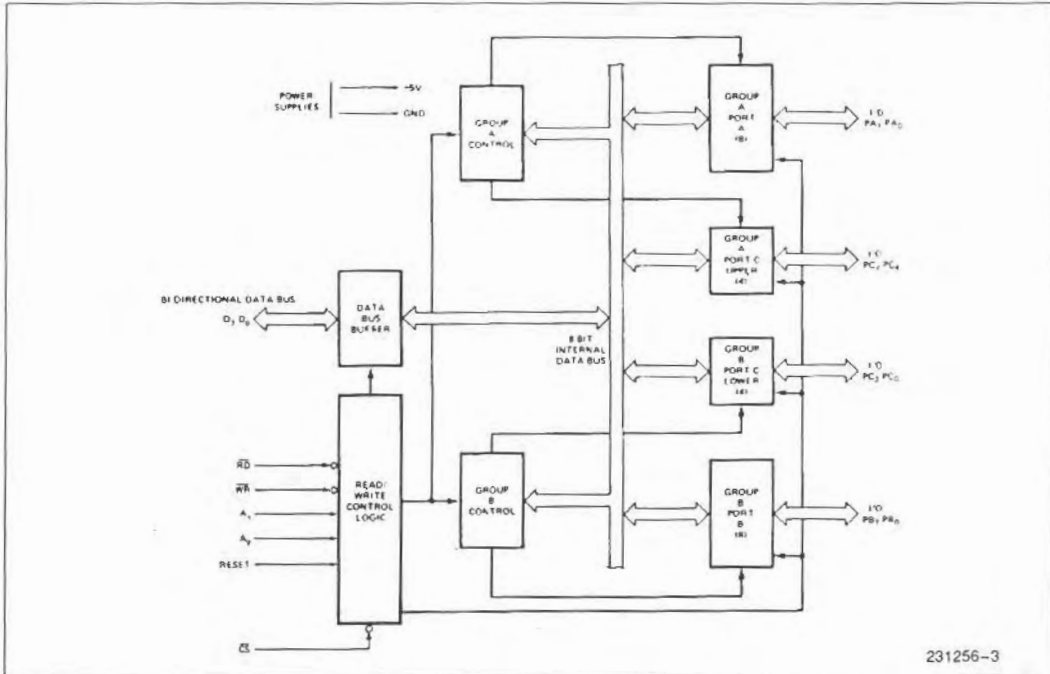
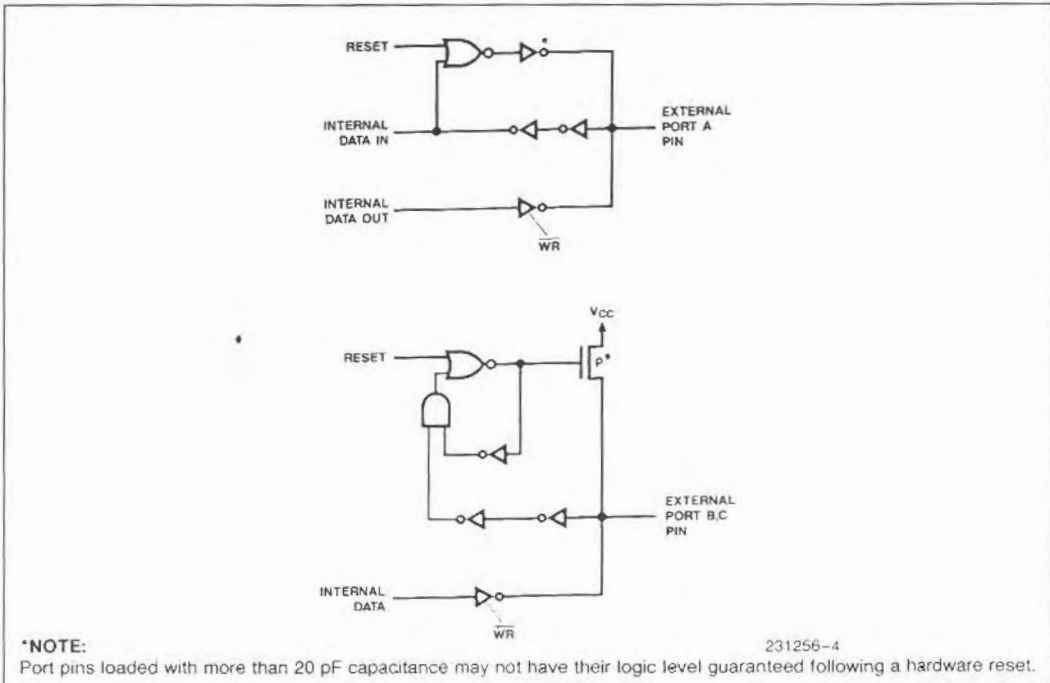


Figure 3. 82C55A Block Diagram Showing Data Bus Buffer and Read/Write Control Logic Functions



*NOTE: Port pins loaded with more than 20 pF capacitance may not have their logic level guaranteed following a hardware reset.

Figure 4. Port A, B, C, Bus-hold Configuration

82C55A OPERATIONAL DESCRIPTION

Mode Selection

There are three basic modes of operation that can be selected by the system software:

- Mode 0 — Basic input/output
- Mode 1 — Strobed Input/output
- Mode 2 — Bi-directional Bus

When the reset input goes "high" all ports will be set to the input mode with all 24 port lines held at a logic "one" level by the internal bus hold devices (see Figure 4 Note). After the reset is removed the 82C55A can remain in the input mode with no additional initialization required. This eliminates the need for pullup or pulldown devices in "all CMOS" designs. During the execution of the system program, any of the other modes may be selected by using a single output instruction. This allows a single 82C55A to service a variety of peripheral devices with a simple software maintenance routine.

The modes for Port A and Port B can be separately defined, while Port C is divided into two portions as required by the Port A and Port B definitions. All of the output registers, including the status flip-flops, will be reset whenever the mode is changed. Modes may be combined so that their functional definition can be "tailored" to almost any I/O structure. For instance; Group B can be programmed in Mode 0 to monitor simple switch closings or display computational results, Group A could be programmed in Mode 1 to monitor a keyboard or tape reader on an interrupt-driven basis.

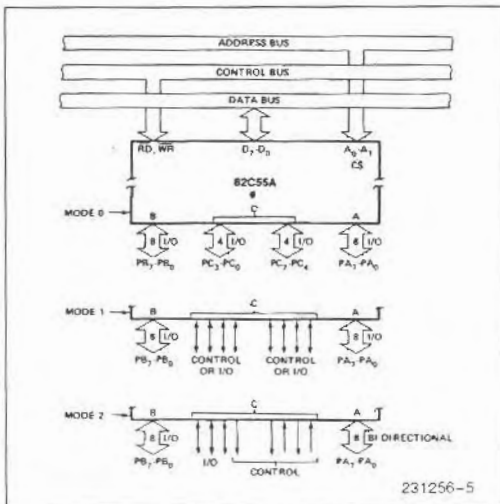


Figure 5. Basic Mode Definitions and Bus Interface

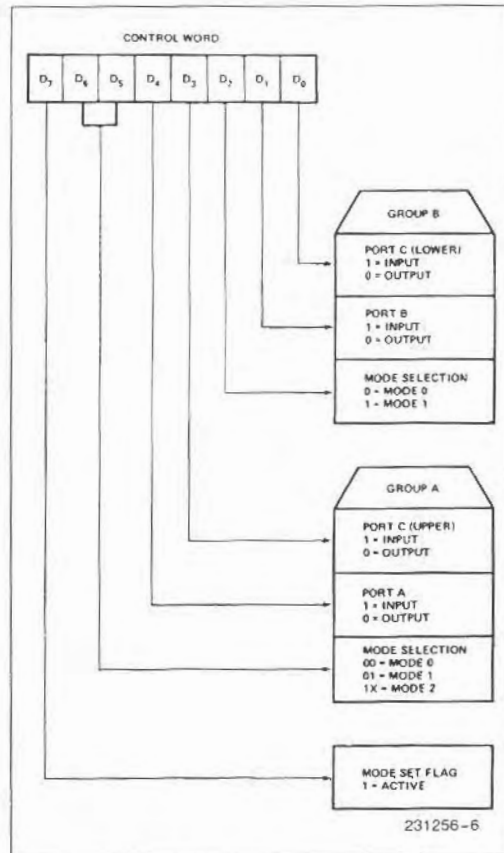


Figure 6. Mode Definition Format

The mode definitions and possible mode combinations may seem confusing at first but after a cursory review of the complete device operation a simple, logical I/O approach will surface. The design of the 82C55A has taken into account things such as efficient PC board layout, control signal definition vs PC layout and complete functional flexibility to support almost any peripheral device with no external logic. Such design represents the maximum use of the available pins.

Single Bit Set/Reset Feature

Any of the eight bits of Port C can be Set or Reset using a single OUTput instruction. This feature reduces software requirements in Control-based applications.

When Port C is being used as status/control for Port A or B, these bits can be set or reset by using the Bit Set/Reset operation just as if they were data output ports.

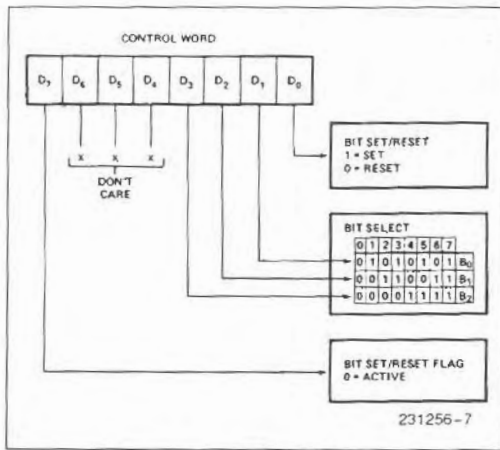


Figure 7. Bit Set/Reset Format

Interrupt Control Functions

When the 82C55A is programmed to operate in mode 1 or mode 2, control signals are provided that can be used as interrupt request inputs to the CPU. The interrupt request signals, generated from port C, can be inhibited or enabled by setting or resetting the associated INTE flip-flop, using the bit set/reset function of port C.

This function allows the Programmer to disallow or allow a specific I/O device to interrupt the CPU without affecting any other device in the interrupt structure.

INTE flip-flop definition:

(BIT-SET)—INTE is SET—Interrupt enable

(BIT-RESET)—INTE is RESET—Interrupt disable

Note:

All Mask flip-flops are automatically reset during mode selection and device Reset.

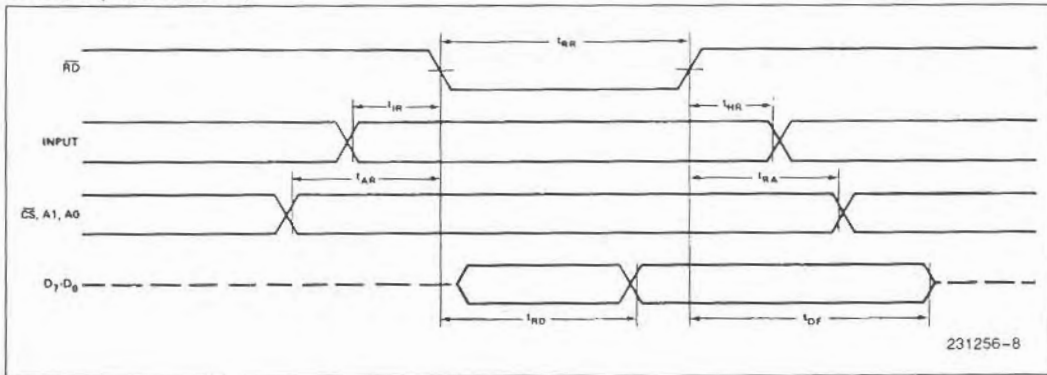
Operating Modes

Mode 0 (Basic Input/Output). This functional configuration provides simple input and output operations for each of the three ports. No "handshaking" is required, data is simply written to or read from a specified port.

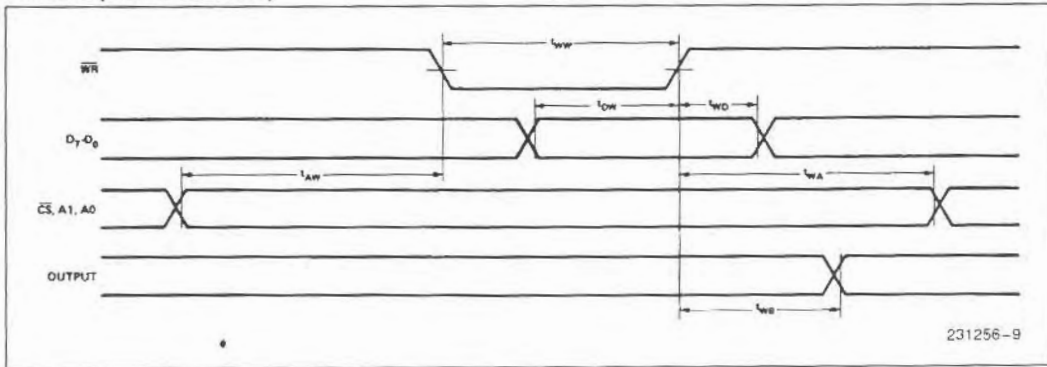
Mode 0 Basic Functional Definitions:

- Two 8-bit ports and two 4-bit ports.
- Any port can be input or output.
- Outputs are latched.
- Inputs are not latched.
- 16 different Input/Output configurations are possible in this Mode.

MODE 0 (BASIC INPUT)



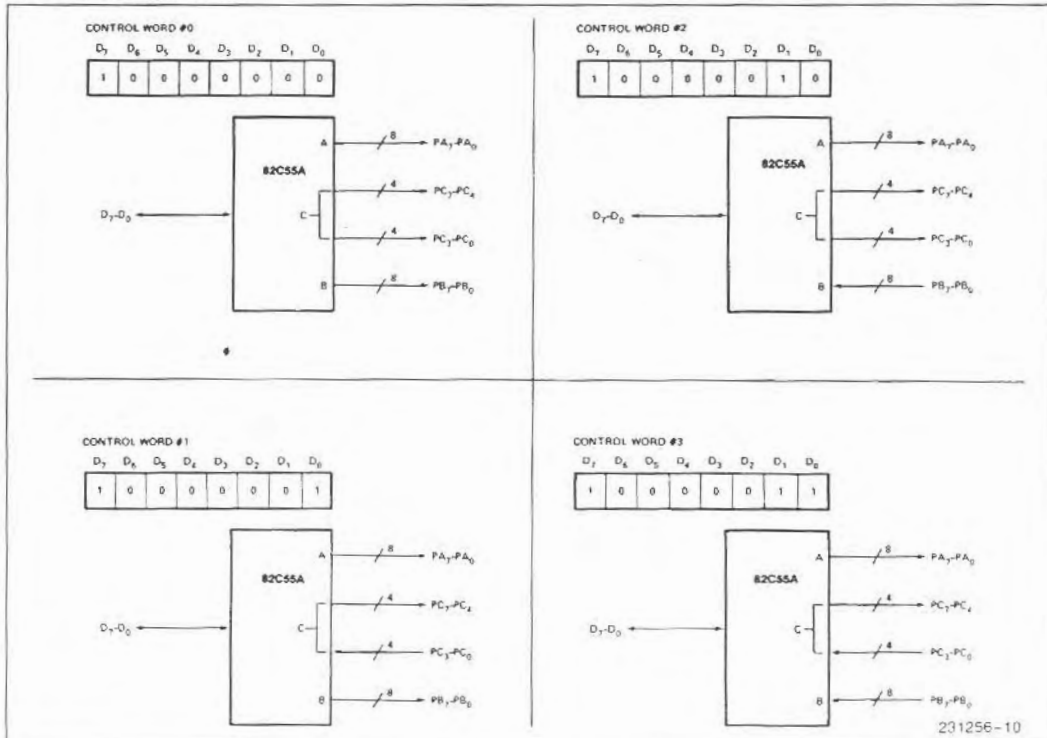
MODE 0 (BASIC OUTPUT)



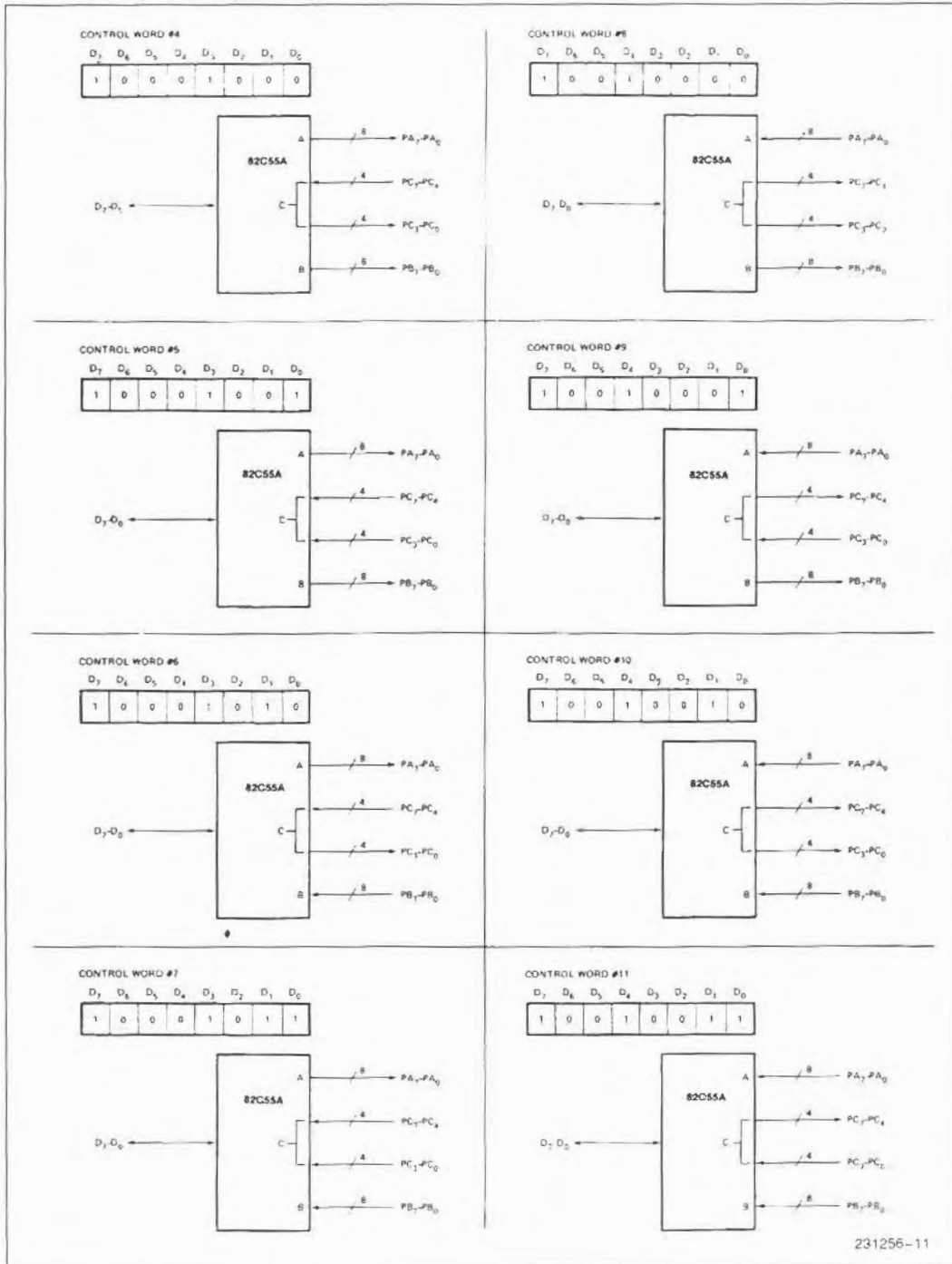
MODE 0 Port Definition

A		B		GROUP A			GROUP B	
D ₄	D ₃	D ₁	D ₀	PORT A	PORT C (UPPER)	#	PORT B	PORT C (LOWER)
0	0	0	0	OUTPUT	OUTPUT	0	OUTPUT	OUTPUT
0	0	0	1	OUTPUT	OUTPUT	1	OUTPUT	INPUT
0	0	1	0	OUTPUT	OUTPUT	2	INPUT	OUTPUT
0	0	1	1	OUTPUT	OUTPUT	3	INPUT	INPUT
0	1	0	0	OUTPUT	INPUT	4	OUTPUT	OUTPUT
0	1	0	1	OUTPUT	INPUT	5	OUTPUT	INPUT
0	1	1	0	OUTPUT	INPUT	6	INPUT	OUTPUT
0	1	1	1	OUTPUT	INPUT	7	INPUT	INPUT
1	0	0	0	INPUT	OUTPUT	8	OUTPUT	OUTPUT
1	0	0	1	INPUT	OUTPUT	9	OUTPUT	INPUT
1	0	1	0	INPUT	OUTPUT	10	INPUT	OUTPUT
1	0	1	1	INPUT	OUTPUT	11	INPUT	INPUT
1	1	0	0	INPUT	INPUT	12	OUTPUT	OUTPUT
1	1	0	1	INPUT	INPUT	13	OUTPUT	INPUT
1	1	1	0	INPUT	INPUT	14	INPUT	OUTPUT
1	1	1	1	INPUT	INPUT	15	INPUT	INPUT

MODE 0 Configurations

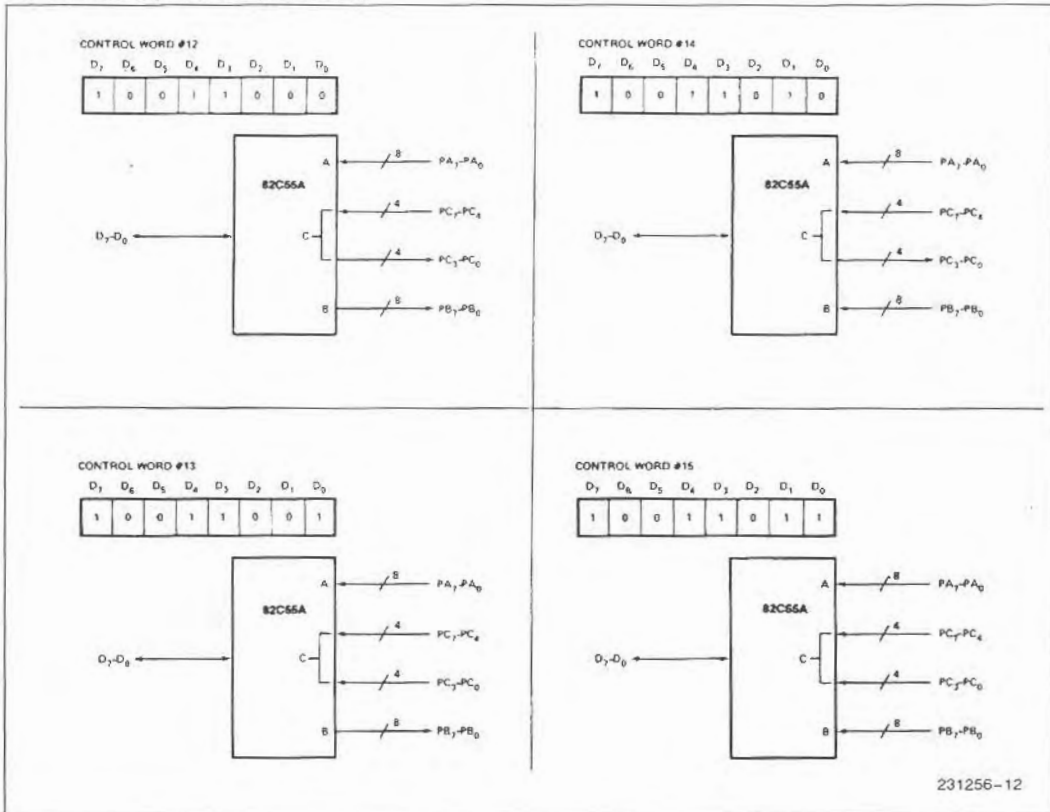


MODE 0 Configurations (Continued)



231256-11

MODE 0 Configurations (Continued)



Operating Modes

MODE 1 (Strobed Input/Output). This functional configuration provides a means for transferring I/O data to or from a specified port in conjunction with strobes or "handshaking" signals. In mode 1, Port A and Port B use the lines on Port C to generate or accept these "handshaking" signals.

Mode 1 Basic functional Definitions:

- Two Groups (Group A and Group B).
- Each group contains one 8-bit data port and one 4-bit control/data port.
- The 8-bit data port can be either input or output. Both inputs and outputs are latched.
- The 4-bit port is used for control and status of the 8-bit data port.

Input Control Signal Definition

STB (Strobe Input). A "low" on this input loads data into the input latch.

IBF (Input Buffer Full F/F)

A "high" on this output indicates that the data has been loaded into the input latch; in essence, an acknowledgement. IBF is set by STB input being low and is reset by the rising edge of the RD input.

INTR (Interrupt Request)

A "high" on this output can be used to interrupt the CPU when an input device is requesting service. INTR is set by the STB is a "one", IBF is a "one" and INTE is a "one". It is reset by the falling edge of RD. This procedure allows an input device to request service from the CPU by simply strobing its data into the port.

INTE A

Controlled by bit set/reset of PC₄.

INTE B

Controlled by bit set/reset of PC₂.

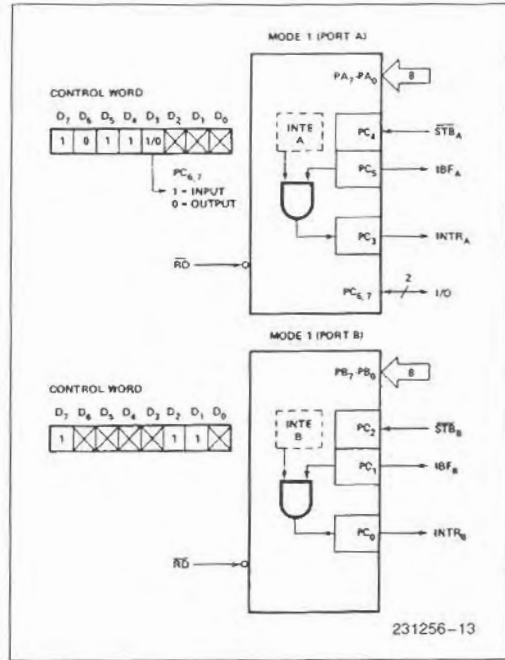


Figure 8. MODE 1 Input

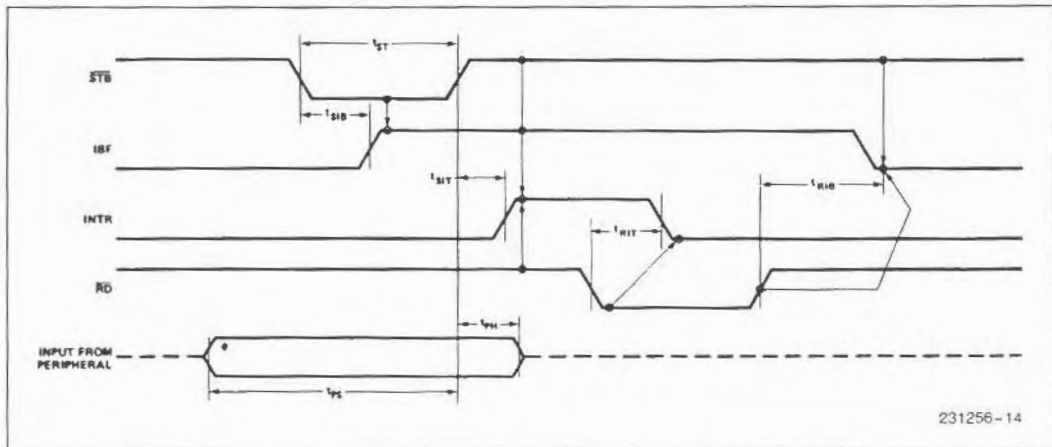


Figure 9. MODE 1 (Strobed Input)

Output Control Signal Definition

\overline{OBF} (Output Buffer Full F/F). The \overline{OBF} output will go "low" to indicate that the CPU has written data out to the specified port. The \overline{OBF} F/F will be set by the rising edge of the \overline{WR} input and reset by \overline{ACK} Input being low.

\overline{ACK} (Acknowledge Input). A "low" on this input informs the 82C55A that the data from Port A or Port B has been accepted. In essence, a response from the peripheral device indicating that it has received the data output by the CPU.

\overline{INTR} (Interrupt Request). A "high" on this output can be used to interrupt the CPU when an output device has accepted data transmitted by the CPU. \overline{INTR} is set when \overline{ACK} is a "one", \overline{OBF} is a "one" and \overline{INTE} is a "one". It is reset by the falling edge of \overline{WR} .

INTE A

Controlled by bit set/reset of PC_6 .

INTE B

Controlled by bit set/reset of PC_2 .

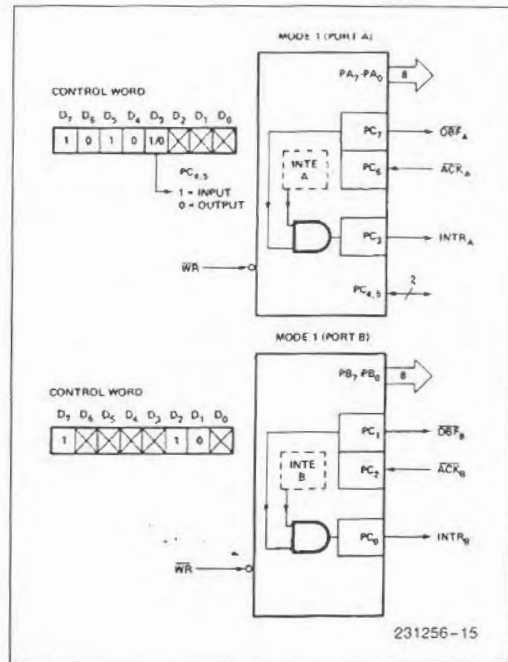


Figure 10. MODE 1 Output

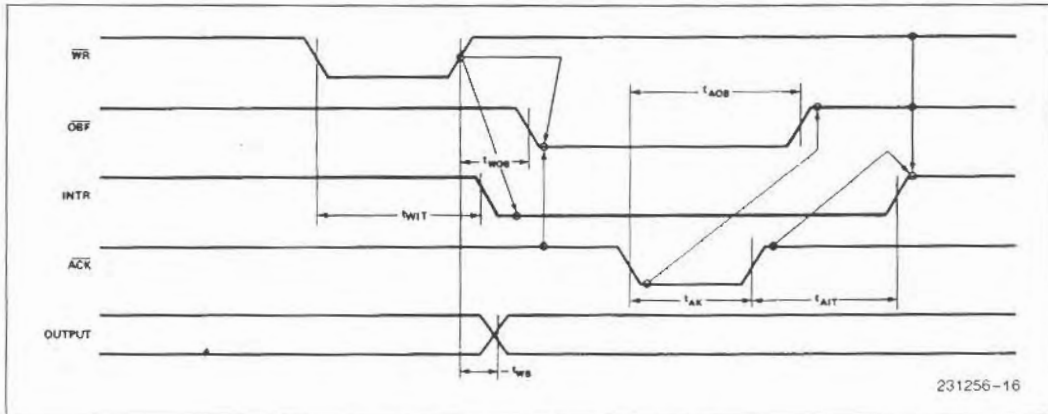


Figure 11. MODE 1 (Strobed Output)

Combinations of MODE 1

Port A and Port B can be individually defined as input or output in Mode 1 to support a wide variety of strobed I/O applications.

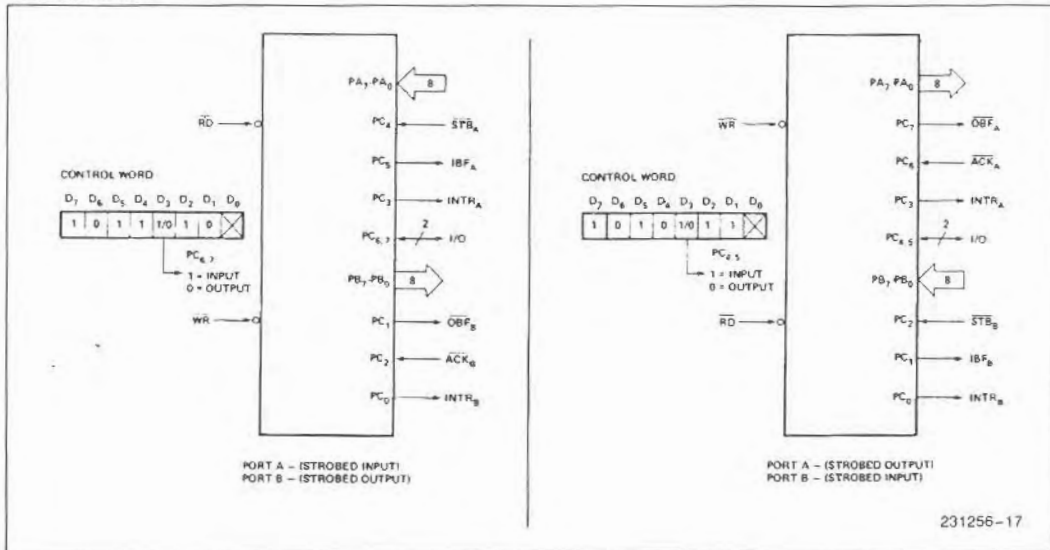


Figure 12. Combinations of MODE 1

Operating Modes

MODE 2 (Strobed Bidirectional Bus I/O). This functional configuration provides a means for communicating with a peripheral device or structure on a single 8-bit bus for both transmitting and receiving data (bidirectional bus I/O). "Handshaking" signals are provided to maintain proper bus flow discipline in a similar manner to MODE 1. Interrupt generation and enable/disable functions are also available.

MODE 2 Basic Functional Definitions:

- Used in Group A only.
- One 8-bit, bi-directional bus port (Port A) and a 5-bit control port (Port C).
- Both inputs and outputs are latched.
- The 5-bit control port (Port C) is used for control and status for the 8-bit, bi-directional bus port (Port A).

Bidirectional Bus I/O Control Signal Definition

INTR (Interrupt Request). A high on this output can be used to interrupt the CPU for input or output operations.

Output Operations

OBF (Output Buffer Full). The $\overline{\text{OBF}}$ output will go "low" to indicate that the CPU has written data out to port A.

ACK (Acknowledge). A "low" on this input enables the tri-state output buffer of Port A to send out the data. Otherwise, the output buffer will be in the high impedance state.

INTE 1 (The INTE Flip-Flop Associated with OBF). Controlled by bit set/reset of PC₆.

Input Operations

STB (Strobe Input). A "low" on this input loads data into the input latch.

IBF (Input Buffer Full F/F). A "high" on this output indicates that data has been loaded into the input latch.

INTE 2 (The INTE Flip-Flop Associated with IBF). Controlled by bit set/reset of PC₄.

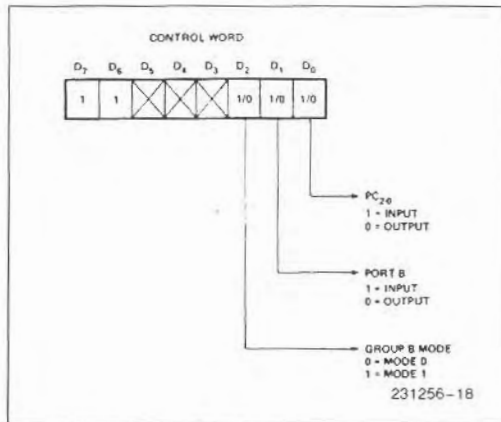


Figure 13. MODE Control Word

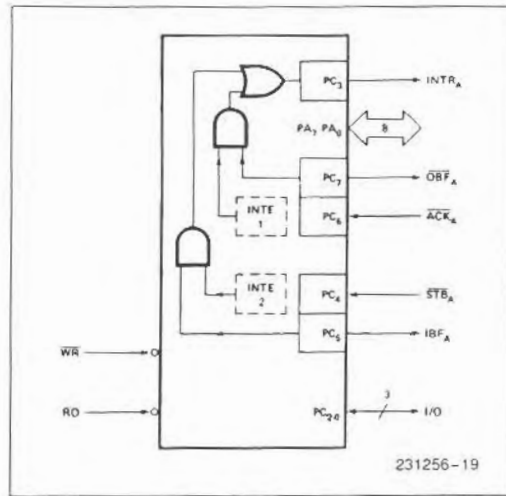


Figure 14. MODE 2

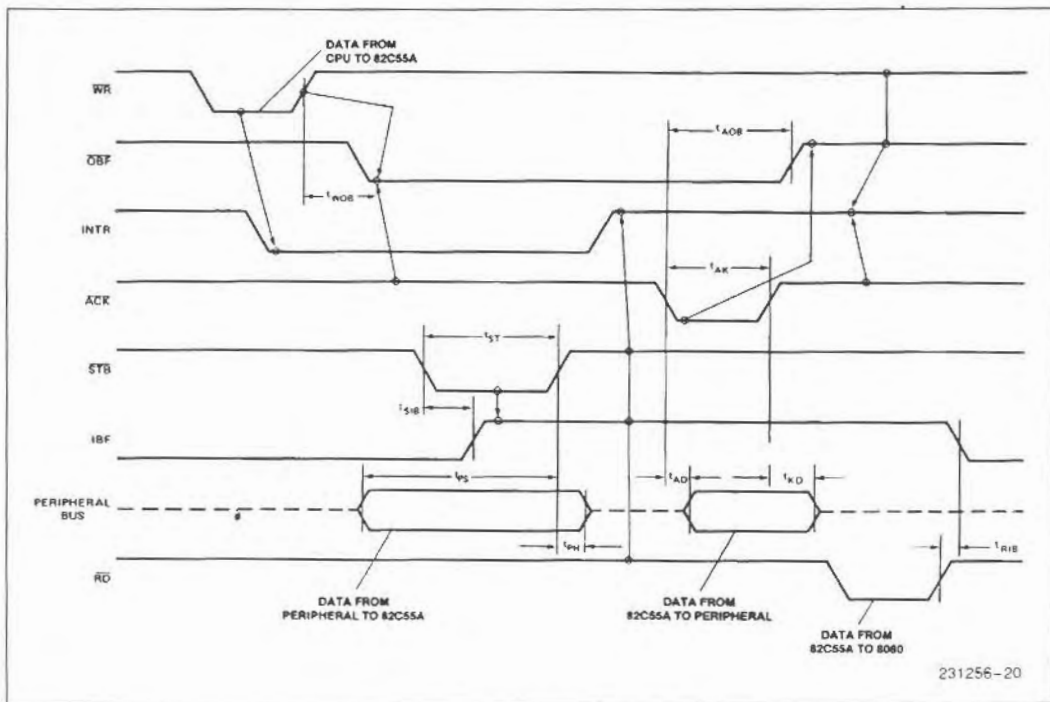


Figure 15. MODE 2 (Bidirectional)

NOTE:

Any sequence where \overline{WR} occurs before \overline{ACK} , and \overline{STB} occurs before \overline{RD} is permissible.
 $(INTR = IBF \cdot MASK \cdot \overline{STB} \cdot \overline{RD} + \overline{OBF} \cdot MASK \cdot \overline{ACK} \cdot \overline{WR})$

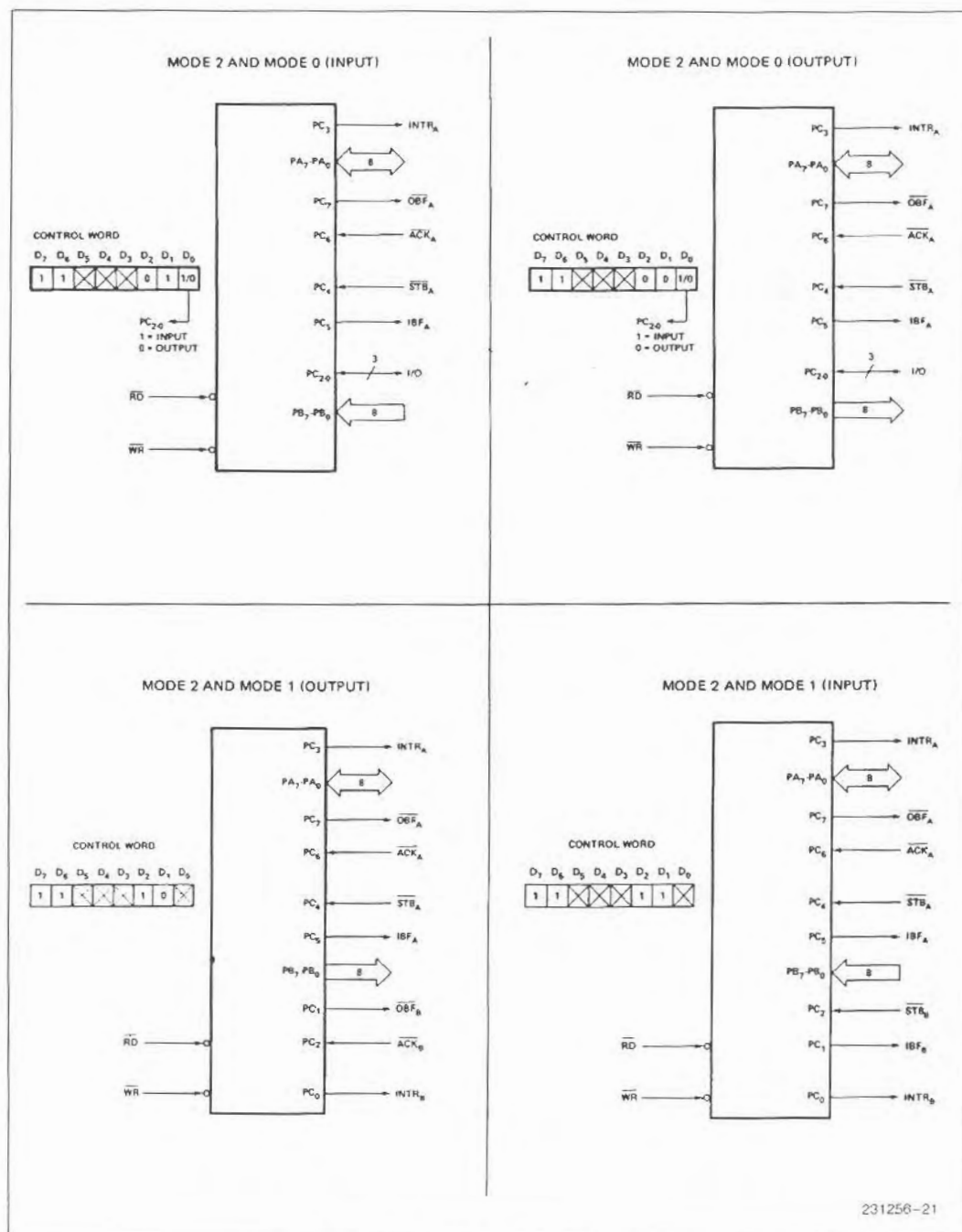


Figure 16. MODE 1/4 Combinations

231256-21

Mode Definition Summary

	MODE 0		MODE 1		MODE 2	
	IN	OUT	IN	OUT	GROUP A ONLY	
PA ₀	IN	OUT	IN	OUT	↔	MODE 0 OR MODE 1 ONLY
PA ₁	IN	OUT	IN	OUT	↔	
PA ₂	IN	OUT	IN	OUT	↔	
PA ₃	IN	OUT	IN	OUT	↔	
PA ₄	IN	OUT	IN	OUT	↔	
PA ₅	IN	OUT	IN	OUT	↔	
PA ₆	IN	OUT	IN	OUT	↔	
PA ₇	IN	OUT	IN	OUT	↔	
PB ₀	IN	OUT	IN	OUT	—	
PB ₁	IN	OUT	IN	OUT	—	
PB ₂	IN	OUT	IN	OUT	—	
PB ₃	IN	OUT	IN	OUT	—	
PB ₄	IN	OUT	IN	OUT	—	
PB ₅	IN	OUT	IN	OUT	—	
PB ₆	IN	OUT	IN	OUT	—	
PB ₇	IN	OUT	IN	OUT	—	
PC ₀	IN	OUT	INTR _B	INTR _B	I/O	
PC ₁	IN	OUT	IBF _B	OB̄F _B	I/O	
PC ₂	IN	OUT	STB _B	ACK _B	I/O	
PC ₃	IN	OUT	INTR _A	INTR _A	INTR _A	
PC ₄	IN	OUT	STB _A	I/O	STB _A	
PC ₅	IN	OUT	IBF _A	I/O	IBF _A	
PC ₆	IN	OUT	I/O	ACK _A	ACK _A	
PC ₇	IN	OUT	I/O	OB̄F _A	OB̄F _A	

Special Mode Combination Considerations

There are several combinations of modes possible. For any combination, some or all of the Port C lines are used for control or status. The remaining bits are either inputs or outputs as defined by a "Set Mode" command.

During a read of Port C, the state of all the Port C lines, except the ACK and STB lines, will be placed on the data bus. In place of the ACK and STB line states, flag status will appear on the data bus in the PC2, PC4, and PC6 bit positions as illustrated by Figure 18.

Through a "Write Port C" command, only the Port C pins programmed as outputs in a Mode 0 group can be written. No other pins can be affected by a "Write Port C" command, nor can the interrupt enable flags be accessed. To write to any Port C output programmed as an output in a Mode 1 group or to

change an interrupt enable flag, the "Set/Reset Port C Bit" command must be used.

With a "Set/Reset Port C Bit" command, any Port C line programmed as an output (including INTR, IBF and OB̄F) can be written, or an interrupt enable flag can be either set or reset. Port C lines programmed as inputs, including ACK and STB lines, associated with Port C are not affected by a "Set/Reset Port C Bit" command. Writing to the corresponding Port C bit positions of the ACK and STB lines with the "Set/Reset Port C Bit" command will affect the Group A and Group B interrupt enable flags, as illustrated in Figure 18.

Current Drive Capability

Any output on Port A, B or C can sink or source 2.5 mA. This feature allows the 82C55A to directly drive Darlington type drivers and high-voltage displays that require such sink or source current.

Reading Port C Status

In Mode 0, Port C transfers data to or from the peripheral device. When the 82C55A is programmed to function in Modes 1 or 2, Port C generates or accepts "hand-shaking" signals with the peripheral device. Reading the contents of Port C allows the programmer to test or verify the "status" of each peripheral device and change the program flow accordingly.

There is no special instruction to read the status information from Port C. A normal read operation of Port C is executed to perform this function.

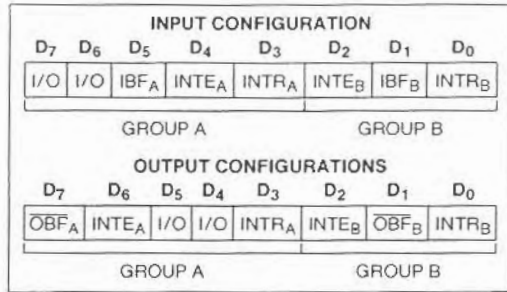


Figure 17a. MODE 1 Status Word Format

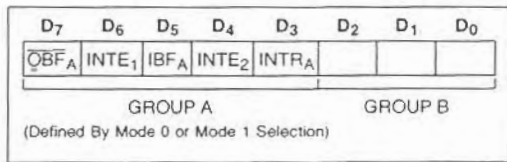


Figure 17b. MODE 2 Status Word Format

Interrupt Enable Flag	Position	Alternate Port C Pin Signal (Mode)
INTE B	PC2	$\overline{\text{ACK}}_B$ (Output Mode 1) or $\overline{\text{STB}}_B$ (Input Mode 1)
INTE A2	PC4	$\overline{\text{STB}}_A$ (Input Mode 1 or Mode 2)
INTE A1	PC6	$\overline{\text{ACK}}_A$ (Output Mode 1 or Mode 2)

Figure 18. Interrupt Enable Flags in Modes 1 and 2

ABSOLUTE MAXIMUM RATINGS*

Ambient Temperature Under Bias 0°C to + 70°C
 Storage Temperature - 65°C to + 150°C
 Supply Voltage - 0.5 to + 8.0V
 Operating Voltage + 4V to + 7V
 Voltage on any Input GND - 2V to + 6.5V
 Voltage on any Output GND - 0.5V to $V_{CC} + 0.5V$
 Power Dissipation 1 Watt

NOTICE: This is a production data sheet. The specifications are subject to change without notice.

**WARNING: Stressing the device beyond the "Absolute Maximum Ratings" may cause permanent damage. These are stress ratings only. Operation beyond the "Operating Conditions" is not recommended and extended exposure beyond the "Operating Conditions" may affect device reliability.*

D.C. CHARACTERISTICS

$T_A = 0^\circ\text{C}$ to 70°C , $V_{CC} = +5V \pm 10\%$, GND = 0V ($T_A = -40^\circ\text{C}$ to $+85^\circ\text{C}$ for Extended Temperature)

Symbol	Parameter	Min	Max	Units	Test Conditions
V_{IL}	Input Low Voltage	-0.5	0.8	V	
V_{IH}	Input High Voltage	2.0	V_{CC}	V	
V_{OL}	Output Low Voltage		0.4	V	$I_{OL} = 2.5 \text{ mA}$
V_{OH}	Output High Voltage	3.0 $V_{CC} - 0.4$		V V	$I_{OH} = -2.5 \text{ mA}$ $I_{OH} = -100 \mu\text{A}$
I_{IL}	Input Leakage Current		± 1	μA	$V_{IN} = V_{CC}$ to 0V (Note 1)
I_{OFL}	Output Float Leakage Current		± 10	μA	$V_{IN} = V_{CC}$ to 0V (Note 2)
I_{DAR}	Darlington Drive Current	± 2.5	(Note 4)	mA	Ports A, B, C $R_{ext} = 500\Omega$ $V_{ext} = 1.7V$
I_{PHL}	Port Hold Low Leakage Current	+50	+300	μA	$V_{OUT} = 1.0V$ Port A only
I_{PHH}	Port Hold High Leakage Current	-50	-300	μA	$V_{OUT} = 3.0V$ Ports A, B, C
I_{PHLO}	Port Hold Low Overdrive Current	-350		μA	$V_{OUT} = 0.8V$
I_{PHHO}	Port Hold High Overdrive Current	+350		μA	$V_{OUT} = 3.0V$
I_{CC}	V_{CC} Supply Current		10	mA	(Note 3)
I_{CCSB}	V_{CC} Supply Current-Standby		10	μA	$V_{CC} = 5.5V$ $V_{IN} = V_{CC}$ or GND Port Conditions If I/P = Open/High O/P = Open Only With Data Bus = High/Low CS = High Reset = Low Pure Inputs = Low/High

NOTES:

1. Pins A_1 , A_0 , \overline{CS} , \overline{WR} , \overline{RD} , Reset.
2. Data Bus; Ports B, C.
3. Outputs open.
4. Limit output current to 4.0 mA.

CAPACITANCE
 $T_A = 25^\circ\text{C}$, $V_{CC} = \text{GND} = 0\text{V}$

Symbol	Parameter	Min	Max	Units	Test Conditions
C_{IN}	Input Capacitance		10	pF	Unmeasured pins returned to GND $f_c = 1\text{ MHz}^{(5)}$
$C_{I/O}$	I/O Capacitance		20	pF	

NOTE:

5. Sampled not 100% tested.

A.C. CHARACTERISTICS
 $T_A = 0^\circ$ to 70°C , $V_{CC} = +5\text{V} \pm 10\%$, $\text{GND} = 0\text{V}$
 $T_A = -40^\circ\text{C}$ to $+85^\circ\text{C}$ for Extended Temperature

BUS PARAMETERS
READ CYCLE

Symbol	Parameter	82C55A-2		Units	Test Conditions
		Min	Max		
t_{AR}	Address Stable Before $\overline{\text{RD}} \downarrow$	0		ns	
t_{RA}	Address Hold Time After $\overline{\text{RD}} \uparrow$	0		ns	
t_{RR}	$\overline{\text{RD}}$ Pulse Width	150		ns	
t_{RD}	Data Delay from $\overline{\text{RD}} \downarrow$		120	ns	
t_{DF}	$\overline{\text{RD}} \uparrow$ to Data Floating	10	75	ns	
t_{RV}	Recovery Time between $\overline{\text{RD}}/\overline{\text{WR}}$	200		ns	

WRITE CYCLE

Symbol	Parameter	82C55A-2		Units	Test Conditions
		Min	Max		
t_{AW}	Address Stable Before $\overline{\text{WR}} \downarrow$	0		ns	
t_{WA}	Address Hold Time After $\overline{\text{WR}} \uparrow$	20		ns	Ports A & B
		20		ns	Port C
t_{WW}	$\overline{\text{WR}}$ Pulse Width	100		ns	
t_{DW}	Data Setup Time Before $\overline{\text{WR}} \uparrow$	100		ns	
t_{WD}	Data Hold Time After $\overline{\text{WR}} \uparrow$	30		ns	Ports A & B
		30		ns	Port C

OTHER TIMINGS

Symbol	Parameter	82C55A-2		Units Conditions	Test
		Min	Max		
t_{WB}	$\overline{WR} = 1$ to Output		350	ns	
t_{IR}	Peripheral Data Before \overline{RD}	0		ns	
t_{HR}	Peripheral Data After \overline{RD}	0		ns	
t_{AK}	\overline{ACK} Pulse Width	200		ns	
t_{ST}	\overline{STB} Pulse Width	100		ns	
t_{PS}	Per. Data Before \overline{STB} High	20		ns	
t_{PH}	Per. Data After \overline{STB} High	50		ns	
t_{AD}	$\overline{ACK} = 0$ to Output		175	ns	
t_{KD}	$\overline{ACK} = 1$ to Output Float	20	250	ns	
t_{WOB}	$\overline{WR} = 1$ to $\overline{OBF} = 0$		150	ns	
t_{AOB}	$\overline{ACK} = 0$ to $\overline{OBF} = 1$		150	ns	
t_{SIB}	$\overline{STB} = 0$ to $IBF = 1$		150	ns	
t_{RIB}	$\overline{RD} = 1$ to $IBF = 0$		150	ns	
t_{RIT}	$\overline{RD} = 0$ to $INTR = 0$		200	ns	
t_{SIT}	$\overline{STB} = 1$ to $INTR = 1$		150	ns	
t_{AIT}	$\overline{ACK} = 1$ to $INTR = 1$		150	ns	
t_{WIT}	$\overline{WR} = 0$ to $INTR = 0$		200	ns	see note 1
t_{RES}	Reset Pulse Width	500		ns	see note 2

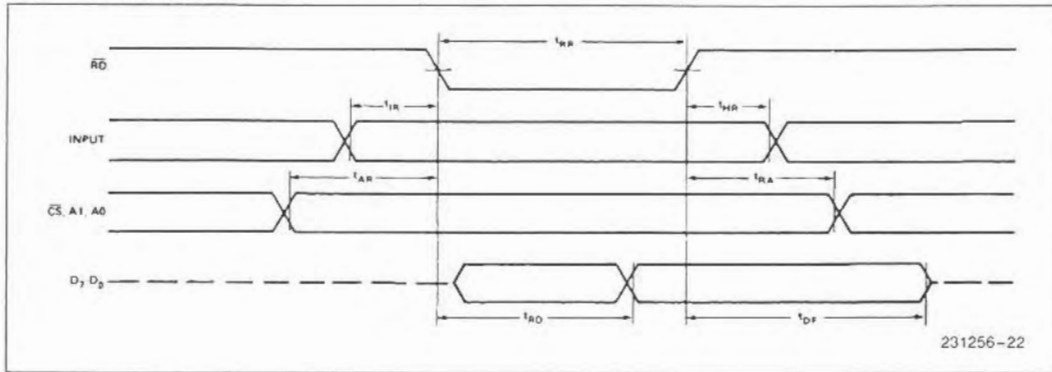
NOTE:

1. $INTR \uparrow$ may occur as early as $\overline{WR} \downarrow$.

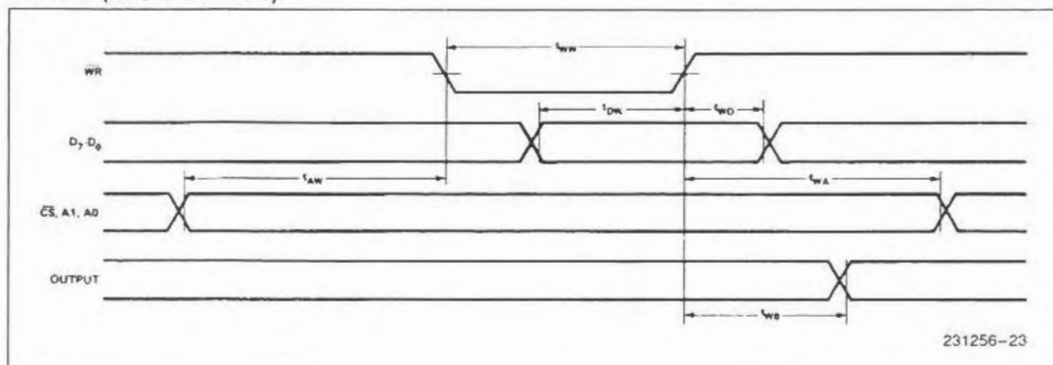
2. Pulse width of initial Reset pulse after power on must be at least 50 μ Sec. Subsequent Reset pulses may be 500 ns minimum. The output Ports A, B, or C may glitch low during the reset pulse but all port pins will be held at a logic "one" level after the reset pulse.

WAVEFORMS

MODE 0 (BASIC INPUT)

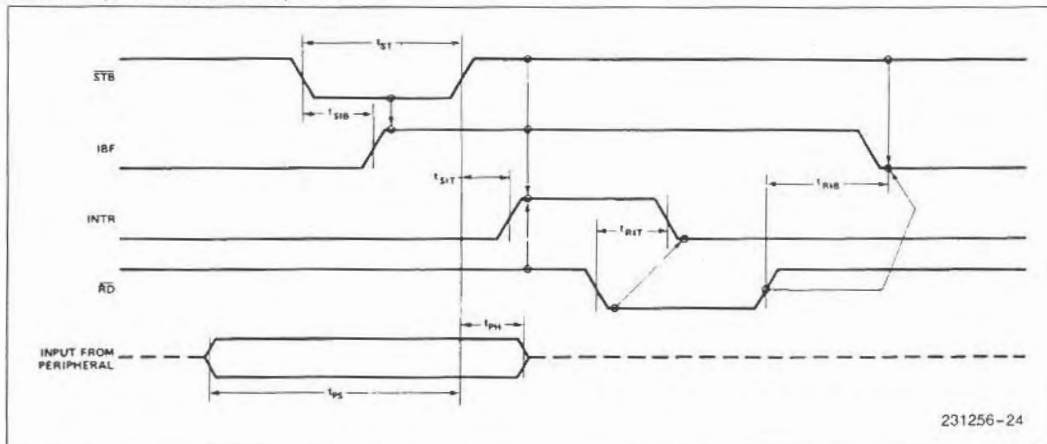


MODE 0 (BASIC OUTPUT)

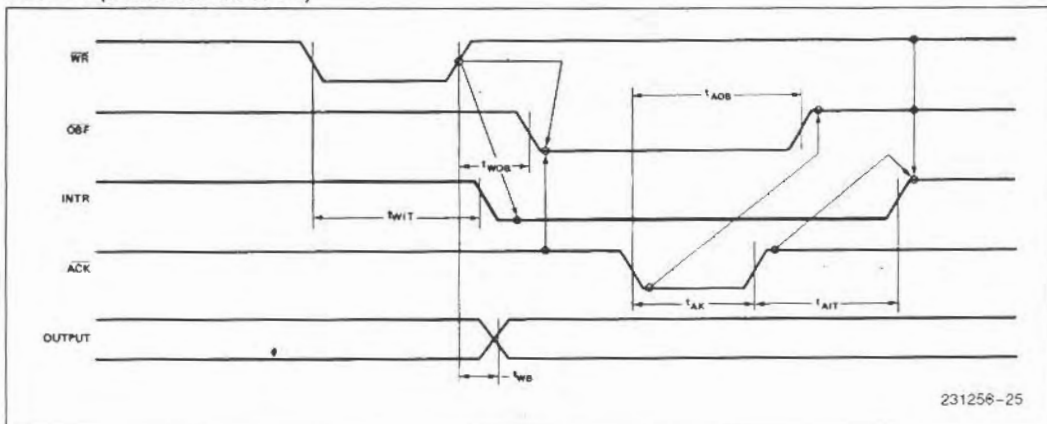


WAVEFORMS (Continued)

MODE 1 (STROBED INPUT)

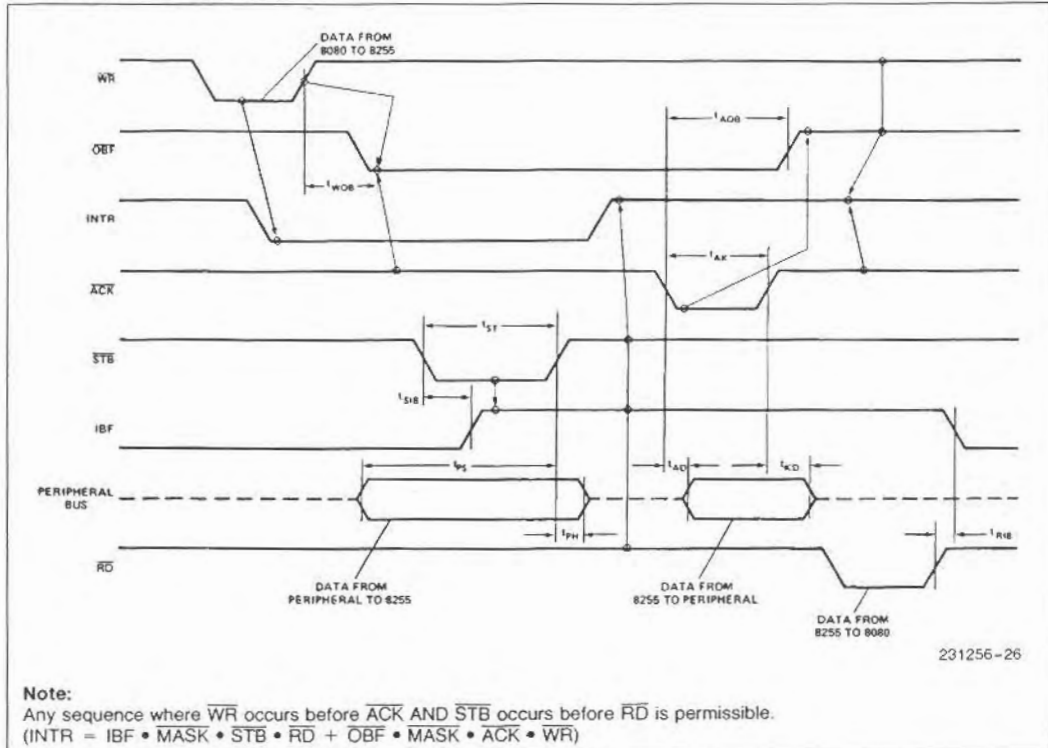


MODE 1 (STROBED OUTPUT)

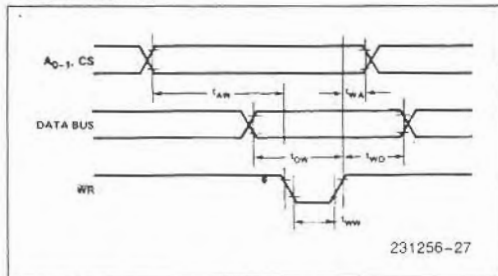


WAVEFORMS (Continued)

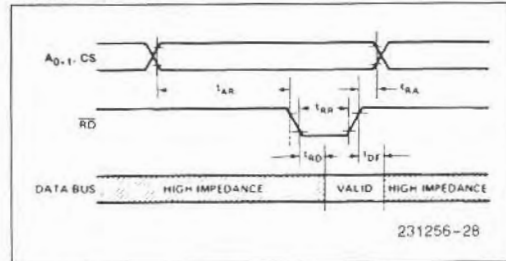
MODE 2 (BIDIRECTIONAL)



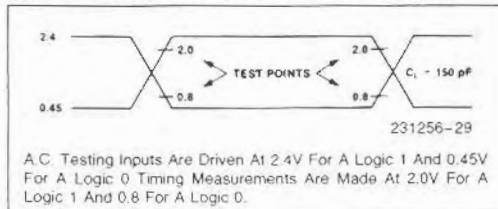
WRITE TIMING



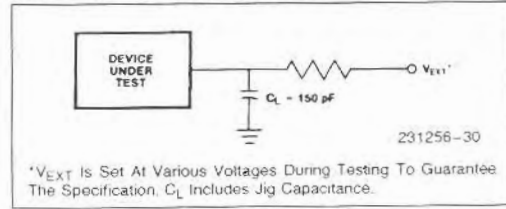
READ TIMING



A.C. TESTING INPUT, OUTPUT WAVEFORM



A.C. TESTING LOAD CIRCUIT



Advance Information

Low-Power Dual Tone Multiple Frequency Receiver

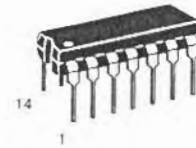
The MC145436A is a low-power and improved input sensitivity version of the MC14LC5436.

The MC145436A is a silicon gate CMOS LSI device containing the filter and decoder for detection of a pair of tones conforming to the DTMF standard with outputs in hexadecimal. Switched capacitor filter technology is used together with digital circuitry for the timing control and output circuits. The MC145436A provides excellent power line noise and dial tone rejection and is suitable for applications in central office equipment, PABX, and keyphone systems, remote control equipment and consumer telephony products.

The MC145436A offers the following performance features:

- Single + 5 V Power Supply
- Detects All 16 Standard Digits
- Uses Inexpensive 3.58 MHz Crystal
- Provides Guard Time Controls to Improve Speech Immunity
- Output in 4-Bit Hexadecimal Code
- Built-In 60 Hz and Dial Tone Rejection
- Pin Compatible with SSI-204, MC145436, and MC14LC5436
- Functional and Application Compatible with MC145436 and MC14LC5436

MC145436A



P SUFFIX
PLASTIC DIP
CASE 646



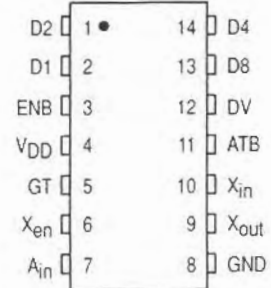
DW SUFFIX
SOG PACKAGE
CASE 751G

ORDERING INFORMATION

MC145436AP Plastic DIP
MC145436ADW SOG Package

PIN ASSIGNMENTS

PDIP



SOG

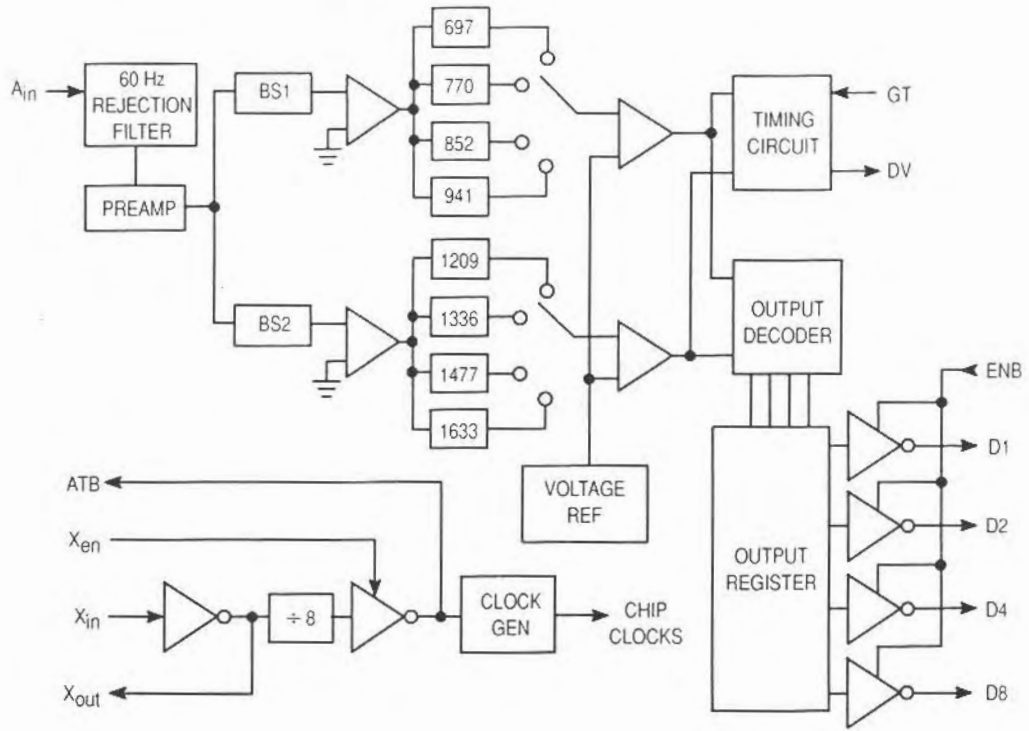


NC = NO CONNECTION

This document contains information on a new product. Specifications and information herein are subject to change without notice.



BLOCK DIAGRAM



MAXIMUM RATINGS (Voltages Referenced to GND Unless Otherwise Noted)

Rating	Symbol	Value	Unit
DC Supply Voltage	V_{DD}	- 0.5 to + 6.0	V
Input Voltage, Any Pin Except A_{in}	V_{in}	- 0.5 to $V_{DD} + 0.5$	V
Input Voltage, A_{in}	V_{in}	$V_{DD} - 10$ to $V_{DD} + 0.5$	V
DC Current Drain per Pin	I	± 10	mA
Power Dissipation	P_D	100	mW
Operating Temperature Range	T_A	- 40 to + 85	$^{\circ}\text{C}$
Storage Temperature Range	T_{stg}	- 65 to + 150	$^{\circ}\text{C}$

This device contains circuitry to protect the inputs against damage due to high static voltages or electric fields; however, it is advised that normal precautions be taken to avoid applications of any voltage higher than the maximum rated voltages to this high impedance circuit.

For proper operation it is recommended that V_{in} and V_{out} be constrained to the range $V_{SS} \leq (V_{in} \text{ or } V_{out}) \leq V_{DD}$. Reliability of operation is enhanced if unused inputs are tied to an appropriate logic voltage level (e.g., either V_{SS} or V_{DD}).

ELECTRICAL CHARACTERISTICS

(All Polarities Referenced to $V_{SS} = 0$ V, $V_{DD} = 5.0$ V $\pm 10\%$, $T_A = -40$ to + 85 $^{\circ}\text{C}$, Unless Otherwise Noted)

Parameter	Symbol	Min	Typ	Max	Unit
DC Supply Voltage	V_{DD}	4.5	5	5.5	V
Supply Current ($f_{CLK} = 3.58$ MHz)	I_{DD}	—	5	8	mA
Input Current	I_{in}	—	—	450 ± 1	μA
	GT ENB, X_{in} , X_{en}	—	—		
Input Voltage Low	V_{IL}	—	—	1.5	V
	ENB, GT, X_{en}				
Input Voltage High	V_{IH}	3.5	—	—	V
	ENB, GT, X_{en}				
I_{out} Data and DV Pins: $V_{out} = 4.5$ V (Source)	I_{OH}	800	—	—	μA
I_{out} Data and DV Pins: $V_{out} = 0.4$ V (Sink)	I_{OL}	1.0	—	—	mA
Input Impedance	R_{in}	90	100	—	k Ω
	A_{in}				
Fanout	F_{out}	—	—	10	
	ATB				
Input Capacitance	C_{in}	—	6	—	pF
	X_{en} , ENB				

ANALOG CHARACTERISTICS ($V_{DD} = 5.0$ V $\pm 10\%$, $T_A = -40$ to + 85 $^{\circ}\text{C}$, Unless Otherwise Noted)

Parameter	Min	Typ	Max	Unit
Signal Level for Detection (A_{in})	- 35	—	- 2	dBm
Twist = High Tone/Low Tone	- 10	—	10	dB
Frequency Detect Bandwidth	$\pm (1.5 + 2 \text{ Hz})$	± 2.5	± 3.5	% f_0
60 Hz Tolerance	—	—	0.8	V_{rms}
Dial Tone Tolerance (Note 1) (Dial Tone 330 + 440)	—	—	0	dB
Noise Tolerance (Notes 1 and 2)	—	—	- 12	dB
Power Supply Noise (Wide Band)	—	—	10	mV p-p
Talk Off (Mitel Tape #CM7290)	—	2	—	Hits

NOTES:

1. Referenced to lower amplitude tone.
2. Bandwidth limited (0 to 3.4 kHz) Gaussian Noise.

PIN DESCRIPTIONS

VDD

Positive Power Supply (PDIP, SOG — Pin 4)

The digital supply pin, which is connected to the positive side of the power supply.

VSS

Ground (PDIP — Pin 8, SOG — Pin 9)

Ground return pin is typically connected to the system ground.

D1, D2, D4, D8

Data Output (PDIP — Pins 2, 1, 14, 13; SOG — Pins 2, 1, 16, 15)

These digital outputs provide the hexadecimal codes corresponding to the detected digit. The digital outputs become valid after a tone pair has been detected and are cleared when a valid pause is timed. See Table 1 for hexadecimal codes. These output pins are high impedance when the enable pin is at logic 0.

ENB

Enable (PDIP, SOG — Pin 3)

Outputs D1, D2, D4, D8 are enabled when ENB is at a logic 1, and high impedance (disabled) when ENB is at a logic 0.

GT

Guard Time (PDIP — Pin 5, SOG — Pin 6)

The guard time control input provides two sets of detected time and release time, both within the allowed ranges of tone on and tone off (see Figure 1). A longer tone detect time rejects signals too short to be considered valid. With GT = 1, talk off performance is improved, since it reduces the probability that tones simulated by speech will maintain signal conditions long enough to be accepted. In addition, a shorter release time reduces the probability that a pause simulated by an interrupt in speech will be detected as a valid pause. On the other hand, a shorter tone detect time with a long

Table 1. Hexadecimal Codes

Digit	Output Code			
	D8	D4	D2	D1
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
0	1	0	1	0
*	1	0	1	1
#	1	1	0	0
A	1	1	0	1
B	1	1	1	0
C	1	1	1	1
D	0	0	0	0

release time would be appropriate for an extremely noisy environment where fast acquisition time and immunity to dropouts would be required. In general, the tone signal time generated by a telephone is 100 ms, nominal, followed by a pause of about 100 ms. A high-to-low or low-to-high transition on the GT pin resets the internal logic and the MC145436A is immediately ready to accept a new tone input. If left open, this pin is internally pulled to ground.

Xen

Oscillator Enable (PDIP — Pin 6, SOG — Pin 7)

A logic 1 on X_{EN} enables the on-chip crystal oscillator. When using alternate time base from the ATB pin, X_{EN} should be tied to V_{SS}.

Ain

Analog Input (PDIP — Pin 7, SOG — Pin 8)

This pin accepts the analog input and is internally biased so that the input signal may be ac coupled. The input may be dc coupled so long as it does not exceed the positive supply (see Figure 2).

X_{in}/X_{out}

Oscillator In and Oscillator Out (PDIP — Pins 10, 9; SOG — Pins 11, 10)

These pins connect to an internal crystal oscillator. In operation, a parallel resonant crystal is connected from X_{IN} to X_{OUT}, as well as a 1 MΩ resistor in parallel with the crystal. When using the alternate clock source from ATB, X_{IN} should be tied to V_{DD}.

ATB

Alternate Time Base (PDIP — Pin 11, SOG — Pin 12)

This pin serves as a frequency reference when more than one MC145436A is used, so that only one crystal is required for multiple MC145436As. When doing so, all ATB pins should be tied together as shown in Figure 3. When only one MC145436A is used, this pin should be left unconnected. The output frequency of ATB is 447.4 kHz.

DV

Data Valid (PDIP — Pin 12, SOG — Pin 14)

DV signals a detection by going high after a valid tone pair is sensed and decoded at output pins D1, D2, D4, D8. DV remains high until a loss of the current DTMF signal occurs or until a transition in GT occurs.

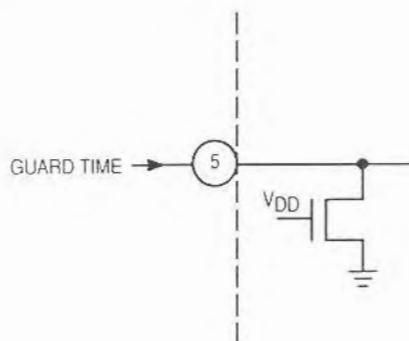


Figure 1. Guard Time

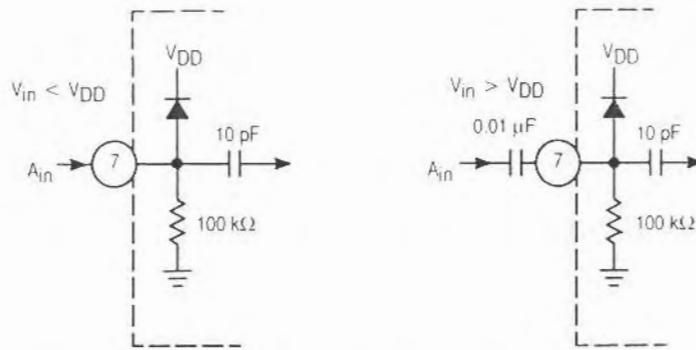


Figure 2. Analog Input (Operational Information Based on PDIP Package)

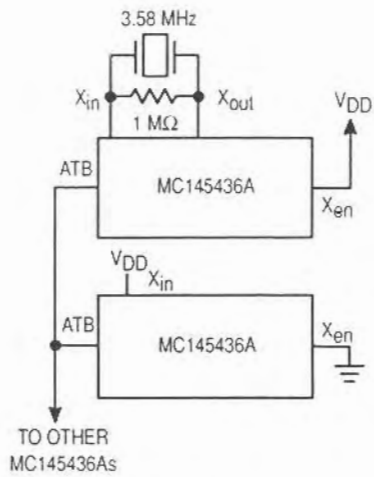


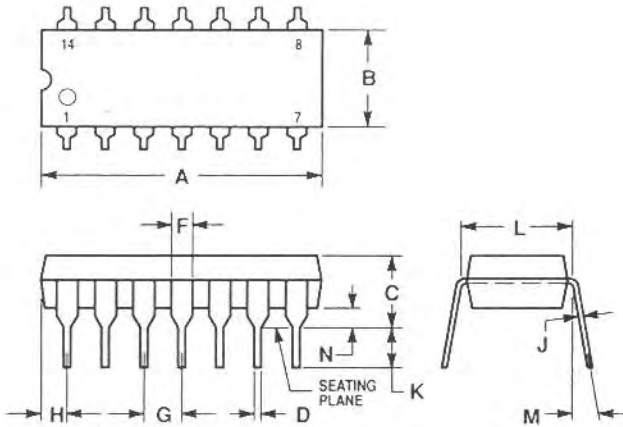
Figure 3. Multiple MC145436As

	COL 1	COL 2	COL 3	COL 4	
697	1	2	3	A	ROW 1
770	4	5	6	B	ROW 2
852	7	8	9	C	ROW 3
941	*	0	#	D	ROW 4
	1209	1336	1477	1633	
	STD DTMF (Hz)				

Figure 4. 4 × 4 Keyboard Matrix

PACKAGE DIMENSIONS

P SUFFIX PLASTIC DIP CASE 646-06

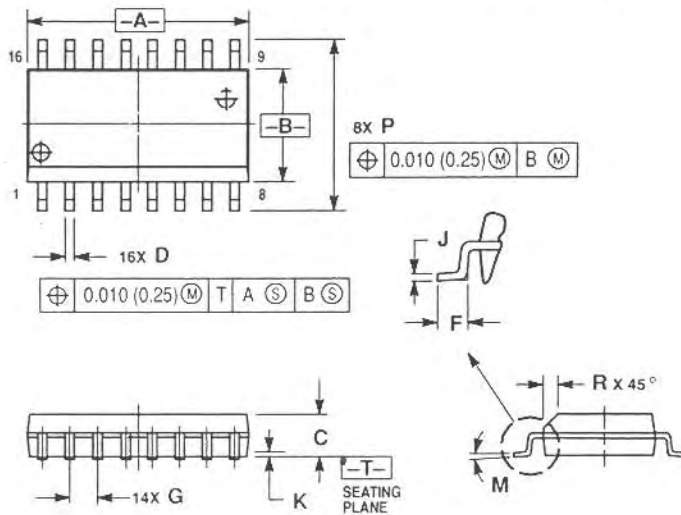


NOTES

- LEADS WITHIN 0.13 (0.005) RADIUS OF TRUE POSITION AT SEATING PLANE AT MAXIMUM MATERIAL CONDITION
- DIMENSION L TO CENTER OF LEADS WHEN FORMED PARALLEL
- DIMENSION B DOES NOT INCLUDE MOLD FLASH
- ROUNDED CORNERS OPTIONAL

DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	0.715	0.770	18.16	19.56
B	0.240	0.260	6.10	6.60
C	0.145	0.185	3.69	4.69
D	0.015	0.021	0.38	0.53
F	0.040	0.070	1.02	1.78
G	0.100 BSC		2.54 BSC	
H	0.052	0.095	1.32	2.41
J	0.008	0.015	0.20	0.38
K	0.115	0.135	2.92	3.43
L	0.300 BSC		7.62 BSC	
M	0° - 10°		0° - 10°	
N	0.015	0.039	0.39	1.01


DW SUFFIX SOG PACKAGE CASE 751G-02



NOTES:

- DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982
- CONTROLLING DIMENSION: MILLIMETER
- DIMENSIONS A AND B DO NOT INCLUDE MOLD PROTRUSION
- MAXIMUM MOLD PROTRUSION 0.15 (0.006) PER SIDE
- DIMENSION D DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.13 (0.005) TOTAL IN EXCESS OF D DIMENSION AT MAXIMUM MATERIAL CONDITION

DIM	MILLIMETERS		INCHES	
	MIN	MAX	MIN	MAX
A	10.15	10.45	0.400	0.411
B	7.40	7.60	0.292	0.299
C	2.35	2.65	0.093	0.104
D	0.35	0.49	0.014	0.019
F	0.50	0.90	0.020	0.035
G	1.27 BSC		0.050 BSC	
J	0.25	0.32	0.010	0.012
K	0.10	0.25	0.004	0.009
M	0° - 7°		0° - 7°	
P	10.05	10.55	0.395	0.415
R	0.25	0.75	0.010	0.029

Motorola reserves the right to make changes without further notice to any products herein. Motorola makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does Motorola assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation consequential or incidental damages. "Typical" parameters can and do vary in different applications. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. Motorola does not convey any license under its patent rights nor the rights of others. Motorola products are not designed, intended, or authorized for use as components in systems intended for surgical implant into the body, or other applications intended to support or sustain life, or for any other application in which the failure of the Motorola product could create a situation where personal injury or death may occur. Should Buyer purchase or use Motorola products for any such unintended or unauthorized application, Buyer shall indemnify and hold Motorola and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that Motorola was negligent regarding the design or manufacture of the part. Motorola and  are registered trademarks of Motorola, Inc. Motorola, Inc. is an Equal Opportunity/Affirmative Action Employer.

How to reach us:

USA/EUROPE: Motorola Literature Distribution;
P.O. Box 20912, Phoenix, Arizona 85036. 1-800-441-2447

JAPAN: Nippon Motorola Ltd.; Tatsumi-SPD-JLDC, Toshikatsu Otsuki,
6F Seibu-Butsuryu-Center, 3-14-2 Tatsumi Koto-Ku, Tokyo 135, Japan. 03-3521-8315

MFAX: RMFAX0@email.sps.mot.com - TOUCHTONE (602) 244-6609
INTERNET: <http://Design-NET.com>

HONG KONG: Motorola Semiconductors H.K. Ltd.; 8B Tai Ping Industrial Park,
51 Ting Kok Road, Tai Po, N.T., Hong Kong. 852-26629298



MC145436A/D



APPLICATIONS INFORMATION

2 Telecommunications Circuits

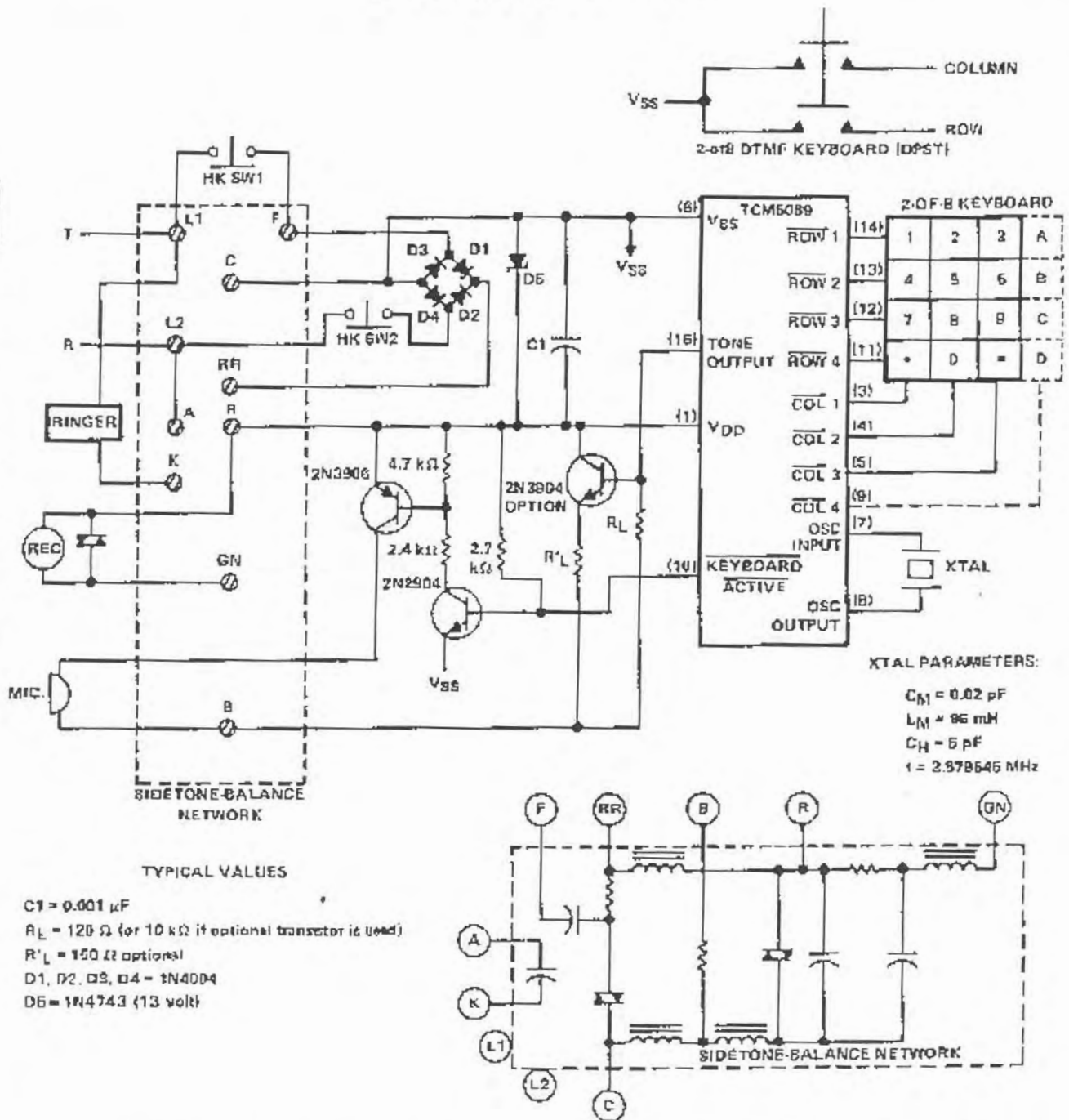


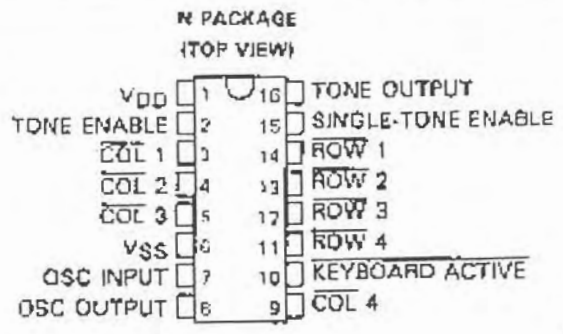
FIGURE 4. TYPICAL APPLICATION USING HYBRID COIL SIDETONE-BALANCE NETWORK, ELECTRONIC SWITCHING, AND LOW-COST (CLASS A) KEYBOARD

32803

**TCM5089
TONE ENCODER**

D2651, NOVEMBER 1982—REVISED OCTOBER 1984

- Low-Cost TV Color-Burst Crystal Sine-Wave Input Produces Highly Accurate and Stable Tones
- Device Powered Directly by Telephone or Small Batteries
- Keyboard or Electronic Input Capability
- Dual-Tone and Single-Tone Capability
- Minimal Standby Power Requirement
- Total Harmonic Distortion Meets EIA Standard RS-470
- PEP3 Processing Available
- Wide Supply-Voltage Range
- Minimal External Parts Required
- Single-Tone Production Can be Inhibited
- Separate Tone Enables Provided
- Auxiliary Switching Bipolar Transistor Available
- Designed to be Interchangeable with Mostek MK5089



2
Telecommunications Circuits



Caution. These devices have limited built-in gate protection. The leads should be shorted together or the device placed in conductive foam during storage or handling to prevent electrostatic damage to the MOS gates.

description

The TCM5089 tone encoder is a CMOS integrated circuit designed specifically to generate the dial tones used in dual-tone telephone dialing systems. It requires a sine-wave input normally supplied by a low-cost TV color-burst crystal at 3.579545 MHz to generate eight different audio sinusoidal frequencies. With this input the encoder generates dial tones that are very low in total harmonic distortion and comply with standard Dual-Tone Multi-Frequency (DTMF) specifications without any need for frequency adjustment.

When generating a dual-tone signal, the encoder generates one column tone and one row tone and adds them for its output. The table below presents the frequencies produced by the tone encoder with the 3.579545-MHz TV-crystal signal input. Any deviation in this frequency will be reflected in the frequency output. The tolerance of the crystal is normally 0.02%.

TONE	DTMF STANDARD (Hz)	ENCODER OUTPUT* (Hz)	ERROR FROM STANDARD* (%)
Row 1	897	701.3	+0.82
Row 2	770	771.4	+0.19
Row 3	652	807.2	+0.81
Row 4	541	935.1	-0.63
Column 1	1209	1215.9	+0.57
Column 2	1336	1331.7	-0.32
Column 3	1477	1471.9	-0.35
Column 4	1833	1645	+0.73

*Using an input signal from a 3.579545-MHz crystal.

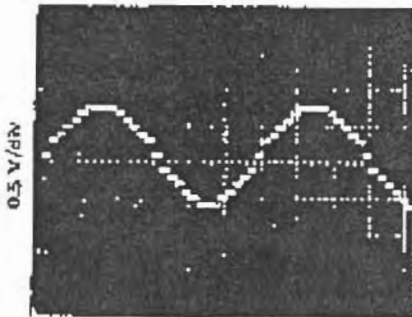
PRODUCTION DATA documents contain information current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.



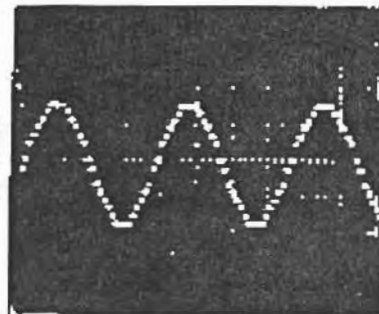
Copyright © 1982, Texas Instruments Incorporated

output waveforms

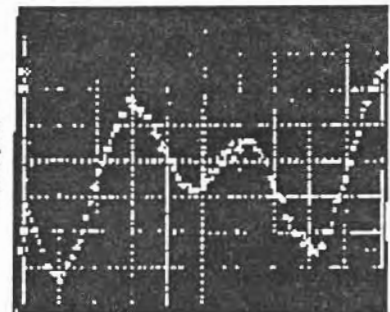
Typical row and column staircase approximations of sinusoidal outputs are shown in Figures 1 and 2. The row and column outputs are added together resulting in a typical dual-tone waveform as shown in Figure 3. Spectral analysis of this dual-tone waveform shows that all harmonic and intermodulation distortions are typically 30 dB below the strongest column-tone fundamental.



0.2 ms/div
FIGURE 1



0.2 ms/div
FIGURE 2



0.2 ms/div
FIGURE 3

distortion considerations

The following formula is used to calculate the total harmonic distortion of a single row or a single column:

$$THD = \left(\frac{\sqrt{V_{2f}^2 + V_{3f}^2 + V_{4f}^2 + V_{5f}^2 + \dots + V_{nf}^2}}{V_{1f}} \right) \times 100\%$$

where V_{2f} is the second harmonic of the fundamental frequency V_{1f} waveform and so on. The dual-tone total harmonic distortion is:

$$THD = \left(\frac{\sqrt{V_{2R}^2 + V_{3R}^2 + \dots + V_{nR}^2 + V_{2C}^2 + \dots + V_{nC}^2 \pm V_{IMD}^2}}{\sqrt{V_{FR}^2 + V_{FC}^2}} \right) \times 100\%$$

where V_{FR} and V_{FC} are the row and column fundamental frequency waveforms, and V_{2R} and V_{2C} , etc. are the corresponding harmonics.

The total intermodulation distortion is:

$$V_{IMD}^2 = (V_{1R} + V_{1C})^2 - (V_{1R} - V_{1C})^2 + \dots + (V_{nR} + V_{nC})^2 - (V_{nR} - V_{nC})^2$$

A relatively simple method of distortion measurement uses a spectrum analyzer to relate the harmonics to the fundamental frequency waveform. The tone encoder spectrum indicates the harmonics and intermodulation distortion at least 30 dB down relative to the column tone.

Another method for distortion measurement of the dual-tone waveform is to compare the total power in the fundamental frequencies with the total power in the various harmonics plus intermodulation on a signal analyzer. The encoders provide an output distortion of -20 dB maximum when operated between 3.5 volts and 10 volts. If operated between 3 volts and 3.5 volts, some clipping occurs at the output causing the distortion to exceed the -20 dB level.

TCM5089
TONE ENCODER

recommended operating conditions

	MIN	NOM	MAX	UNIT
Supply voltage, V_{DD}		3	10	V
High-level input voltage, any input, V_{IH}	0.7 V_{DD}		V_{DD}	V
Low-level input voltage, any input, V_{IL}	V_{SS}		0.3 V_{DD}	V
Operating free-air temperature, T_A	-30		70	°C

electrical characteristics over operating free-air temperature range (unless otherwise noted)

2

Telecommunications Circuits

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
Input resistance, single-tone input to V_{SS}		20		100	k Ω
I_{OH} High-level output current, keyboard active output	$V_O = 5 V^1$			2	μA
I_{OL} Low-level output current, keyboard active output	$V_O = 0.5 V^1$	-500			μA
$I_{DD(stby)}$ Standby power supply current	$V_{DD} = 10 V$, See Note 3			200	μA
$I_{DD(op)}$ Operating power supply current	$V_{DD} = 3.5 V$, See Note 4			2	mA

operating characteristics over recommended ranges of operating free-air temperature and supply voltage (unless otherwise noted)

PARAMETER	TEST CONDITIONS ²	MIN	TYP	MAX	UNIT
Output rms voltage	Row tone	$V_{DD} = 3.5 V$, $R_L = 10 k\Omega$	235	385	mV
	Column tone		275	515	
Preemphasis (column-tone to row-tone)	$R_L = 10 k\Omega$	2.4		3	dB
Dual-tone output distortion (see Note 5)	$V_{DD} \geq 3.5 V$, $R_L = 10 k\Omega$			-20	dB
Quiescent tone-output power	$R_L = 10 k\Omega$			-80	dBm
Tone-output rise time (see Note 6)			2.8	5	ms

¹ V_O is the dc bias on the keyboard-active output.

²Crystal parameters are as follows: $f = 3.579545 MHz \pm 0.02\%$, $R_0 \leq 100 \Omega$, $C_L = 18 pF$, $C_M = 0.02 pF$, and $L_M = 96 mH$.

NOTES: 3. Standby power supply current is measured with no inputs activated.

4. Operating current is measured with all outputs unloaded, one row input and one column input active, and normal oscillator input.

5. Distortion is expressed as the ratio of total out-of-band power relative to the total fundamental power for the dual tone.

6. This is the time required for the output to change from its quiescent value to 90% of its final rms value.

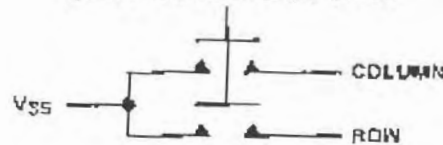
TCM5089 TONE ENCODER

operation

keyboard and electronic inputs

The specific tone or tones generated are determined by inputs designated ROW 1 through ROW 4 and COLUMN 1 through COLUMN 4. These input levels are normally received from a 2-of-8 DTMF (DPST) keyboard or from an electronic circuit. Unlike dynamic or scanned inputs, the static inputs of the TCM5089 do not generate any noise. See function table for input and output description.

2-of-8 DTMF KEYBOARD (DPST)



single-tone enable input

This inhibits the generation of single tones when taken low or left open. However, all other chip functions remain unchanged. If the input is high, single-tone operation is enabled.

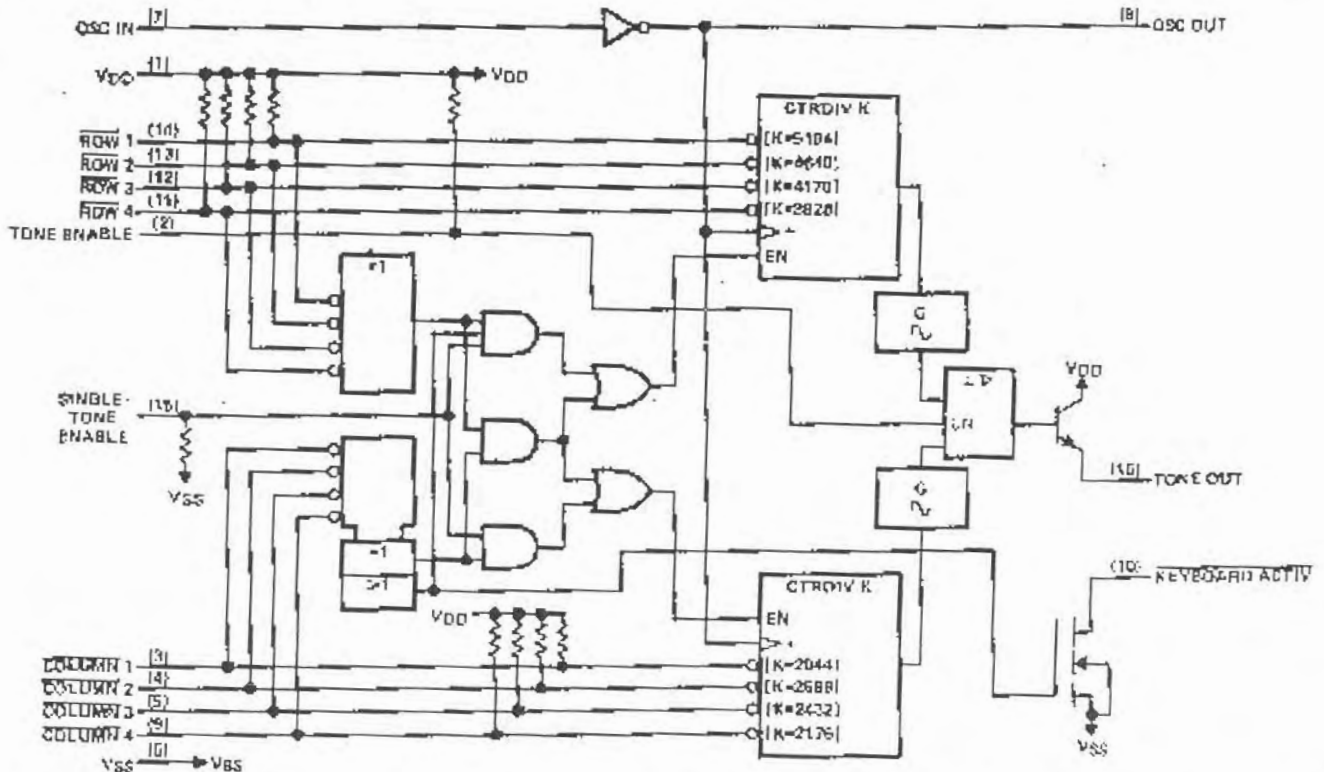
tone enable input

The tone enable input, when low, disables the tone output of the encoder. Other chip functions remain unchanged.

keyboard active output

This output provides for switching of an external receiver, transmitter, or other functions. The output is low whenever one or more column inputs are active and at a high impedance when all column inputs are inactive.

functional block diagram



SN74LS682 SN74LS684 SN74LS688

8-Bit Magnitude Comparators

The SN74LS682, 684, 688 are 8-bit magnitude comparators. These device types are designed to perform comparisons between two eight-bit binary or BCD words. All device types provide $\overline{P=Q}$ outputs and the LS682 and LS684 have $\overline{P>Q}$ outputs also.

The LS682, LS684 and LS688 are totem pole devices. The LS682 has a 20 k Ω pullup resistor on the Q inputs for analog or switch data.

TYPE	$\overline{P=Q}$	$\overline{P>Q}$	OUTPUT ENABLE	OUTPUT CONFIGURATION	PULLUP
LS682	yes	yes	no	totem-pole	yes
LS684	yes	yes	no	totem-pole	no
LS688	yes	no	yes	totem-pole	no

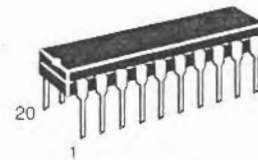
GUARANTEED OPERATING RANGES

Symbol	Parameter	Min	Typ	Max	Unit
V _{CC}	Supply Voltage	4.75	5.0	5.25	V
T _A	Operating Ambient Temperature Range	0	25	70	°C
I _{OH}	Output Current – High			-0.4	mA
I _{OL}	Output Current – Low			24	mA



ON Semiconductor
Formerly a Division of Motorola
<http://onsemi.com>

**LOW
POWER
SCHOTTKY**



PLASTIC
N SUFFIX
CASE 738

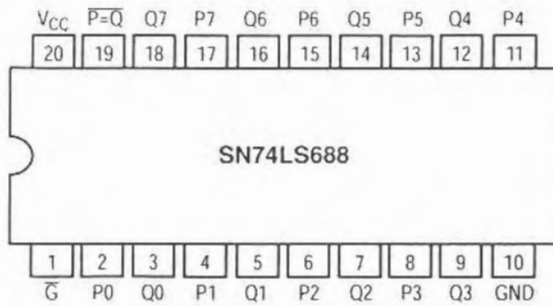
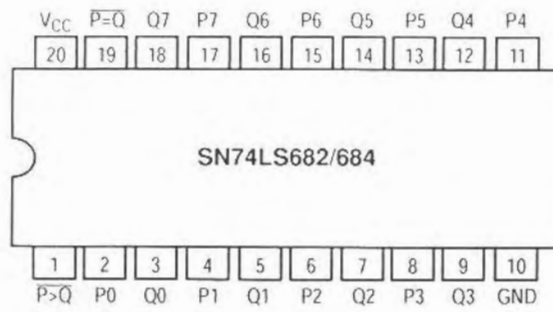


SOIC
DW SUFFIX
CASE 751D

ORDERING INFORMATION

Device	Package	Shipping
SN74LS682N	16 Pin DIP	1440 Units/Box
SN74LS682DW	16 Pin	2500/Tape & Reel
SN74LS684N	16 Pin DIP	1440 Units/Box
SN74LS684DW	16 Pin	2500/Tape & Reel
SN74LS688N	16 Pin DIP	1440 Units/Box
SN74LS688DW	16 Pin	2500/Tape & Reel

CONNECTION DIAGRAMS (TOP VIEW)

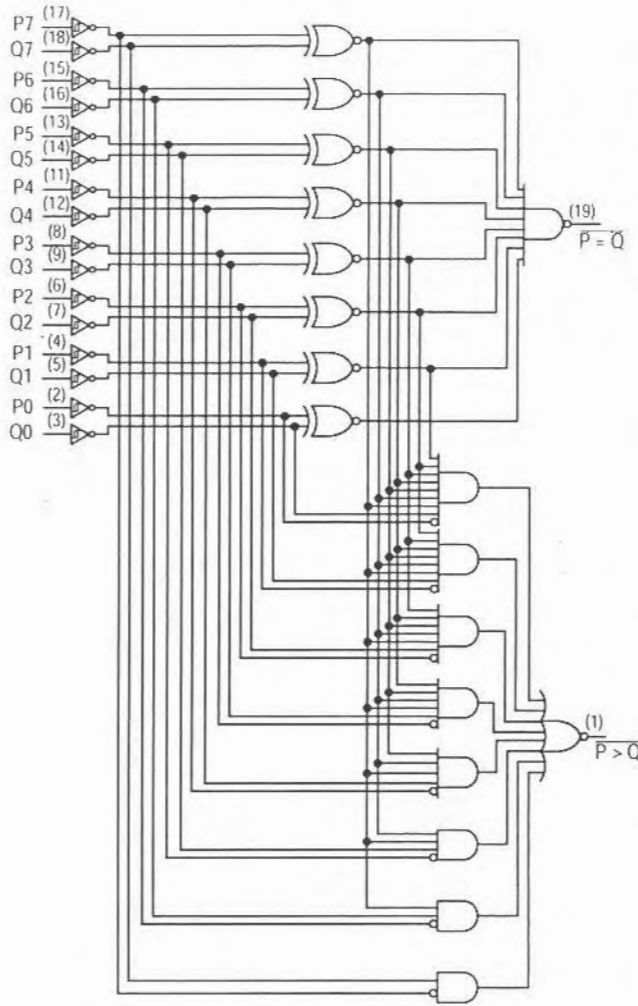


FUNCTION TABLE

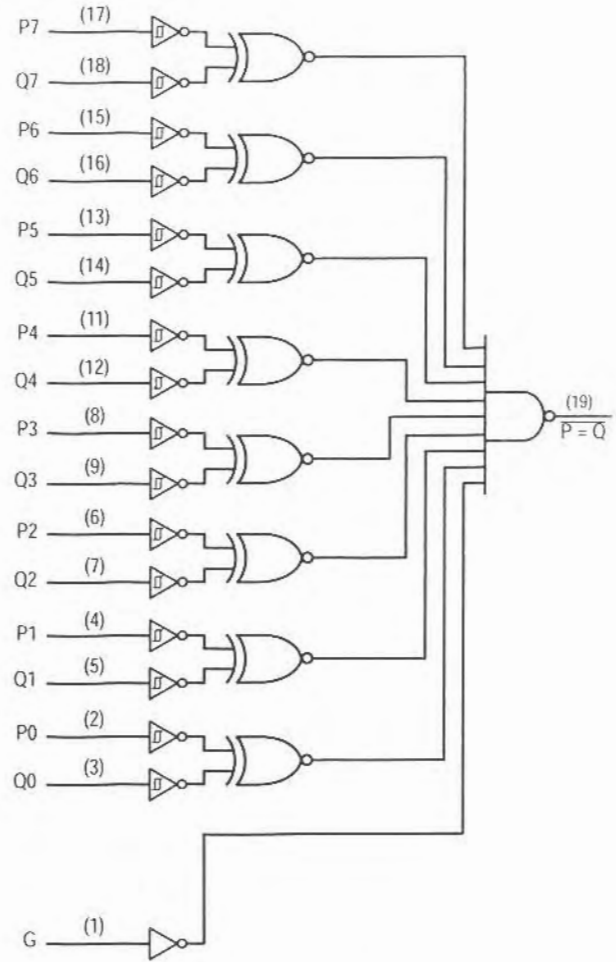
INPUTS			OUTPUTS	
DATA	ENABLES		$P = Q$	$P > Q$
P, Q	$\bar{G}, \bar{G}1$	$\bar{G}2$		
P = Q	L	L	L	H
P > Q	L	L	H	L
P < Q	L	L	H	H
X	H	H	H	H

* H = HIGH Level, L = LOW Level, X = Irrelevant

LOGIC DIAGRAMS



SN74LS682 and LS684



SN74LS688

SN74LS682 SN74LS684 SN74LS688

DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

Symbol	Parameter	Limits			Unit	Test Conditions
		Min	Typ	Max		
V_{IH}	Input HIGH Voltage	2.0			V	Guaranteed Input HIGH Voltage for All Inputs
V_{IL}	Input LOW Voltage			0.8	V	Guaranteed Input LOW Voltage for All Inputs
V_{IK}	Input Clamp Diode Voltage		-0.65	-1.5	V	$V_{CC} = \text{MIN}$, $I_{IN} = -18 \text{ mA}$
V_{OH}	Output HIGH Voltage	2.7	3.5		V	$V_{CC} = \text{MIN}$, $I_{OH} = \text{MAX}$, $V_{IN} = V_{IH}$ or V_{IL} per Truth Table
V_{OL}	Output LOW Voltage		0.25	0.4	V	$I_{OL} = 12 \text{ mA}$
			0.35	0.5	V	$I_{OL} = 24 \text{ mA}$
I_{IH}	Input HIGH Current			20	μA	$V_{CC} = \text{MAX}$, $V_{IN} = 2.7 \text{ V}$
		LS682-Q Inputs		0.1	mA	$V_{CC} = \text{MAX}$, $V_{IN} = 5.5 \text{ V}$
		Others		0.1	mA	$V_{CC} = \text{MAX}$, $V_{IN} = 7.0 \text{ V}$
I_{IL}	Input LOW Current	LS682-Q Inputs		-0.4	mA	$V_{CC} = \text{MAX}$, $V_{IN} = 0.4 \text{ V}$
		Others		-0.2	mA	
I_{OS}	Short Circuit Current (Note 1)	-30		-130	mA	$V_{CC} = \text{MAX}$
I_{CC}	Power Supply Current	LS682		70	mA	$V_{CC} = \text{MAX}$
		LS684		65	mA	
		LS688		65	mA	

Note 1: Not more than one output should be shorted at a time, nor for more than 1 second.

SN74LS682 SN74LS684 SN74LS688

AC CHARACTERISTICS (T_A = 25°C)

SN74LS682

Symbol	Parameter	Limits			Unit	Test Conditions
		Min	Typ	Max		
t _{PLH} t _{PHL}	Propagation Delay, P to $\overline{P=Q}$		13 15	25 25	ns	V _{CC} = 5.0 V C _L = 45 pF R _L = 667 Ω
t _{PLH} t _{PHL}	Propagation Delay, Q to $\overline{P=Q}$		14 15	25 25	ns	
t _{PLH} t _{PHL}	Propagation Delay, P to $\overline{P>Q}$		20 15	30 30	ns	
t _{PLH} t _{PHL}	Propagation Delay, Q to $\overline{P>Q}$		21 19	30 30	ns	

SN74LS684

Symbol	Parameter	Limits			Unit	Test Conditions
		Min	Typ	Max		
t _{PLH} t _{PHL}	Propagation Delay, P to $\overline{P=Q}$		15 17	25 25	ns	V _{CC} = 5.0 V C _L = 45 pF R _L = 667 Ω
t _{PLH} t _{PHL}	Propagation Delay, Q to $\overline{P=Q}$		16 15	25 25	ns	
t _{PLH} t _{PHL}	Propagation Delay, P to $\overline{P>Q}$		22 17	30 30	ns	
t _{PLH} t _{PHL}	Propagation Delay, Q to $\overline{P>Q}$		24 20	30 30	ns	

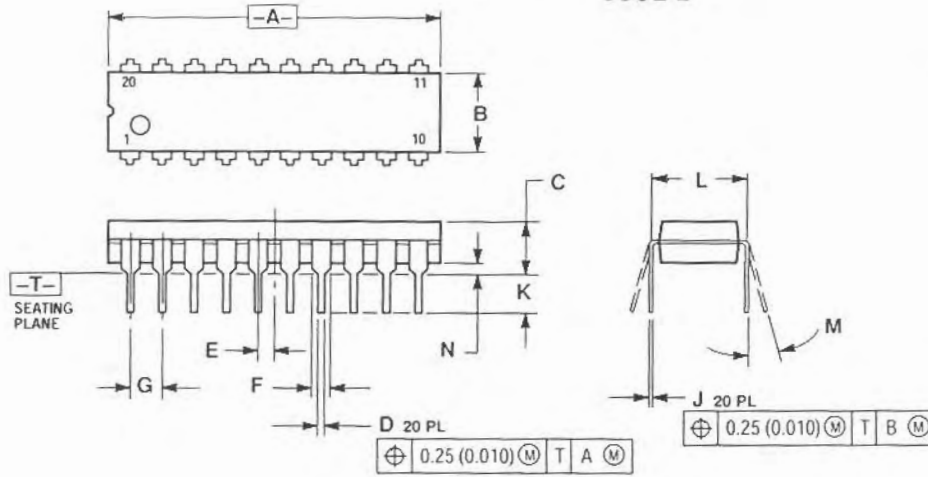
SN74LS688

Symbol	Parameter	Limits			Unit	Test Conditions
		Min	Typ	Max		
t _{PLH} t _{PHL}	Propagation Delay, P to $\overline{P=Q}$		12 17	18 23	ns	V _{CC} = 5.0 V C _L = 45 pF R _L = 667 Ω
t _{PLH} t _{PHL}	Propagation Delay, Q to $\overline{P=Q}$		12 17	18 23	ns	
t _{PLH} t _{PHL}	Propagation Delay, $\overline{Q}, \overline{\overline{Q}}$ to $\overline{P=Q}$		12 13	18 20	ns	

SN74LS682 SN74LS684 SN74LS688

PACKAGE DIMENSIONS

N SUFFIX
PLASTIC PACKAGE
CASE 738-03
ISSUE E



NOTES

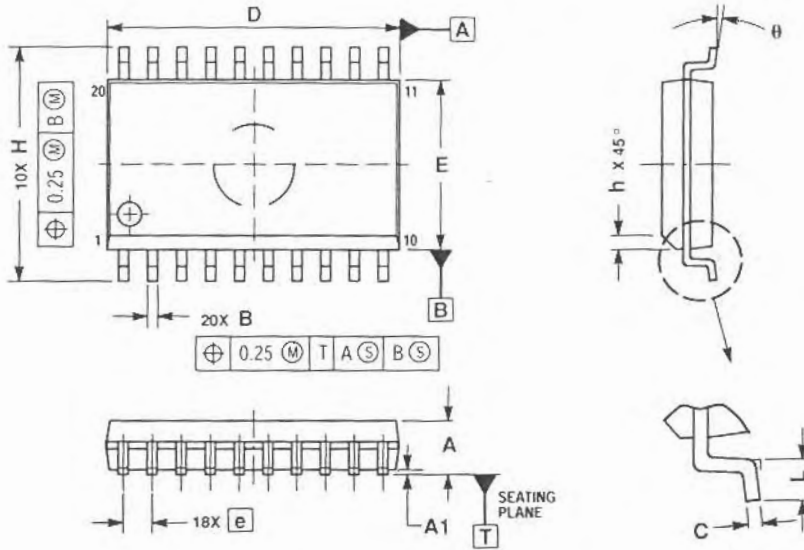
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982
2. CONTROLLING DIMENSION: INCH
3. DIMENSION L TO CENTER OF LEAD WHEN FORMED PARALLEL
4. DIMENSION B DOES NOT INCLUDE MOLD FLASH.

DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	1.010	1.070	25.65	27.17
B	0.240	0.260	6.10	6.60
C	0.150	0.180	3.81	4.57
D	0.015	0.022	0.39	0.55
E	0.050 BSC		1.27 BSC	
F	0.050	0.070	1.27	1.77
G	0.100 BSC		2.54 BSC	
J	0.008	0.015	0.21	0.38
K	0.110	0.140	2.80	3.55
L	0.300 BSC		7.62 BSC	
M	0°	15°	0°	15°
N	0.020	0.040	0.51	1.01

SN74LS682 SN74LS684 SN74LS688

PACKAGE DIMENSIONS


D SUFFIX
 PLASTIC SOIC PACKAGE
 CASE 751D-05
 ISSUE F



NOTES

- 1 DIMENSIONS ARE IN MILLIMETERS
- 2 INTERPRET DIMENSIONS AND TOLERANCES PER ASME Y14.5M, 1994
- 3 DIMENSIONS D AND E DO NOT INCLUDE MOLD PROTRUSION
- 4 MAXIMUM MOLD PROTRUSION 0.15 PER SIDE
- 5 DIMENSION B DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE PROTRUSION SHALL BE 0.13 TOTAL IN EXCESS OF B DIMENSION AT MAXIMUM MATERIAL CONDITION.

MILLIMETERS		
DIM	MIN	MAX
A	2.35	2.65
A1	0.10	0.25
B	0.35	0.49
C	0.23	0.32
D	12.65	12.95
E	7.40	7.60
e	1.27 BSC	
H	10.05	10.55
h	0.25	0.75
L	0.50	0.90
theta	0°	7°

ON Semiconductor and  are trademarks of Semiconductor Components Industries, LLC (SCILLC). SCILLC reserves the right to make changes without further notice to any products herein. SCILLC makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does SCILLC assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. "Typical" parameters which may be provided in SCILLC data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. SCILLC does not convey any license under its patent rights nor the rights of others. SCILLC products are not designed, intended, or authorized for use as components in systems intended for surgical implant into the body, or other applications intended to support or sustain life, or for any other application in which the failure of the SCILLC product could create a situation where personal injury or death may occur. Should Buyer purchase or use SCILLC products for any such unintended or unauthorized application, Buyer shall indemnify and hold SCILLC and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that SCILLC was negligent regarding the design or manufacture of the part. SCILLC is an Equal Opportunity/Affirmative Action Employer.

PUBLICATION ORDERING INFORMATION

North America Literature Fulfillment

Literature Distribution Center for ON Semiconductor
P.O. Box 5163, Denver, Colorado 80217 USA
Phone: 303-675-2175 or 800-344-3860 Toll Free USA/Canada
Fax: 303-675-2176 or 800-344-3867 Toll Free USA/Canada
Email: ONlit@hibbertco.com

N. American Technical Support 800-282-9855 Toll Free USA/Canada

EUROPE: LDC for ON Semiconductor – European Support

German **Phone:** (+1) 303-308-7140 (M-F 2:30pm to 5:00pm Munich Time)
Email: ONlit-german@hibbertco.com
French **Phone:** (+1) 303-308-7141 (M-F 2:30pm to 5:00pm Toulouse Time)
Email: ONlit-trench@hibbertco.com
English **Phone:** (+1) 303-308-7142 (M-F 1:30pm to 5:00pm UK Time)
Email: ONlit@hibbertco.com

ASIA/PACIFIC: LDC for ON Semiconductor – Asia Support

Phone: 303-675-2121 (Tue-Fri 9:00am to 1:00pm, Hong Kong Time)
Toll Free from Hong Kong 800-4422-3781
Email: ONlit-asia@hibbertco.com

JAPAN: ON Semiconductor, Japan Customer Focus Center

4-32-1 Nishi-Gotanda, Shinagawa-ku, Tokyo, Japan 141-8549
Phone: 81-3-5487-8345
Email: r14153@onsemi.com

Fax Response Line: 303-675-2167
800-344-3810 Toll Free USA/Canada

ON Semiconductor Website: <http://onsemi.com>

For additional information, please contact your local
Sales Representative