



UNIVERSIDAD TECNOLÓGICA DE LA MIXTECA

División de Estudios de Posgrado

Control pasivo de velocidad angular para un motor de CD de imanes permanentes impulsado por un rectificador monofásico activo

Tesis para obtener el grado de:
Maestro en Electrónica, Opción: Sistemas Inteligentes Aplicados

Presenta:

Ing. Ruben Heredia Barba

Director de Tesis:

M.E.C. José Antonio Juárez Abad

Co-Director de Tesis:

Dr. Jesús Linares Flores

H. Cd. de Huajuapán de León, Oaxaca. Diciembre 2021

Dedicatoria

A mis padres, por su amor, trabajo y sacrificio en todos estos años.

Agradecimientos

Quiero manifestar mi agradecimiento a los directores de tesis, MEC. José Antonio Juárez Abad y Dr. Jesús Linares Flores, por sus valiosos consejos y su guía a través del área de electrónica y control.

A los profesores que no solo cumplieron su labor docente, sino que son considerados mis amigos: Dr. Enrique Guzmán Ramírez, Ing. Heriberto Hernández Martínez, M.C. Felipe Santiago Espinosa, Dr. Fermín Hugo Ramírez Leyva, Dr. Richard Jacinto Márquez Contreras, Dr. Edgardo Yescas Mendoza, Dr. Carlos García Rodríguez, Dr. Marco Antonio Contraerás Ordaz, Dr. Antonio Orantes Molina y Dr. Jorge Luis Barahona Ávalos.

A mis compañeros Omarcito, Aldoc, Cesar, Gonzalo, Rubén y Eloisa por todas las aventuras, buenos y malos momentos que hemos compartido.

Al Consejo Nacional de Ciencia y Tecnología (CONACyT) le agradezco la beca recibida durante la maestría.

Resumen

En este trabajo se presenta el diseño e implementación de un controlador adaptativo basado en la técnica de pasividad para un sistema que combina un Rectificador Monofásico Activo y un Motor de CD de imanes permanentes, el cual se denomina en adelante como sistema RMA-MCD. La implementación del controlador se hace empleando una tarjeta de desarrollo Nexys 3 basada en un FPGA SPARTAN-6 LX16. El objetivo principal del controlador es la regulación de la velocidad angular del motor de CD ante cambios repentinos del par de carga aplicado al del motor, sin alterar el factor de potencia del rectificador activo. Dicho lo anterior, se propone un controlador lineal basado en la Retroalimentación de Salida Pasiva de la Dinámica del Error Estático Exacto (ESEDPOF, por sus siglas en inglés), donde la estimación del par de carga juega un papel importante, dado que, se busca reducir los efectos causados por el par de carga aplicado en el eje del motor, por esto, el parámetro de par de carga se estima por medio de un estimador algebraico en línea y un observador de orden reducido, el valor se adapta a las variables de referencia del controlador.

Los resultados experimentales muestran un desempeño satisfactorio del sistema en lazo cerrado una vez aplicados cambios repentinos en el par de carga, en estos resultados se muestran y analizan las respuestas en estado transitorio y estado estable de las variables de voltaje en CA, corriente en CA, voltaje en CD, corriente de armadura, velocidad angular y par de carga. Adicionalmente, se realiza un análisis de calidad de energía a la entrada del rectificador activo mediante un instrumento de medición especializado. Además, se muestra un resumen de los recursos lógicos empleados en el dispositivo FPGA después de seguir la metodología empleada.

Índice general.

Dedicatoria	II
Agradecimientos	IV
Resumen	VI
Índice general	XI
Índice de Tablas	XI
Lista de Figuras	XVI
1. Introducción.	1
1.1. Introducción	1
1.2. Estado del arte	4
1.3. Planteamiento del problema	6
1.4. Justificación	8
1.5. Hipótesis	9
1.6. Objetivos	9
1.6.1. Objetivo general	9
1.6.2. Objetivos específicos	9
1.7. Metas	10
1.8. Metodología	10
1.8.1. Fase 1	10
1.8.2. Fase concurrente	11

1.8.3. Fase 2	12
2. Marco Teórico.	15
2.1. Método de accionamiento para el motor CD de imanes permanentes	15
2.1.1. Rectificador monofásico activo	17
2.1.2. Método de sincronización para el rectificador monofásico activo	19
2.2. Algoritmo de lazo de enganche de fase	19
2.2.1. Lazo de enganche de fase para un sistema en electrónica de potencia	20
2.2.2. Estructura básica de un PLL	20
2.2.3. Ecuaciones básicas de un PLL	21
2.3. Lazo de enganche de fase SOGI-PLL	23
2.3.1. Generador de señal de cuadratura (SOGI-QSG)	23
2.3.2. SOGI-PLL	27
2.4. Técnicas avanzadas de control implementadas en FPGA	28
2.5. Control por retroalimentación de la salida pasiva de la dinámica del error exacto	29
3. Fase 1	35
3.1. Modelado	35
3.1.1. Modelo promedio del sistema rectificador monofásico motor de CD	35
3.2. Análisis	37
3.2.1. El sistema rectificador monofásico-motor CD visto como un sistema pasivo	37
3.2.2. Diseño del control por retroalimentación de la salida pasiva del error exacto del sistema rectificador monofásico-motor CD	39
3.2.3. Generación de las señales de referencia deseadas	41
Generación de las señales de referencia deseadas	41
3.3. Diseño del observador de orden reducido	43
3.4. Diseño del estimador algebraico para el parámetro de par de carga del motor	45
3.5. Simulación	46

<i>ÍNDICE GENERAL.</i>	X
4. Fase 2	55
4.1. Partición modular	55
4.2. Simulación funcional	56
4.3. Rediseño Digital y Gráfico de Optimización de flujo de datos	60
4.3.1. Módulo SOGI-PLL	62
4.3.2. Diseño del controlador y generación de las señales de referencia . .	67
4.3.3. Modulador PWM	69
4.3.4. Estimador algebraico en línea para el parámetro de par de carga . .	71
4.3.5. Observador de orden reducido para el parámetro de par de carga . .	73
4.3.6. Módulo de interfaz de conversión analógica a digital	74
4.3.7. Administrador de reloj	77
4.3.8. Utilización de puertos de entradas y salidas de la tarjeta FPGA Nexys 3	78
4.3.9. Utilización de los recursos lógicos del FPGA	80
4.4. Codificación HDL e implementación en FPGA	80
5. Resultados experimentales	83
5.1. Plataforma de pruebas	84
5.2. Resultados del sistema en estado estacionario	87
5.3. Resultados del segundo tipo de pruebas	87
5.4. Resultados del tercer tipo de pruebas	93
6. Conclusiones y trabajos futuros	97
6.1. Conclusiones	97
6.2. Trabajos futuros	98
Bibliografía.	105
A. Fase concurrente	107
A.1. Acondicionamiento de señales para voltaje y corriente	108

B. Identificación paramétrica del motor de CD	111
B.1. Resistencia e inductancia	111
B.2. Constante eléctrica y mecánica	111
B.2.1. Fricción viscosa del motor de CD	112
B.3. Momento de inercia del motor de CD	113
C. Publicaciones	115

Índice de tablas

3.1. Parámetros del sistema RMA-MDC.	49
4.1. Contenido de las $ROM_{\text{sen } \Phi}$ y $ROM_{\text{cos } \Phi}$	64
4.2. Consumo de Hardware.	80
5.1. Equipos y materiales del sistema RMA-MCD.	84
5.2. Componentes del rectificador monofásico activo.	85
5.3. Parámetros de la implementación	86
5.4. Comparativa de resultados de calidad de energía	93
A.1. Componentes del rectificador monofásico activo	108

Índice de Figuras.

1.1. Fases de la metodología.	11
1.2. Metodología empleada para el diseño en FPGA.	12
2.1. Rectificador monofásico activo.	18
2.2. Estructura básica de un PLL [1].	20
2.3. Diagrama de bloques de la estructura basica de un PLL. [2]	21
2.4. Integrador de segundo orden generalizado.	23
2.5. Diagrama de Bode del SOGI en el dominio del tiempo continuo [3].	24
2.6. Respuesta escalón del SOGI [3].	24
2.7. SOGI-QSG.	25
2.8. Diagrama de Bode de salida compatible $Y_{(s)}$ del SOGI-QSG en el dominio del tiempo [3].	25
2.9. Diagrama de Bode de salida compatible $\hat{Y}_{(s)}$ del SOGI-QSG en el dominio del tiempo [3].	26
2.10. Respuesta escalón del SOGI-QSG [3].	26
2.11. SOGI-PLL.	27
3.1. Sistema rectificador monofásico-motor CD.	36
3.2. Esquema eléctrico del rectificador monofásico motor CD.	47
3.3. Bloques funcionales.	48
3.4. Simulación del SOGI-PLL.	50
3.5. Simulación de ω, ω_d sin estimación de par de carga.	50
3.6. Simulación de ω, ω_d con observador de par de carga.	51

3.7. Simulación de ω, ω_d con estimador algebraico de par de carga.	51
3.8. Simulación de V, V^* con observador de par de carga.	52
3.9. Simulación de V, V^* con estimador algebraico de par de carga.	52
3.10. Simulación de i_{CA}, i_{CA}^* con observador de par de carga.	53
3.11. Simulación de i_{CA}, i_{CA}^* con estimador de par de carga.	53
3.12. Factor de potencia.	54
3.13. Señales de reinicio e integración del parámetro del par estimado.	54
4.1. Concepto de diseño de los módulos dentro del dispositivo FPGA.	56
4.2. Bloque ley de control, ver ecuación (3.20).	57
4.3. Bloque del observador de orden reducido, ver ecuaciones (3.41-3.43).	57
4.4. Bloque de señales de referencia, ver ecuaciones (3.22-3.31).	58
4.5. Bloque del estimador algebraico, ver ecuación (3.47).	59
4.6. Bloque SOGI-PLL, ver Figura 2.11.	59
4.7. Arquitectura diseñada.	61
4.8. Estructura del SOGI-PLL.	62
4.9. Aproximación discreta del SOGI con el método de integración Euler.	63
4.10. Diagrama de flujo de datos y máquina de estado finito.	66
4.11. Módulo SOGI-PLL.	67
4.12. Módulo del controlador basado en pasividad y señales de referencia.	69
4.13. Módulo del generador S-PWM.	70
4.14. Módulo del estimador algebraico en línea.	72
4.15. Módulo del observador de orden reducido.	73
4.16. Diagrama a bloques de la interfaz de conversión analógico-digital.	75
4.17. Diagrama de tiempo de la interfaz serial.	76
4.18. Módulo de administración de reloj.	78
4.19. Plataforma de desarrollo Nexys 3.	79
4.20. Proceso de implementación en FPGA.	81
5.1. Equipo de experimentación.	84
5.2. Componentes del rectificador activo.	85

5.3. Respuesta de la velocidad angular del motor CD de imanes permanentes ante diferentes valores de velocidad deseada.	87
5.4. Respuesta de la velocidad angular ante un cambio de par de carga.	88
5.5. Errores de velocidad angular.	88
5.6. Respuesta del voltaje de salida del rectificador activo ante un cambio de par de carga repentino.	89
5.7. (a) Respuesta de la corriente del rectificador activo con estimador algebraico; (b) Respuesta de la corriente del rectificador activo con observador de orden reducido.	90
5.8. Comparación entre el par de carga medido τ_L y los estimados ($\hat{\tau}_{LE}$ y $\hat{\tau}_{LO}$).	91
5.9. Respuesta de la corriente de armadura del motor de CD.	91
5.10. (a) Respuesta de la entrada de control promedio con estimador algebraico; (b) Respuesta de la entrada de control promedio con observador de orden reducido.	92
5.11. (a) Comparativa entre la fase de corriente i_{CA} y voltaje V_{CA} con estimador; (b) Calidad de energía eléctrica con observador.	94
5.12. (a) Comparativa entre la fase de corriente i_{CA} y voltaje V_{CA} con observador; (b) Calidad de energía eléctrica con observador.	95
A.1. Plataforma experimental	107
A.2. Acondicionamiento de voltaje para que pueda ser adquirido por el FPGA.	109
A.3. Acondicionamiento de corriente para que pueda ser adquirida por el FPGA.	110

Capítulo 1

Introducción.

En este capítulo se realiza la revisión del estado del arte sobre convertidores CA-CD, específicamente sobre rectificadores monofásicos activos. También, en este capítulo se definen las motivaciones que originaron el estudio del rectificador monofásico activo para este trabajo.

1.1. Introducción

La mayoría de los dispositivos eléctricos y electrónicos funcionan con corriente directa (CD), pero el voltaje de la red de suministro es en corriente alterna (CA), por lo tanto, se requiere de un convertidor de potencia del tipo CA-CD para suministrar cargas que requieran un voltaje en CD.

Los rectificadores basados en el diodo rectificador o también conocidos como rectificadores pasivos, los cuáles son ampliamente utilizados en convertidores CA-CD que generalmente están conectados a la red eléctrica, donde se comportan como cargas no lineales a la red de CA en todos los rangos de potencia, creando una serie de problemas ya que pueden cambiar la naturaleza sinusoidal de la corriente de alimentación de CA, lo que da como resultado un flujo de corrientes armónicas en el sistema de alimentación de CA incrementado la potencia reactiva presente en dicho sistema. Las corrientes armónicas también conducen a mayores pérdidas y calentamiento en numerosos dispositivos electromecánicos (motores, transformadores, etc.), cuestión que debe minimizarse o evitarse [4].

Una estrategia para minimizar la cantidad de contenido armónico introducido a la red eléctrica debido al proceso de rectificación por los convertidores de potencia, es el uso de convertidores CA-CD sin puentes de diodos, estos son comúnmente llamados rectificadores activos o por conmutación forzada [5]. Esta topología se construye con semiconductores capaces de activarse y desactivarse por compuerta, permitiendo así el control total del convertidor. Esto permite la conmutación de los interruptores cientos de veces en un período de red, situación que no es posible con los rectificadores pasivos, donde el bloqueo de los diodos se da de manera natural. Un rectificador activo posee las siguientes ventajas sobre los rectificadores pasivos: genera menor contenido armónico, control del factor de potencia, flujo de potencia bidireccional, regulación de la magnitud del voltaje en el bus de CD y un menor estrés en los dispositivos semiconductores [6].

Para garantizar las características antes mencionadas, se debe utilizar un método de sincronización de voltaje rápido y preciso. Para llevar a cabo esta tarea, se emplean los algoritmos de enganche de fase o PLL (*Phase Locked Loop*, por sus siglas en inglés). En términos generales, un PLL es un sistema de lazo cerrado que controla un oscilador interno para engancharse a una señal periódica externa; algunos de los métodos de sincronización más avanzados se analizan y aplican en [7, 8, 9, 10, 11]. Un método ampliamente utilizado en los últimos años es el SOGI-PLL (*Second Order General Integrator Phase-Locked-Loop*, por sus siglas en inglés), dado que con solo medir el voltaje de la red de CA, es posible obtener información sobre la posición del vector de voltaje, su amplitud y su frecuencia.

Una aplicación típica de los rectificadores son los sistemas de accionamiento de motores eléctricos, principalmente sistemas basados en motores de CD [12, 13]. Los motores de CD son fundamentales en una gran variedad de aplicaciones industriales, entre las que se encuentran: máquinas de papel, industria textil, procesos de laminado, sistemas de tracción, máquinas-herramientas, robótica, refinerías, entre otras. Este tipo de motores son regularmente accionados mediante un convertidor de potencia del tipo CD-CD de topología reductora (Buck), elevadora (Boost), reductora-elevadora (Buck-Boost), los cuales necesitan de una fuente de alimentación en CD. Dado que la red eléctrica convencional es en CA, es indispensable el uso de un convertidor CA-CD del tipo pasivo o activo como fuente de alimentación en CD.

En este trabajo, se propone un esquema que acopla las dinámicas de un rectificador monofásico activo y un motor de CD de imanes permanentes. El diseño del controlador de velocidad angular basado en la técnica de control por pasividad del tipo ESEDPOF (*Exact Static Error Dynamics Passive Output Feedback*, por sus siglas en inglés).

Las funciones de este sistema serán vistas desde dos perspectivas:

- En términos de la fuente de CD, cuya principal función es regular la velocidad angular del motor a una velocidad deseada a pesar de la presencia de par de carga en el eje del motor. Adicionalmente, se propone el diseño de estimadores del parámetro de par de carga, con la finalidad de disminuir los efectos que produce esta perturbación.
- En segundo lugar, desde la fuente de CA y se busca mejorar la calidad de la energía, por ejemplo, lograr una alta eficiencia en términos de transferencia de potencia, minimizar el contenido armónico producido por la rectificación de voltaje y pre-compensar el factor de potencia a la entrada del rectificador monofásico activo.

De acuerdo a las tendencias del uso de sistemas digitales donde se implementan algoritmos de control, se ha demostrado que un FPGA (*Field Programmable Gate Arrays*, por sus siglas en inglés) es la mejor opción para la implementación de algoritmos digitales [14], ya que posee un número considerable de entradas y salidas digitales, gran capacidad de procesamiento, concurrencia en la ejecución de algoritmos para realizar operaciones aritméticas, entre otras ventajas.

La cualidad más importante que se tiene en esta tecnología es que el diseño e implementación se realiza de una manera personalizada (ad-hoc). En otras palabras, se diseña hardware específico para realizar una tarea e incluso tiene una ruta directa para la fabricación en un chip personalizado. De esta manera, un FPGA podría ser sustituido por un Circuito Integrado de Aplicación Específica (ASIC), abriendo posibilidades muy importantes en sistemas de procesamiento de energía en términos de rendimiento y costo [15].

1.2. Estado del arte

El convertidor de potencia mas básico de CA-CD interconectado a la red eléctrica está basado en el diodo rectificador de silicio. Este convertidor de potencia no ofrece la posibilidad de control y su sincronización con la red eléctrica no es necesaria ya que su activación y desactivación es automática por su naturaleza. Como ya se comentó anteriormente, este tipo de convertidor genera una distorsión armónica en la red eléctrica [2], por lo que es importante el desarrollo de investigaciones referentes a mejorar la eficiencia de dichos convertidores.

En [16] se identifican los beneficios de usar un Rectificador Activo (RA) en comparación con un rectificador pasivo; se muestra que la distorsión armónica total (THD) puede llegar a ser de hasta 13.16 %; por el contrario, los resultados del análisis armónico del RA muestran que la distorsión armónica total es de $THD=3.17\%$. El RA está basado en semiconductores de potencia, dispositivos que funcionan en modo conmutado, permitiendo un alto grado de control. Sin embargo, es imperativo en este tipo de convertidores sincronizar la activación y desactivación de los semiconductores, ya que estos, a diferencia del diodo rectificador pierden el funcionamiento de activación y desactivación natural con la red eléctrica, por lo tanto, es necesario acompañarlo con un sistema que logre dicha sincronización [17].

Existen dos métodos de sincronización ampliamente usados: en lazo abierto y lazo cerrado. El método de lazo abierto incluye la Detección de Cruce por Cero (DCC) y el filtrado directo del voltaje de la red. Estos métodos tienen una respuesta lenta con alta sensibilidad a las desviaciones de frecuencia, voltaje y distorsión armónica [18]. El método de lazo cerrado está basado en el algoritmo de enganche de fase clásico o en estructuras modificadas, los cuales proporcionan una referencia estable y precisa para la sincronización con la red eléctrica; entre estos métodos el algoritmo de enganche de fase SOGI-PLL y EPLL. De acuerdo con los resultados presentados en [19], se muestra que la técnica DCC falla cuando la red eléctrica contiene armónicos.

Por otra parte, en [20], el algoritmo EPLL fue implementado en un dispositivo FPGA y se tiene la ventaja de proporcionar una versión filtrada de la señal de entrada, generando una referencia de entrada deseable y es aplicado a un rectificador activo multinivel monofásico.

En relación al RA, en [21] es presentado el mismo algoritmo implementado en DSP para la sincronización de un inversor trifásico.

Por otro lado, a lo largo de los años se han propuesto varios métodos para el control de convertidores de potencia activos. Por lo general el controlador Proporcional-Integral (PI) se utiliza para la regulación de voltaje y corriente, el uso del controlador lineal solo garantiza la estabilidad en un punto de equilibrio, debido a que este tipo de convertidores muestra un comportamiento dinámico no lineal. El rendimiento de los convertidores de potencia puede mejorarse notablemente a través de métodos de control no lineal.

En [22], se propone un esquema de control adaptable por modos deslizantes para la regulación de voltaje de un Rectificador Monofásico Activo (RMA). Los resultados de la simulación demuestran que el control por modos deslizantes tiene un rendimiento superior al controlador PI. Además, de regular el voltaje de salida en el RMA, el esquema de control logra mantener el Factor de Potencia (FP) cercano a la unidad.

De manera similar, en [23] se propone la implementación del control por modos deslizantes para un RMA con filtro LCL. EL algoritmo de control está compuesto por dos partes: en primer lugar, un algoritmo de control de corriente por modos deslizantes para asegurar un factor de potencia unitario, y en segundo lugar un controlador PI para regular el voltaje promedio del RMA. La estrategia de control se verifica mediante simulación, demostrando que el esquema de control propuesto posee la capacidad de regular el voltaje de salida CD en un nivel deseado y al mismo tiempo de mantener el factor de potencia cercano a la unidad.

El trabajo reportado en [24], presenta un control basado en pasividad para un RMA ya que hoy en día es una de las soluciones preferidas como fuente de voltaje en CD. Los objetivos de control logrados son: factor de potencia cercano a la unidad en el lado de CA y capacidad óptima para la regulación del voltaje de salida.

El modelo promedio del sistema rectificador monofásico activo-motor CD es presentado en [25], y se comenta que el sistema no es diferencialmente plano, sin embargo, la velocidad angular normalizada del eje del motor es capaz de parametrizar diferencialmente tres de las cuatro variables de estado del sistema. En el trabajo en cuestión, propone una función H que contiene la energía total normalizada de almacenamiento del sistema. La potencia

total del sistema se calcula por la derivada con respecto al tiempo de H , de acuerdo con los autores, es la clave para conseguir un factor de potencia cercano a la unidad. Finalmente, se diseña un control basado en pasividad del tipo ETEDPOFC. Los resultados de simulación presentados, demuestran que el control propuesto es efectivo en la tarea de seguimiento de trayectoria de velocidad angular, mientras mantiene un factor de potencia cercano a la unidad.

De manera semejante en [26], se implementó en una tarjeta de adquisición de datos un controlador basado en pasividad del tipo ETEDPOFC, con la tarea de regulación de velocidad angular mientras se corrige el factor de potencia del sistema rectificador activo-motor CD. Además, se establece una comparación entre el rendimiento de un estimador algebraico en línea y un observador de orden reducido del parámetro de par de carga. Los resultados experimentales muestran la superioridad del enfoque algebraico ya que la velocidad angular se mantuvo en el valor de referencia deseado, incluso bajo cambios de carga severos en el eje del motor, mientras que el factor de potencia también se mantuvo cercano a la unidad. Aunque el THD en corriente es superior al 5% de lo establecido en la norma IEE 519-2014.

1.3. Planteamiento del problema

En los últimos años, se ha hecho énfasis en mejorar la calidad de energía en la entrada de los rectificadores, empleados como impulsores de motores de CD, ya que presentan un alto contenido armónico en corriente y un bajo factor de potencia. En consecuencia, las compañías suministradoras de energía han impuesto límites de penalización para el FP, para el caso de México esto se encuentra contenido en la guía CFE L0000-70, la cual tiene como propósito limitar el impacto negativo de cargas no lineales, recomendando una distorsión armónica total máxima (THD) del 5% en corriente y voltaje. Dicho lo anterior, esto se traduce en un incremento en los costos de producción, especialmente en procesos industriales. En consecuencia, esto ha dirigido a los investigadores a proponer y desarrollar nuevas topologías de convertidores de potencia.

El esquema con el que comúnmente se acciona un motor de CD cuando se tiene disponible una fuente de CA es por medio de dos etapas, la primera es de rectificación de voltaje. La cual generalmente es pasiva y genera un gran número de armónicos en la alimentación de CA, alcanza una distorsión armónica total que toma valores hasta de 13.16%, creando inevitablemente un desfaseamiento entre la corriente y el voltaje, y reduciendo así el factor de potencia [16]. Posteriormente en la segunda etapa, la conexión del motor se realiza mediante un convertidor de potencia CD-CD haciendo uso generalmente de las topologías Buck (Reductor) o Boost (Elevador), acondicionado para la regulación de velocidad del motor de CD. Sin embargo, al utilizar este esquema no se logra una transferencia de potencia eficiente por que el convertidor de CA-CD, ya que el motor se encuentra trabajando de manera independiente.

Otro esquema, el cual presenta mejor eficiencia es aquel que acopla las dinámicas del rectificador activo y del motor de CD para el diseño del controlador, logrando así una alta eficiencia en términos de transferencia de potencia, mejora en THD y factor de potencia cercano o igual a la unidad. Sin embargo, el patrón de bloqueo en los semiconductores debe de estar sincronizado con la misma frecuencia de la fuente de alimentación, para que el rectificador funcione apropiadamente [6], por esta razón, de manera adicional se requiere el empleo de un algoritmo de enganche de fase.

El algoritmo de enganche de fase debe proporcionar una referencia estable y precisa de la red de alimentación, este tipo de algoritmos requiere periodos de muestreo cortos para un mejor desempeño, además de presentar una carga computacional considerable, más aún cuando se desea implementar un control para regulación de velocidad angular del motor y la corrección del factor de potencia. Tradicionalmente este tipo de algoritmo es implementado en software empleando procesadores digitales de señales (DSP) porque tienen recursos orientados a operaciones matemáticas, sin embargo, la frecuencia de muestreo de estos dispositivos está limitada por la naturaleza secuencial de este hardware [17].

En contraparte, a la fecha, los FPGA han sido empleados en diversas aplicaciones industriales debido a sus ventajas como alta velocidad, concurrencia, bajo costo y una gran cantidad de recursos integrados.

1.4. Justificación

La presente propuesta de investigación, busca minimizar los efectos producidos por el esquema con el que comúnmente se acciona un motor de CD, empleando un rectificador activo como impulsor del motor. Se propone un control por retroalimentación de la salida pasiva de la dinámica del error estático exacto, el esquema de control tiene la tarea de regulación de velocidad angular aun cuando existan cambios en el par de carga del motor, al mismo tiempo que se enfoca en mejorar la transferencia de potencia, minimizar el contenido armónico y corregir el factor de potencia a la entrada del rectificador, en resumen, cuestiones que están incluidos en temas de calidad de energía y que actualmente son muy estudiados.

Por otra parte, la precisión del algoritmo PLL impacta en el rendimiento del convertidor, si este es implementado en un dispositivo Procesador Digital de Señales (DSP) su desempeño se ve limitado por su naturaleza secuencial. Los dispositivos FPGA exceden la potencia de computo de los DSP rompiendo el paradigma de ejecución secuencial, permitiendo la concurrencia en ejecución de algoritmos. Haciendo de este dispositivo una atractiva alternativa para la implementación del algoritmo enganche de fase y el controlador del convertidor [27]. La cualidad más importante que se puede observar respecto a un FPGA es que el diseño e implementación se realiza de manera personalizada. Dicho lo anterior, se diseña hardware específico para realizar una tarea específica de un sistema en específico. En este trabajo se empleó un rectificador activo como impulsor del motor. Se propone un control por retroalimentación de la salida pasiva de la dinámica del error exacto, el esquema de control tiene la tarea de regulación de velocidad angular aun cuando existan cambios en el par de carga del motor, al mismo tiempo que se enfoca en mejorar la transferencia de potencia, minimizar el contenido armónico y corregir el factor de potencia a la entrada del rectificador, en resumen, cuestiones que están incluidos en temas de calidad de energía y que actualmente son muy estudiados.

1.5. Hipótesis

Es posible mejorar la regulación de la velocidad angular de un motor de CD, por medio de la implementación de un controlador basado en pasividad cuya ejecución se realice en un FPGA, de tal manera que se obtenga un factor de potencia cercano a la unidad del sistema Rectificador Monofásico Activo-Motor de CD.

1.6. Objetivos

1.6.1. Objetivo general

Implementar en un FPGA un control de velocidad basado en pasividad y estimación algebraica en línea del parámetro de par de carga, para un motor de CD de imanes permanentes, impulsado por un rectificador monofásico activo con factor de potencia cercano a la unidad.

1.6.2. Objetivos específicos

- Implementar en un FPGA los algoritmos para el correcto funcionamiento del sistema, estos incluyen: algoritmo de enganche de fase (PLL), estimador algebraico, controlador basado en pasividad.
- Diseñar la instrumentación para medir las variables necesarias para el correcto funcionamiento del sistema.
- Diseñar una interfaz gráfica para intercambio de datos entre la PC y el sistema mencionado.
- Caracterizar los parámetros eléctricos y mecánicos del motor de CD de imanes permanentes.

1.7. Metas

- Regular la velocidad y mantener un error mínimo en estado estable, ante cambios del par de carga aplicado a la flecha del motor.
- Obtener un factor de potencia cercano a la unidad.
- Disminuir el THD de voltaje y corriente en la entrada del rectificador monofásico activo que acciona el motor para la regulación de su velocidad angular.

1.8. Metodología

A continuación, se describe la metodología que se empleara para la implementación de la ley de control basada en pasividad del tipo ETEDPOFC, el PLL y estimadores del parámetro de par de carga en FPGA; también se realiza la descripción de la primera fase de diseño que tiene que ver con el modelado dinámico del rectificador monofásico activo-motor CD, el análisis de sus propiedades matemáticas y la simulación.

1.8.1. Fase 1

En esta fase se incluyen tres etapas relacionadas con el modelado, análisis y simulación del sistema no lineal rectificador monofásico activo-motor CD, esta etapa es independiente al diseño de la arquitectura en un FPGA.

Modelado

En esta etapa se modelarán matemáticamente el rectificador monofásico-motor CD empelando las leyes de Kirchhoff para la obtención de las ecuaciones diferenciales del sistema.

Análisis

Dando seguimiento a la etapa anterior se analizará el modelo dinámico por medio de herramientas matemáticas tales como álgebra lineal y teoría de control no lineal.

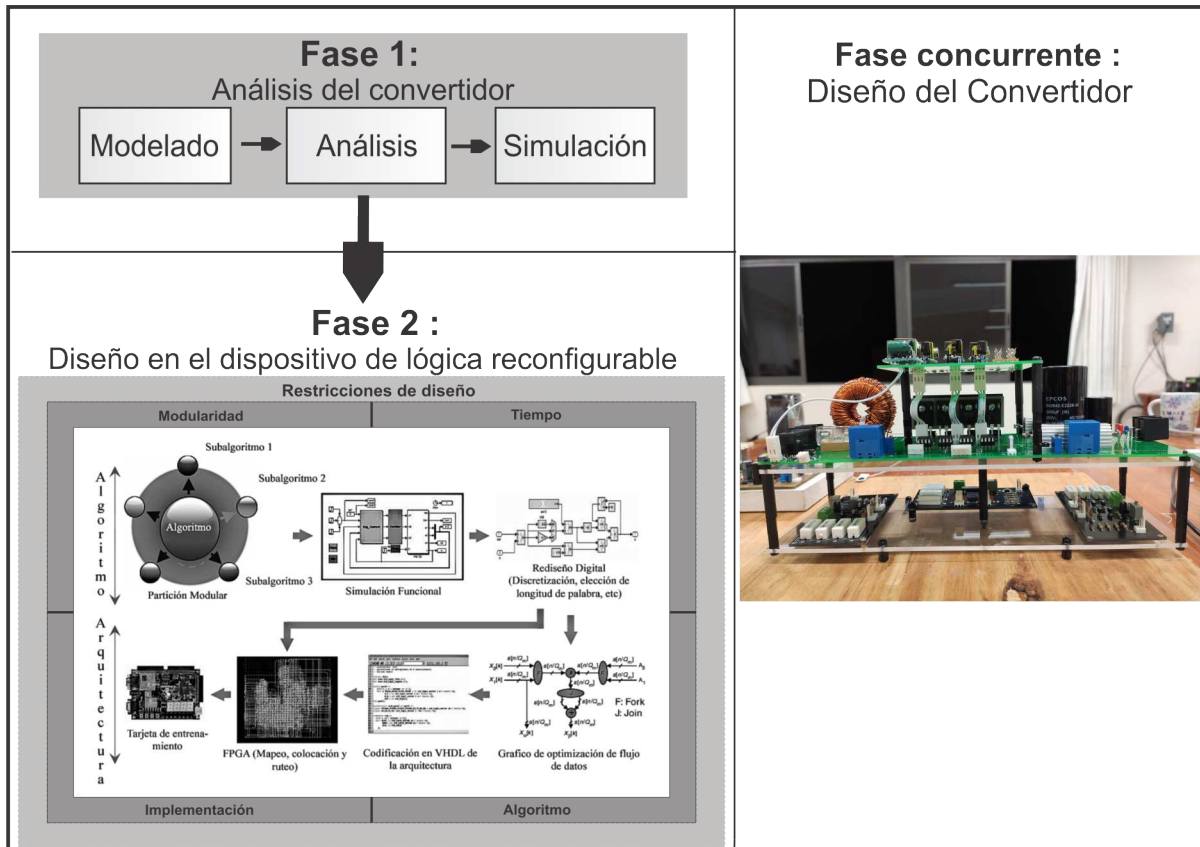


Figura 1.1: Fases de la metodología.

Simulación

En esta etapa se simulará el modelo matemático del sistema no lineal Rectificador Monofásico Activo-Motor de CD obtenido en forma continua en el tiempo, el controlador basado en pasividad y el algoritmo de enganche de fase SOGI-PLL. Para realizar esta tarea se utilizará el software PSIM.

1.8.2. Fase concurrente

Dimensionamiento y construcción de la planta

De manera paralela, durante esta fase se dimensionará y se construirá la plataforma hardware (Rectificador Monofásico Activo Motor de CD).

1.8.3. Fase 2

Para el diseño de la arquitectura en un FPGA se empleará la metodología propuesta por [28], adicionalmente se considerarán restricciones de diseño, para el rediseño digital de los algoritmos propuestos, a fin de respetar los límites inherentes a un FPGA de bajo costo.

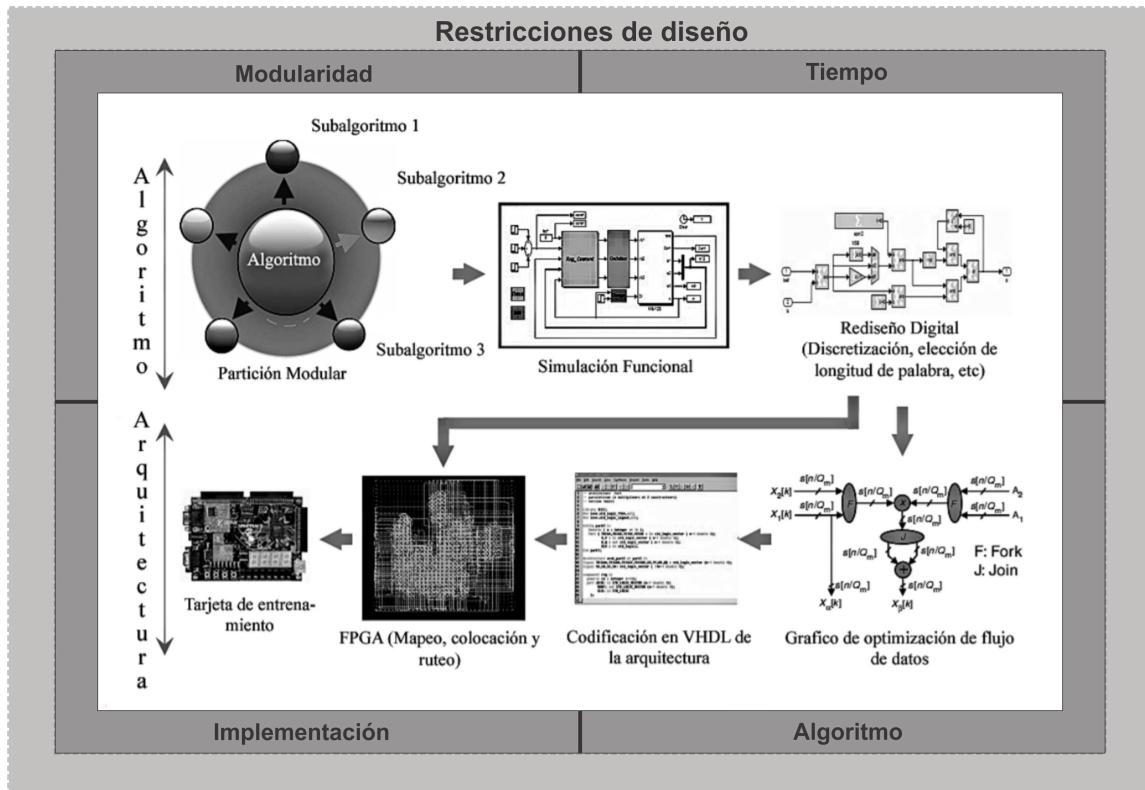


Figura 1.2: Metodología empleada para el diseño en FPGA.

Partición Modular

Este paso consiste en dividir los algoritmos en partes pequeñas llamados módulos, los cuales deben de ser sencillos y fáciles de manejar. En esta etapa se deben identificar y extraer respecto al concepto de jerarquía los módulos que sean independientes y puedan ser reutilizados.

Simulación funcional

En esta etapa se implementará el modelo funcional del PLL, ley de control, observador y estimador algebraico para validar el funcionamiento de los bloques mencionados, empleando el software PSIM.

Rediseño digital

Este paso incluye la elección del periodo de muestreo, la elección del formato de coeficientes y variables. El rediseño digital consistirá en re-diseñar los siguientes módulos: PLL, ley de control, observador y estimador algebraico en tiempo continuo mediante una técnica de discretización, para obtener una aproximación discreta de las ecuaciones que conforman los diferentes módulos mencionados anteriormente. Se empleará el formato de punto flotante IEEE-754-1985 para los coeficientes y variables, debido a que permite representar valores numéricos tan grandes como $(\pm 3,4 \times 10^{38})$ y tan pequeños como $(\pm 1,2 \times 10^{-38})$.

Restricciones de diseño a considerar

El objetivo principal de las restricciones de diseño es respetar los límites inherentes a un FPGA de bajo costo, para optimizar el proceso de desarrollo mediante la reutilización modular, la complejidad de los algoritmos a implementar, velocidad de procesamiento y tiempo de transferencia de datos.

■ Restricciones de tiempo

Una restricción fundamental de tiempo es la restricción offset, la cual define la relación de los datos de entrada y salida con el reloj del sistema. Esta restricción es importante porque especifica la interfaz de tiempo con componentes externos.

■ Restricciones de modularidad

Para optimizar el proceso de desarrollo, uno de los temas clave es cómo hacer que el diseño sea manejable y estructurado. Para lograr este objetivo, es esencial la reutilización de módulos y la regularidad que tiene que ver con maximizar el empleo de módulos que se utilizaran nuevamente.

- **Restricciones del algoritmo**

La complejidad del algoritmo es una de las principales limitaciones. El nivel de esta complejidad está vinculado con los detalles incluidos en el modelo matemático de los diferentes módulos, la forma en que se realiza la discretización del modelo matemático y cómo se representaran las variables y coeficientes. Además, se debe considerar la precisión del modelo.

- **Restricciones de implementación en FPGA**

La velocidad de computación en el FPGA depende de la frecuencia de reloj del dispositivo. La latencia está muy ligada con el diseño de la arquitectura y la propagación de retrasos entre los operadores aritméticos. Para reducir el tiempo de computación, se tiene que optimizar el uso de recursos internos y en consecuencia eliminar el problema de tiempo/área, para garantizar un bajo costo de recursos en el FPGA. El objetivo de esta restricción es la reducción de recursos de hardware mediante la factorización de operadores pesados (multiplicadores), respecto al límite de tiempo de cálculo.

Gráfico de optimización del flujo de datos

En este paso se modelará el flujo de datos del algoritmo para su optimización en términos de tiempo y área. Se obtendrá una representación gráfica de los módulos.

Codificación en HDL

Consiste en la transcripción del gráfico de flujo de datos a código. Los módulos que intervienen en el PLL, serán modelados usando el lenguaje VHDL (VHDL, *Very High Hardware Description Language*), los módulos aritméticos serán generados con la herramienta *Xilinx Core Generator*.

Capítulo 2

Marco Teórico.

En este capítulo se realiza la mención de algunos conceptos importantes sobre el rectificador monofásico activo y su método de sincronización con la red eléctrica utilizado para este trabajo, adicionalmente se realiza la mención de conceptos de la teoría de control para la técnica de control empleada en este trabajo. En este capítulo se busca proveer de sustento teórico al diseño del controlador.

2.1. Método de accionamiento para el motor CD de imanes permanentes

Los campos magnéticos del estátor de un motor CD de imanes permanentes son generados mediante imanes que no requieren fuente de alimentación externa y por lo tanto no producen un calentamiento. Son más ligeros y pequeños en comparación con otros motores de CD con algunas características equivalentes, ya que la intensidad del campo del imán permanente es alta. La velocidad angular de un motor CD de imanes permanentes es directamente proporcional al voltaje de armadura del mismo, por ello se consigue regular la velocidad angular variando apropiadamente el voltaje en terminales de armadura del motor.

En relación a la manera indirecta de variar la velocidad del motor por medio de la variación del voltaje en las terminales de armadura del motor CD, los convertidores de potencia

son dispositivos electrónicos capaces de alterar las características de voltaje y corriente por lo que permitirán realizar dicha variación fácilmente. Las aplicaciones típicas de los convertidores son, la conversión de Corriente Alterna (CA) en Corriente Directa (CD), la conversión de CD a CA, la conversión de una determinada amplitud de voltaje en CD a otro nivel de amplitud de voltaje en CD y la conversión de CA con una determinada amplitud y frecuencia en otra amplitud y frecuencia distinta. Según lo mencionado anteriormente se establecen cuatro esquemas de conversión:

- **Convertidores CA-CD:** Es un circuito que tiene la capacidad de convertir corriente alterna en corriente directa, transformando así una corriente bidireccional a una unidireccional.
- **Convertidores CD-CD:** Es un circuito de potencia que transforma corriente directa de una magnitud de voltaje a otra.
- **Convertidores CD-CA:** Es un circuito con la capacidad de cambiar un voltaje de corriente directa a un voltaje de corriente alterna simétrico, procurando que este posea la magnitud y frecuencia deseada por el diseñador.
- **Convertidores CA-CA:** Es un tipo de circuito que, a partir de una magnitud de voltaje en corriente alterna, produce en la salida una magnitud también en alterna pero con características distintas, sea en magnitud, frecuencia o ambas.

Una de las tantas aplicaciones para los convertidores de potencia es generar movimiento mediante el diseño de drivers para motores de CA o CD. Los motores de CD se han beneficiado ya que el diseño de sus drivers se basa en convertidores electrónicos de potencia [29]. Por lo tanto, de acuerdo con la literatura relacionada, los drivers basados en convertidores de potencia para motores de CD se pueden dividir en dos grupos: (a) motores CD accionados por convertidores de potencia CD/CD y (b) motores CD accionados por convertidores de potencia CA/CD.

- **Accionados por convertidores de potencia CD/CD:** los motores de CD son impulsados principalmente por un convertidor de potencia CD-CD como topología

Chopper, Buck, Boost, Buck-Boost y puente H, los cuales requieren una fuente de alimentación en CD [30, 31, 32, 33, 34].

- **Accionados por convertidores de potencia CA/CD:** los motores de CD también son impulsados por rectificadores del tipo pasivo o activo. La aplicación típica de los rectificadores son los sistemas de accionamiento de motores eléctricos, principalmente los sistemas basados en motores de CD [12, 13].

Dicho lo anterior, el presente trabajo solo tratará específicamente sobre el rectificador del tipo monofásico activo, el cual se establece dentro del grupo de los convertidores CA-CD. El objetivo principal es utilizar dicho convertidor de potencia como fuente de voltaje en CD para impulsar el motor CD, puesto que la velocidad angular del motor es directamente proporcional al voltaje de armadura del mismo y una de las características más importantes del rectificador monofásico activo es la regulación de la magnitud del voltaje en CD, como se menciona a continuación.

2.1.1. Rectificador monofásico activo

La topología del Rectificador Monofásico Activo (RMA), se puede comportar como un rectificador o inversor, en función del sentido que tenga el flujo de la potencia. Por tanto, se trata de una estructura totalmente bi-direccional. Cuando la transferencia de potencia se presenta de la red eléctrica al bus de corriente directa, reciben el nombre de rectificador activo, también reciben el nombre de Pre-compensadores de factor de potencia, ya que mejora el factor de potencia del rectificador por medio de una alineación de la corriente y voltaje de entrada. Adicionalmente, el RMA puede regular el voltaje de salida a un nivel constante deseado. Otro rasgo, característico de un RMA, es que está compuesto por dos o cuatro interruptores con la capacidad de ser activados por compuerta, como se muestra en la Figura 2.1. La capacidad de interrupción que tiene los dispositivos semi-conductores de potencia controlados por compuerta como IGBT o MOSFET permite el control total del rectificador, debido a que, los interruptores se pueden encender y apagar cuando se requiera, por lo cual, esto permite la conmutación de los interruptores cientos de veces en

un período, cualidad que es imposible para los rectificadores pasivos. Las características principales del rectificador monofásico activo son las siguientes:

- Menor rizo de corriente en el bus de CD.
- Regulación de la magnitud del voltaje en el bus de CD.
- Menor contenido armónico.
- Factor de potencia cercano a la unidad.
- Flujo de potencia bidireccional

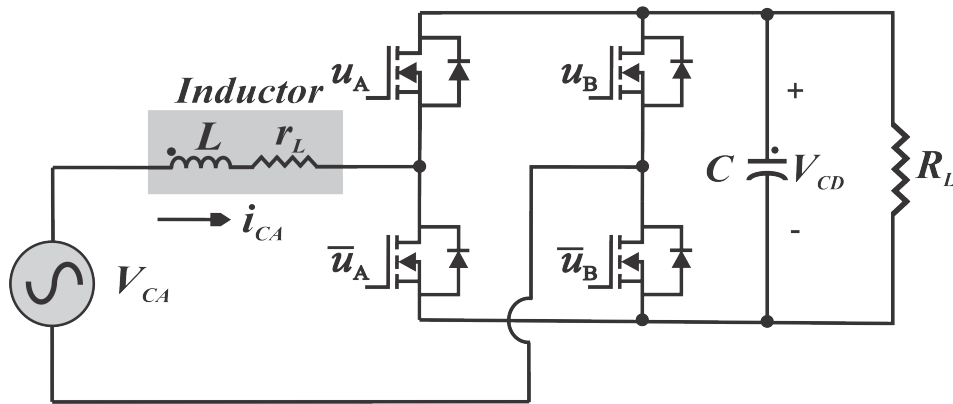


Figura 2.1: Rectificador monofásico activo.

Modelo promedio del rectificador monofásico activo

Considerando el circuito eléctrico mostrado en la Figura 2.1, y a través de las leyes de voltaje y corriente de Kirchhoff se obtiene el modelo promedio del sistema RMA con carga resistiva:

$$\begin{aligned} L \frac{di_{CA}}{dt} &= r_L i_{CA} - V_{CD} u_{av} + V_{CA} \\ C \frac{dV_{CD}}{dt} &= i_{CA} u_{av} - \left(\frac{1}{R_L} \right) V_{CD} \end{aligned} \quad (2.1)$$

donde, i_{CA} es la corriente de entrada (CA) que circula por el inductor, r_L es la resistencia serie parásita del inductor, $V_{CA} = E \sin(\omega_n t)$ es el voltaje de entrada en CA, u_{av} es la entrada de control promedio acotada en el intervalo $[1, -1]$, V_{CD} es el voltaje de salida en CD del RMA, R_L es la resistencia de carga del convertidor.

2.1.2. Método de sincronización para el rectificador monofásico activo

El sistema RMA debe de estar acompañado de un sistema de sincronización con la red eléctrica, puesto que es un sistema interconectado a la red. Como ya se mencionó en el capítulo anterior, existen el método de sincronización en lazo abierto y lazo cerrado, de acuerdo a la investigación realizada, se seleccionó el método de sincronización en lazo cerrado, por ello se seleccionó el algoritmo de lazo de enganche de fase SOGI-PLL (Figura. 2.11) mencionado en la sección 2.2, ya que, permite el filtrado de la señal de entrada sin presentar retraso en el ángulo de fase, es adaptativo ante variaciones de frecuencia [35], tiene resistencia suficiente ante distorsión armónica en la señal de entrada y es fácil de implementar [36].

Por otra parte, en [37] se reporta la implementación en FPGA de los siguientes algoritmos de enganche de fase: TD-PLL, 2Sc-PLL, SOGI-PLL, IPT-PLL, HT-PLL, 2Sv-PLL y LKF1-PLL, y se realiza una comparativa desde dos perspectivas: la primera a nivel de funcionalidad en términos de robustez ante una entrada con contenido armónico y la segunda en términos de consumo de recursos lógicos para la implementación en FPGA. En conclusión, el SOGI-PLL tiene una mayor inmunidad a los armónicos de baja frecuencia, en coherencia con los resultados de simulación.

2.2. Algoritmo de lazo de enganche de fase

Los lazos de enganche de fase se han utilizado en circuitos de comunicación desde 1937. Su uso se vio restringido por décadas en ámbitos militares y de investigación científica, debido a su complejidad y alto costo de producción. Fue hasta 1960 que la tecnología CMOS pudo integrar en un solo chip toda la circuitería de un sistema PLL completo [38], por lo que su implementación comenzó a ser cada vez más común. En comunicaciones, por ejemplo, se aplicó para compensar las variaciones de frecuencia que sufrían las transmisiones de los satélites debido a la inestabilidad de los componentes y el efecto Doppler [39]. Así mismo se implementó en aplicaciones militares y el control de corriente continua de alto voltaje.

2.2.1. Lazo de enganche de fase para un sistema en electrónica de potencia

El lazo de enganche de fase o PLL es un sistema de lazo cerrado, en el que se controla un oscilador interno para generar una señal sinusoidal, cuya fase está siguiendo coherentemente a la del componente principal de la señal de entrada. De esta manera proporciona una referencia estable y precisa para la sincronización, control, detección y estimación de señales en sistemas de electrónica de potencia [1]. Para ilustrar mejor el funcionamiento de un PLL se comenta la siguiente situación de manera coloquial: por lo general, programamos nuestras actividades diarias de acuerdo con las señales proporcionadas por algún reloj. Cuando viajamos a otro país, experimentamos una especie de “salto de fase” y la primer cosa que hacemos habitualmente, al llegar al nuevo lugar, es ajustar nuestro reloj a la nueva hora local para que podamos seguir correctamente el ritmo diario de nuestra vida [2]. De igual modo podemos asociar la señal proporcionada por el reloj, como la señal sinusoidal cuya fase está siguiendo coherentemente a la hora local del lugar. Cuando experimentamos un cambio de zona horaria, nosotros representamos al PLL, teniendo en cuenta, que habitualmente al llegar a la nueva zona horaria ajustamos nuestro reloj a la nueva hora local.

2.2.2. Estructura básica de un PLL

La estructura básica de un PLL esta conformada por tres bloques, como se muestra en la Figura 2.2.

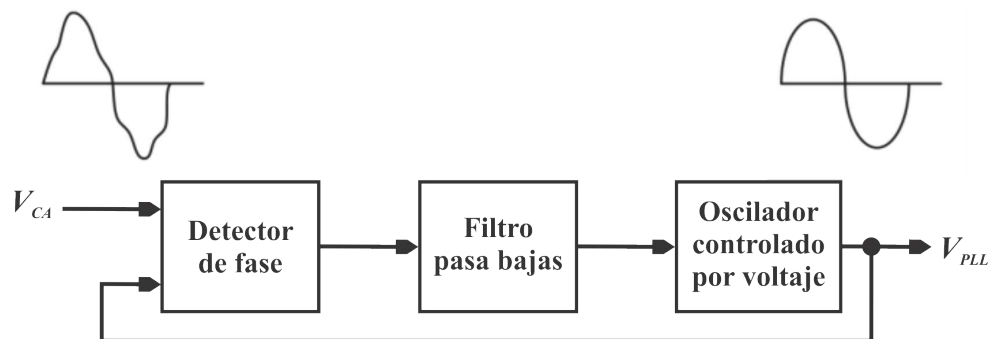


Figura 2.2: Estructura básica de un PLL [1].

- Detector de fase (DF). Este bloque genera una señal de salida proporcional a la diferencia de fase entre la señal de entrada V_{CA} y la señal generada por el oscilador interno del PLL V_{PLL} .
- Filtro pasa bajas. Este bloque presenta un filtro pasa bajas para atenuar altas frecuencias en CA de la salida del DF. Típicamente, este bloque está constituido por un filtro pasa bajas de primer orden o un controlador PI.
- Oscilador controlado por voltaje (OCV). Este bloque genera una señal de CA cuya frecuencia está desfasada respecto a una frecuencia de referencia ω_c , en función del voltaje de entrada proporcionado por el filtro.

2.2.3. Ecuaciones básicas de un PLL

El diagrama a bloques del PLL es mostrado en la Figura 2.3. En este caso, el DF es implementado mediante un multiplicador, el filtro pasa bajas está basado en un controlador PI y el OCV está conformado por una función sinusoidal suministrada por un integrador. La señal de entrada para este sistema está dada por la siguiente expresión [2]:

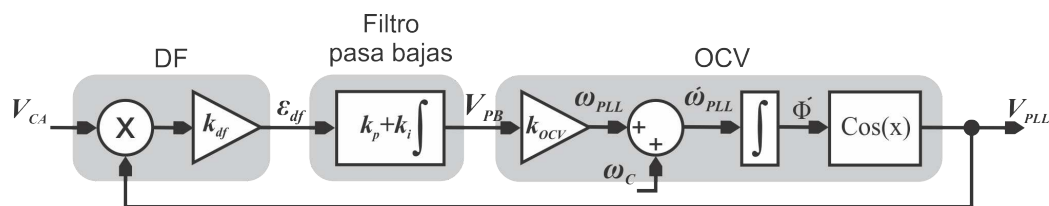


Figura 2.3: Diagrama de bloques de la estructura básica de un PLL. [2]

$$V_{CA} = E \sin(\omega_n t + \Phi) \quad (2.2)$$

donde, E es un valor pico y Φ es el ángulo de fase. Mientras que la señal generada por el OCV está dada por:

$$V_{PLL} = E \cos(\omega_n t + \hat{\Phi}) \quad (2.3)$$

La señal del error de fase (ε_{df}) proveniente de la salida DF del multiplicador, se puede escribir como:

$$\begin{aligned}\varepsilon_{df} &= Ek_{df} \text{sen}(\omega_n t + \Phi) \text{cos}(\dot{\omega}_n t + \dot{\Phi}) \\ &= \frac{Ek_{df}}{2} \left[\underbrace{\text{sen}((\omega_n - \dot{\omega}_n)t + (\Phi - \dot{\Phi}))}_{\text{componente de baja frecuencia}} + \underbrace{\text{sen}((\omega_n + \dot{\omega}_n)t + (\Phi + \dot{\Phi}))}_{\text{componente de alta frecuencia}} \right]\end{aligned}\quad (2.4)$$

dado que, el filtro pasa bajas anulará los componentes de alta frecuencia de la señal del error de DF, de ahora en adelante solo se considerará el término de baja frecuencia. Por lo tanto, la señal de error DF consiste en el siguiente análisis:

$$\dot{\varepsilon}_{df} = \frac{Ek_{df}}{2} \left[\text{sen}(\omega_n + \dot{\omega}_n)t + (\Phi + \dot{\Phi}) \right]\quad (2.5)$$

suponiendo que, el OCV está en fase con la frecuencia de entrada, es decir $\omega \approx \dot{\omega}$, el término de CD del error de fase está dado por la siguiente expresión:

$$\dot{\varepsilon}_{df} = \frac{Ek_{df}}{2} \left[\text{sen}(\Phi + \dot{\Phi}) \right]\quad (2.6)$$

Se puede observar en la ecuación (2.6) que el multiplicador DF produce una detección de fase no-lineal debido a la función seno. Sin embargo cuando el error es muy pequeño, es decir $\Phi \approx \dot{\Phi}$, la salida del multiplicador DF se puede linealizar alrededor de un punto de equilibrio, por lo tanto la señal del error de fase viene dada por:

$$\text{sen}(\Phi + \dot{\Phi}) \approx \Phi + \dot{\Phi}\quad (2.7)$$

re-escribiendo la ecuación (2.6) se tiene:

$$\dot{\varepsilon}_{df} = \frac{Ek_{df}}{2} (\Phi + \dot{\Phi})\quad (2.8)$$

la ecuación (2.8) se puede utilizar para la implementación de un modelo linealizado de una señal pequeña del multiplicador DF. En el estado de bloqueo, este modelo representa un bloque de orden cero cuya ganancia depende de la amplitud de la señal de entrada. La frecuencia promedio de OCV está determinada por la ecuación (2.9):

$$\dot{\omega} = (\omega_c + \Delta\dot{\omega}) = (\omega_c + k_{ocv}\bar{V}_{PB})\quad (2.9)$$

donde, ω_c es la frecuencia central de OCV y se suministra al PLL como un parámetro de avance que depende del rango de frecuencia a detectar. Por lo tanto, las pequeñas variaciones de la señal de OCV están dadas por:

$$\tilde{\omega} = k_{ocv}\tilde{V}_{PB}\quad (2.10)$$

las variaciones del ángulo de fase, detectadas por el PLL se pueden escribir como:

$$\bar{\Phi}_t = \int \tilde{\omega} dt = \int k_{ocv} \tilde{V}_{PB} \quad (2.11)$$

2.3. Lazo de enganche de fase SOGI-PLL

2.3.1. Generador de señal de cuadratura (SOGI-QSG)

La Figura 2.4 muestra el diagrama a bloques del integrador de segundo orden generalizado (SOGI, por sus siglas en inglés). Este modelo está descrito por las ecuaciones (2.12) y (2.13), donde ω_o es la frecuencia resonante del SOGI, $U_{(s)}$ es el voltaje sinusoidal de entrada, $Y_{(s)}$ y $\dot{Y}_{(s)}$ son las dos señales de salida generadas, estas salidas son ortogonales, dicho de otra manera están desplazadas 90° debido a que la frecuencia resonante ω_o permanece en línea con la frecuencia del voltaje de entrada $U_{(s)}$. Las propiedades del SOGI resultan de los polos conjugados $\pm j\omega_o$ ubicados en el semi-plano izquierdo. Por otro lado, los diagramas de Bode del SOGI (Figura.2.5) muestran una ganancia infinita para la frecuencia resonante. La confirmación de ese hecho, es la respuesta en el tiempo de una señal periódica con frecuencia igual a la frecuencia resonante presentada en la Figura.2.6.

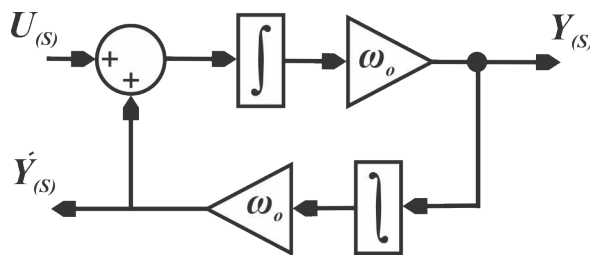


Figura 2.4: Integrador de segundo orden generalizado.

$$\frac{Y_{(s)}}{U_{(s)}} = \frac{\omega_o S}{S^2 + \omega_o^2} \quad (2.12)$$

$$\frac{\dot{Y}_{(s)}}{U_{(s)}} = \frac{\omega_o S}{S^2 + \omega_o^2} \quad (2.13)$$

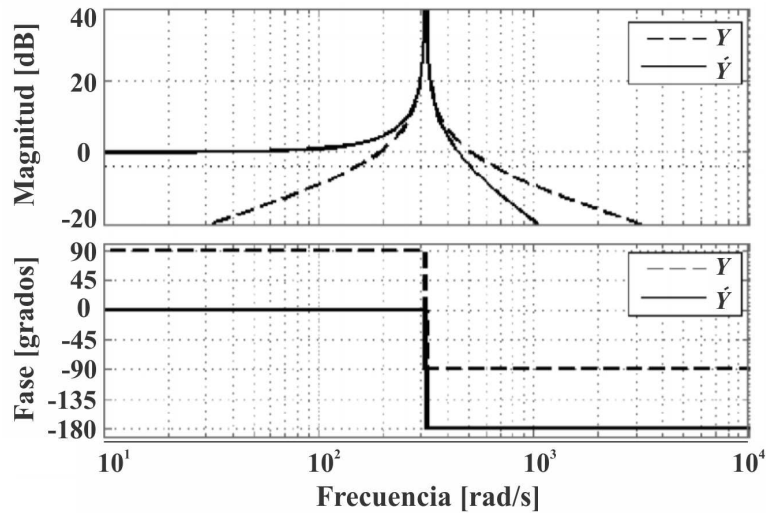


Figura 2.5: Diagrama de Bode del SOGI en el dominio del tiempo continuo [3].

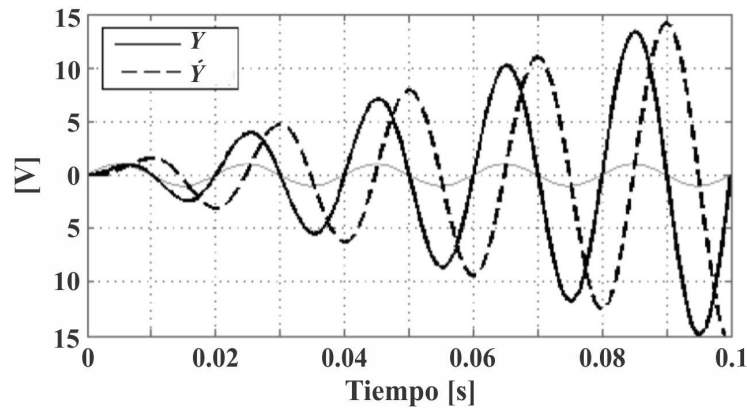


Figura 2.6: Respuesta escalón del SOGI [3].

Retroalimentación del SOGI

La presencia de resonancia en la estructura del SOGI provoca un crecimiento continuo en la amplitud de las señales de salida $Y_{(s)}$ y $\dot{Y}_{(s)}$. Cuando la señal $U_{(s)}$ es procesada por el SOGI en un sistema digital, existe un problema con el desbordamiento de variables dedicadas. Para evitar esto, la estructura se cierra con la retroalimentación en lazo cerrado de la señal de salida $Y_{(s)}$ como se muestra en la Figura.2.7. Como resultado, las funciones de transferencia del SOGI toman la siguiente forma para la ecuación (2.14) de la salida directa y (2.15) para salida ortogonal.

$$\frac{Y_{(s)}}{U_{(s)}} = \frac{K_{SOGI}\omega_o S}{S^2 + K_{SOGI}\omega_o S + \omega_o^2} \quad (2.14)$$

$$\frac{\dot{Y}(s)}{U(s)} = \frac{\omega_o S}{S^2 + K_{SOGI}\omega_o S + \omega_o^2} \quad (2.15)$$

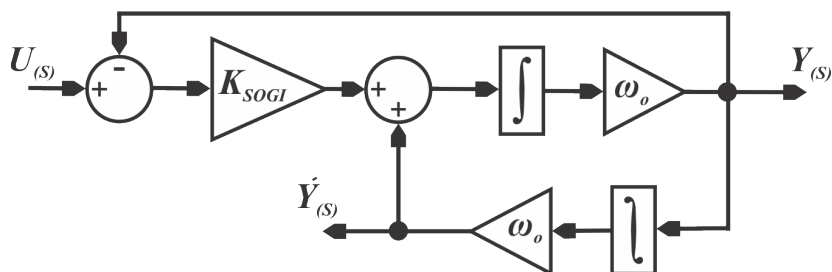


Figura 2.7: SOGI-QSG.

Los diagramas de Bode muestran la naturaleza de la salida $Y(s)$ compatible con un filtro pasa bandas (ver Figura.2.8) y la naturaleza de la salida $\dot{Y}(s)$ como un filtro pasa bajas, que está desfasada 90° (ver Figura.2.9). La estructura del SOGI con la extensión de la retroalimentación en lazo cerrado se define como un integrador de segundo orden generalizado generador de señal de cuadratura (SOGI-QSG, por sus siglas en inglés). El parámetro K_{SOGI} amplifica la señal de error, el cual afecta el ancho de banda del filtro y la respuesta transitoria. La elección del parámetro K_{SOGI} requiere un compromiso entre un buen filtrado de señal y una buena respuesta en su dinámica (ver Figura.2.10).

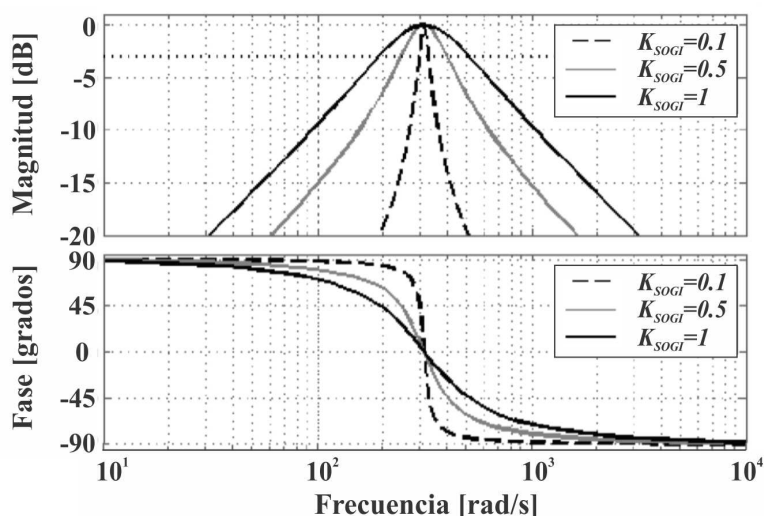


Figura 2.8: Diagrama de Bode de salida compatible $Y(s)$ del SOGI-QSG en el dominio del tiempo [3].

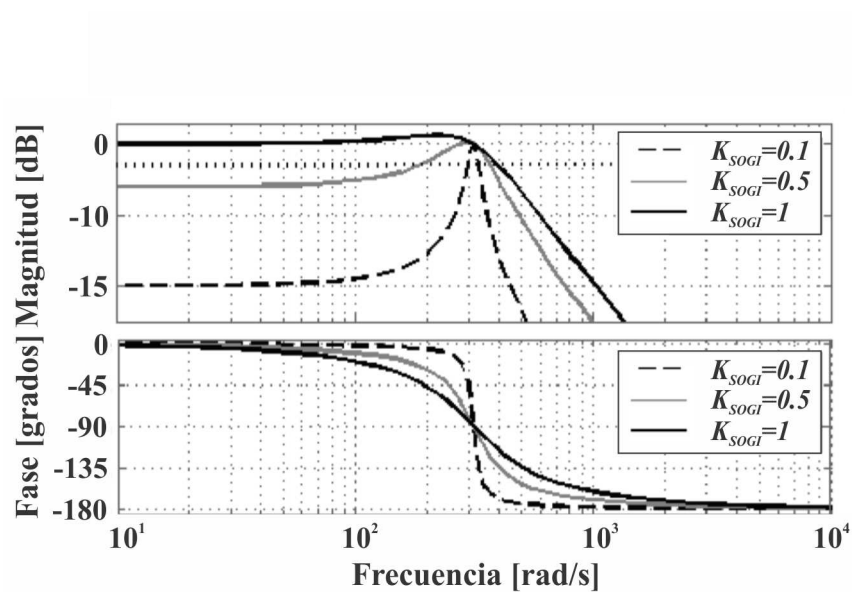


Figura 2.9: Diagrama de Bode de salida compatible $\hat{Y}(s)$ del SOGI-QSG en el dominio del tiempo [3].

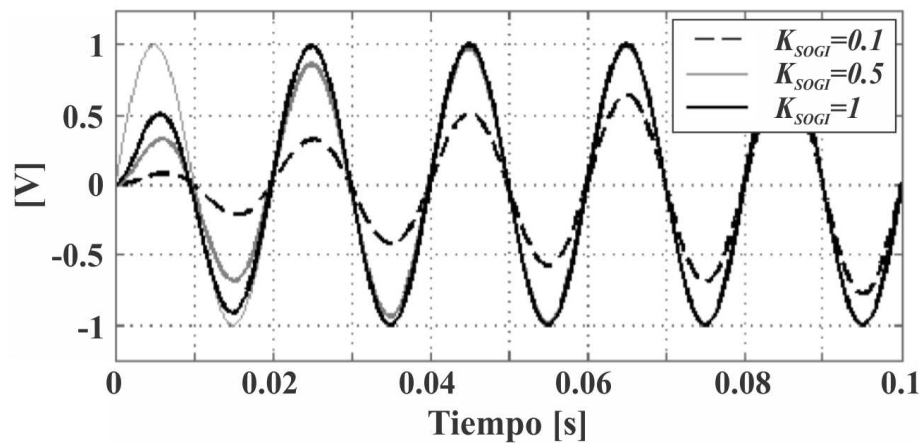


Figura 2.10: Respuesta escalón del SOGI-QSG [3].

La estructura del SOGI-QSG, mostrado anteriormente es adecuada para su aplicación en sistemas de lazo cerrado de enganche de fase, particularmente para rastrear la forma de onda del voltaje en CA, dado que, naturalmente se comporta como un filtro pasa bajas y pasa bandas.

2.3.2. SOGI-PLL

El algoritmo de lazo de enganche de fase SOGI-PLL como es conocido en la literatura [40], se utiliza tanto para sistemas monofásicos como trifásicos. Las ventajas del SOGI-PLL son una implementación simple y poca sensibilidad a la distorsión armónica. El diagrama de bloques del SOGI-PLL se muestra en la Figura 2.11.

A diferencia de la estructura básica de un PLL, el SOGI-PLL sustituye las funciones trigonométricas del DF por la estructura SOGI-QSG, de donde resulta la resistencia a la interferencia de la sincronización con señales de salida V_α y V_β . La transformada de Park es usada para transformar las señales V_α y V_β en el marco de referencia estático al marco de referencia rotatorio dq , mediante la ecuación (2.16), donde el vector V_q contiene la información de la frecuencia y ángulo del fase de la señal de entrada V_{CA} .

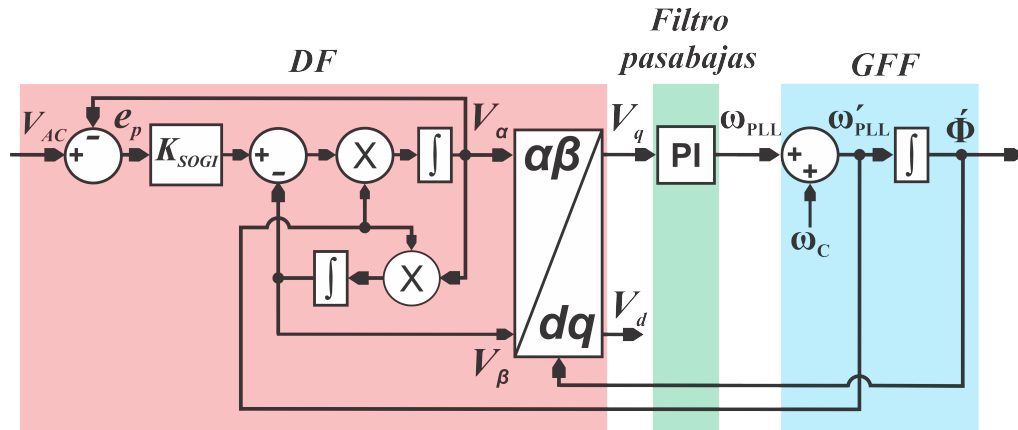


Figura 2.11: SOGI-PLL.

$$\begin{bmatrix} V_d \\ V_q \end{bmatrix} = \begin{bmatrix} \cos\phi & \sin\phi \\ -\sin\phi & \cos\phi \end{bmatrix} \begin{bmatrix} V_\alpha \\ V_\beta \end{bmatrix} \quad (2.16)$$

De manera semejante, a la estructura básica de un PLL (Figura 2.3), el SOGI-PLL cuenta con un filtro pasa bajas (Controlador PI) para minimizar los componentes de alta frecuencia del vector V_q . Además, el OCV contiene un doble lazo de retroalimentación; es decir un Generador de Fase / Frecuencia (GFF) el cual proporciona el ángulo de fase a la transformada de Park, como la frecuencia central al SOGI-QSG [2].

2.4. Técnicas avanzadas de control implementadas en FPGA

El control digital de los sistemas de conversión de energía es uno de los temas de investigación actuales más interesantes en electrónica de potencia. Aunque la mayoría de los controladores digitales en esta área todavía se basan en microcontroladores o DSP, estas soluciones tienen dos inconvenientes principales: relacionados con los tiempos de ejecución de los algoritmos de control y la falta de flexibilidad para interactuar con el entorno analógico (ADC y DAC) [14].

En [14], se reporta el uso de FPGA para la implementación de técnicas de control: en primer lugar, se menciona la implementación de un observador para la estimación de la carga en baterías de polímero de litio, con el objetivo de lograr una operación en tiempo real, además, se aprovecha la concurrencia del FPGA para administrar individualmente cada una de las celdas de un paquete de baterías. En segunda instancia, un sistema basado en FPGA se usa tanto para el control como para la detección de fallas en línea en un convertidor de potencia. En ausencia de fallas, funciona como un convertidor convencional. De manera semejante se propone el control de corriente de un inversor trifásico, donde el PLL de sincronización de red se implementa en un DSP y el control de corriente en un FPGA [41].

En [42], se presenta un control de seguimiento directo de voltaje para el inversor monofásico de cinco niveles, el control se basa en la técnica GPI. La implementación del controlador se hace a través de una tarjeta FPGA. Los beneficios prácticos que ofrece el control son: robustez del voltaje de salida ante cambios súbitos de carga del tipo lineal y no lineal, bajo contenido armónico de voltaje y de corriente en la carga.

De manera similar en [43] se presenta el control para la regulación del voltaje de salida de un convertidor CD-CD tipo reductor, el control se basa en la técnica GPI. Las características del desempeño que exhibe el controlador GPI en lazo cerrado son: rápida respuesta estática y dinámica ante una excitación constante, sobretiro porcentual menor al 2%, tiempo de establecimiento corto, rápida recuperación de la señal de referencia ante perturbaciones del tipo constante y rampa desconocidas.

Por otra parte, se reporta en [44] un esquema simple para equilibrar los voltajes de los condensadores de un inversor trifásico en cascada de cinco niveles, para alimentar un motor de inducción mediante el uso de circuitos lógicos. El uso de un FPGA está restringido cuando se requiere una cantidad considerable de señales PWM, por ejemplo, se utiliza para generar 16 señales PWM para el control del inversor multinivel.

El trabajo reportado en [20], presenta el diseño y la implementación en FPGA de un controlador robusto basado en pasividad, para el rectificador monofásico activo multinivel sin transformador. En este trabajo realizan la implementación de un estimador algebraico en línea, un algoritmo de enganche de fase y PWM multinivel en un solo chip. El procesamiento en paralelo proporcionado por estos dispositivos y la capacidad en el diseño de módulos personalizados, permiten optimizar la descripción del hardware y obtener un tiempo de actualización para la ley de control de 9.683 microsegundos.

2.5. Control por retroalimentación de la salida pasiva de la dinámica del error exacto

Explotando la estructura del manejo de la energía de la dinámica del error, la cual puede colocar en la forma Hamiltoniana generalizada, e identificando la salida pasiva asociada con la dinámica del error de estabilización, se puede obtener un controlador de retroalimentación lineal, invariante en el tiempo, que genera el punto de equilibrio deseado semi-globalmente asintóticamente estable para el circuito en lazo cerrado, siempre que se satisfice la condición de disipación [25].

Considerando el modelo general de un convertidor CD/CD normalizado en la forma canónica General Hamiltoniana (ver [45]):

$$\dot{x} = \mathcal{J}(u_{av}) \frac{\partial H}{\partial x} - \mathcal{R} \frac{\partial H}{\partial x} + bu_{av} + \varepsilon \quad (2.17)$$

donde, $H(x)$ es la energía total almacenada dada por la forma cuadrática $H(x) = \frac{1}{2}x^T x$, el término $\partial H/\partial x = x$. La matriz $\mathcal{J}(u_{av})$ es antisimétrica, la matriz \mathcal{R} es simétrica y semi-definida positiva, b es un vector constante y ε es un vector constante que contiene

a la fuente de alimentación principal del convertidor. Algunas propiedades fundamentales del modelo común en todos los convertidores no-lineales:

- La matriz $\mathcal{J}(u_{av})$, cumple con ser antisimétrica dependiente de las entradas de control promedio u_{av} . Entonces $\mathcal{J}(u_{av})$ satisface para cualquier \bar{u} la siguiente aproximación lineal exacta:

$$\mathcal{J}(u_{av}) = \mathcal{J}(\bar{u}) + \left. \frac{\partial \mathcal{J}(u_{av})}{\partial u_{av}} \right|_{u_{av}=\bar{u}} (u_{av} - \bar{u}) \quad (2.18)$$

debido a que la matriz $\mathcal{J}(u_{av})$ depende de u_{av} entonces la matriz $\partial \mathcal{J}(u_{av})/\partial u_{av}$ es una matriz antisimétrica constante.

- Bajo las condiciones de equilibrio, el sistema de ecuaciones se expresa de la forma:

$$\begin{aligned} 0 &= \mathcal{J}(\bar{u}) \left. \frac{\partial H}{\partial x} \right|_{x=\bar{x}} - \mathcal{R} \left. \frac{\partial H}{\partial x} \right|_{x=\bar{x}} + b\bar{u} + \varepsilon \\ 0 &= \mathcal{J}(\bar{u})\bar{x} - \mathcal{R}\bar{x} + b\bar{u} + \varepsilon \end{aligned} \quad (2.19)$$

donde, \bar{x} es un estado de equilibrio promedio constante correspondiente a la entrada de control promedio constante \bar{u} que satisface $\bar{u} \in [0, 1]$.

Definiendo el error de estabilización $e = x - \bar{x}$, $e_u = u_{av} - \bar{u}$. Teniendo en cuenta que:

$$e = x - \bar{x} = \frac{\partial H(x)}{\partial x} - \frac{\partial H(\bar{x})}{\partial \bar{x}} = \frac{\partial H(e)}{\partial e} \quad (2.20)$$

por lo tanto $\dot{e} = \dot{x}$. Se tiene la siguiente proposición:

Proposición 1 *la dinámica de error de estabilización satisface, sin aproximaciones, la siguiente dinámica:*

$$\dot{e} = \mathcal{J}(u_{av}) \frac{\partial H(e)}{\partial e} - \mathcal{R} \frac{\partial H(e)}{\partial e} + be_u + \left. \frac{\partial \mathcal{J}(u_{av})}{\partial (u_{av})} \frac{\partial H}{\partial x} \right|_{x=\bar{x}} e_u \quad (2.21)$$

simplificando la ecuación (2.21), se obtiene lo siguiente:

$$\dot{e} = \mathcal{J}(u_{av})e - \mathcal{R}e + \left[b + \frac{\partial \mathcal{J}(u_{av})}{\partial u_{av}} \bar{x} \right] e_u \quad (2.22)$$

la prueba se realiza mediante cálculo directo, sumando y restando las cantidades relacionadas con el equilibrio requerido,

$$\dot{e} = \mathcal{J}(u_{av}) \frac{\partial H(e)}{\partial e} - \mathcal{R} \frac{\partial H(e)}{\partial e} + be_u + \varepsilon + \mathcal{J}(u_{av}) \left. \frac{\partial H}{\partial x} \right|_{x=\bar{x}} - \mathcal{R} \left. \frac{\partial H}{\partial x} \right|_{x=\bar{x}} + b\bar{u} \quad (2.23)$$

usando las relaciones de equilibrio dadas en la ecuación (2.19), se tiene que la dinámica del error satisface:

$$\dot{e} = \mathcal{J}(u_{av}) \frac{\partial H(e)}{\partial e} - \mathcal{R} \frac{\partial H(e)}{\partial e} + be_u + [\mathcal{J}(u_{av}) - \mathcal{J}(\bar{u})] \frac{\partial H}{\partial x} \Big|_{x=\bar{x}} \quad (2.24)$$

sustituyendo la aproximación lineal obtenida en la ecuación (2.18) en la ecuación 2.24, se obtiene la expresión:

$$\dot{e} = \mathcal{J} \frac{\partial H(e)}{\partial e} - \mathcal{R} \frac{\partial H(e)}{\partial e} + be_u + \frac{\partial \mathcal{J}(u_{av})}{\partial u_{av}} \frac{\partial H}{\partial x} \Big|_{x=\bar{x}} e_u \quad (2.25)$$

simplificando la ecuación (2.25),

$$\dot{e} = \mathcal{J}(u_{av})e - \mathcal{R}e + \left[b + \frac{\partial \mathcal{J}(u_{av})}{\partial u_{av}} \bar{x} \right] e_u \quad (2.26)$$

las observaciones más importantes que se tienen de la dinámica del error son:

- El término $\mathcal{J}(u_{av})e = \mathcal{J}(u_{av}) \frac{\partial H(e)}{\partial e}$ es el único término no-lineal en la dinámica del error. Este termino pasa a ser conservativo, i.e., para toda u_{av} .

$$e^T \mathcal{J}(u_{av})e = \frac{\partial H(e)}{\partial e^T} \mathcal{J}(u_{av}) \frac{\partial H(e)}{\partial e} = 0, \quad \forall e \quad (2.27)$$

El término conservativo no contribuye en las propiedades de estabilidad del sistema en lazo cerrado para la entrada incremental $e_u = u - \bar{u}$.

- El termino $-\mathcal{R}e + be_u + \frac{\partial \mathcal{J}(u_{av})}{\partial u_{av}} \bar{x} e_u$, representa la dinámica del error restante, la cual coincide con la parte de linealización aproximada de la dinámica que es independiente de la matriz $\mathcal{J}(u_{av})$. En otras palabras, note que la linealización aproximada de la dinámica no-lineal,

$$\dot{x} = \mathcal{J}(u_{av}) \frac{\partial H}{\partial x} - \mathcal{R} \frac{\partial H}{\partial x} + bu_{av} + \varepsilon \quad (2.28)$$

alrededor del punto de equilibrio $x = \bar{x}$, $u_{av} = \bar{u}$, está dada por:

$$\dot{x}_\delta = \mathcal{J}(\bar{u})x_\delta - \mathcal{R}x_\delta + bu_\delta + \frac{\mathcal{J}(u_{av})}{\partial u_{av}} \bar{x} u_\delta \quad (2.29)$$

La ecuación (2.29) tiene los mismos tres términos en el lado derecho que la ecuación derivada de la dinámica del error exacto. Para esto, la validación de la equivalencia de $x_\delta = x - \bar{x}$ con e y $u_\delta = u_{av}$ con e_u . Se tiene el siguiente teorema.

Teorema 1 *Un controlador de retroalimentación incremental lineal, deducido sobre la base de la estabilización a cero del modelo promedio de linealización tangente del convertidor alrededor de un punto de equilibrio deseado, también estabiliza el sistema no lineal al equilibrio deseado a partir de cualquier condición inicial permisible. En otras palabras, la ley de control de retroalimentación linealizada, obtenida del modelo linealizado tangente, hace que el punto de equilibrio del convertidor no lineal sea semi-globalmente asintóticamente estable [25].*

La prueba, se basa en el desarrollo previo. Se propone la ley de control de realimentación incremental promedio,

$$e_u = u_\delta = -k^T e = -k^T x_\delta \quad (2.30)$$

se estabiliza localmente el sistema no-lineal gracias a la propiedad de ubicación de polos de la linealización aproximada del modelo promedio. Con k^T como un vector fila de ganancias retroalimentando los errores de estabilización del estado. La dinámica del sistema en lazo cerrado es dada por:

$$\begin{aligned} \dot{e} &= \mathcal{J}(u_{av})e - \mathcal{R}e - \left[b + \frac{\partial \mathcal{J}(u_{av})}{\partial u_{av}} \bar{x} \right] k^T e \\ \dot{e} &= \mathcal{J}(u_{av})e - \left[\mathcal{R} + \left(b + \frac{\partial \mathcal{J}(u_{av})}{\partial u_{av}} \right) k^T \right] e \end{aligned} \quad (2.31)$$

por simplicidad,

$$\mathcal{M} = \left[\mathcal{R} \left(b + \frac{\partial \mathcal{J}(u_{av})}{\partial u_{av}} \right) k^T \right] \quad (2.32)$$

la matriz \mathcal{M} tiene todos sus valores propios en la parte derecha del plano complejo. Note que \mathcal{M} no es simétrica o antisimétrica, sin embargo, puede ser escrita como:

$$\mathcal{M} = \mathcal{J}_M + \mathcal{R}_M \quad (2.33)$$

de la ecuación (2.33), \mathcal{J}_M es antisimétrica y \mathcal{R}_M es simétrica y definida positiva. El sistema en lazo cerrado es dado de la forma:

$$\dot{e} = [\mathcal{J}(u_{av}) - \mathcal{J}_M] e - [\mathcal{R} + \mathcal{R}_M] e \quad (2.34)$$

Es fácil identificar la estabilidad semi-global del sistema en lazo cerrado por la antisimetría de la matriz $\mathcal{J}(u_{av}) - \mathcal{J}_M$ para toda u_{av} , y la naturaleza positiva definida de la matriz

$\mathcal{R} + \mathcal{R}_M$. A partir de desarrollos lógico-matemáticos se prueba la estabilidad de los convertidores promedio no-lineales utilizando la retroalimentación de la salida incremental pasiva. Esta retroalimentación lineal simple también estabiliza semi-globalmente los modelos promedio de convertidores no-lineales. En la siguiente sección se presenta el modelo promedio del sistema rectificador monofásico motor CD y el desarrollo de un control para la regulación de velocidad angular basado en pasividad.

Capítulo 3

Fase 1

De acuerdo con la metodología propuesta en el capítulo 1, a continuación se desarrolla la Fase 1, la cual consiste en tres etapas relacionadas con el modelado, análisis y simulación de un esquema de control adaptable basado en la técnica de control por retroalimentación de la salida pasiva de la dinámica del error estático exacto (ESEDPOFC: por sus siglas en inglés *Exact Static Error Dynamics Passive Output Feedback Control*) para el sistema Rectificador Monofásico Activo Motor de CD (RMA-MCD). Los principales objetivos de control son la regulación de la velocidad angular del motor CD en caso de cambios repentinos de par de carga en su flecha, mientras se mantiene el factor de potencia a la entrada del rectificador activo. Para reducir los efectos provocados por el par de carga aplicado al eje del motor, se diseña un estimador algebraico en línea y un observador de orden reducido.

3.1. Modelado

3.1.1. Modelo promedio del sistema rectificador monofásico motor de CD

En la Figura 3.1 se presenta el circuito eléctrico del RMA-MCD. Con base en el circuito eléctrico de la Figura 3.1, aplicando las leyes de Kirchhoff y la segunda ley de Newton, se obtiene el modelo promedio del convertidor, mostrado en (3.1):

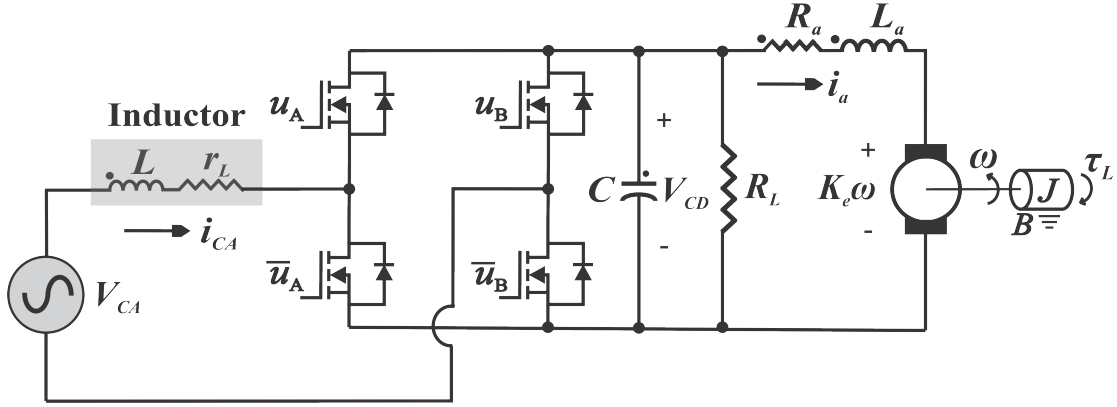


Figura 3.1: Sistema rectificador monofásico-motor CD.

$$\begin{aligned}
 L \frac{di_{CA}}{dt} &= r_L i_{CA} - V_{CD} u_{av} + V_{CA} \\
 C \frac{dV_{CD}}{dt} &= i_{CA} u_{av} - \left(\frac{1}{R_L} \right) V_{CD} - i_a \\
 L_a \frac{di_a}{dt} &= V_{CD} - R_a i_a - K \omega \\
 J \frac{d\omega}{dt} &= K i_a - B \omega - \tau_L
 \end{aligned} \tag{3.1}$$

donde, la fuente de alimentación principal se denota por $V_{CA} = E \sin(\omega t)$, i_{CA} es la corriente del inductor, r_L es la resistencia serie parásita del inductor, u_{av} es una señal continua escalar que indica la posición del interruptor tomando valores en el intervalo $[1, -1]$, V_{CD} es el voltaje de salida del rectificador, R_L es la resistencia de carga del convertidor, i_a es la corriente de armadura del motor, ω es la velocidad angular del motor y τ_L es el par de carga ejercido en el eje del motor, sin embargo, el par de carga no será constante por lo que se utilizará una técnica de estimación para obtenerlo. Se considera que los valores de las ganancias de K_e y K_t son iguales. Debido a la conversión de la energía electromecánica, la potencia mecánica producida por el motor es $K_t i_a \omega$ y la potencia absorbida por la fuerza electromotriz inducida es $K_e i_a \omega$, de ahí que, la energía eléctrica se convierte en energía mecánica. Por lo tanto, mediante la ley de conservación de la energía, las constantes K_e y K_t son equivalentes, por lo tanto, de ahora en adelante K_e y K_t serán tratadas como K de manera indistinta.

3.2. Análisis

3.2.1. El sistema rectificador monofásico-motor CD visto como un sistema pasivo

De acuerdo a la metodología propuesta, se deben verificar las propiedades del modelo dinámico del sistema RMA-MDC, para este caso, que el sistema sea pasivo disipativo. Dicho lo anterior, el modelo no lineal descrito en (3.1), se representa como un sistema *pasivo – disipativo* en forma matricial (ver [25]), de la siguiente forma:

$$D\dot{x} = \mathcal{J}(u_{av})x - \mathcal{R}x + \varepsilon \quad (3.2)$$

donde, la matriz $D = D^T > 0$, es una matriz diagonal definida positiva constante, $x = (i_{CA}, V_{CD}, i_a, \omega) \in \mathbb{R}^4$ es el vector de estados, $\mathcal{J}(u_{av}) \in \mathbb{R}^{4 \times 4}$, es antisimétrica, es decir $\mathcal{J}(u_{av}) + \mathcal{J}^T(u_{av}) = [0]$ y se le conoce como la matriz no disipativa (o conservativa), $\mathcal{R} \in \mathbb{R}^{4 \times 4}$ es la matriz disipativa que cumple con ser simétrica y semi-definida positiva, esto es $\mathcal{R} = \mathcal{R}^T \geq 0$ y ε es un vector de entradas externas, el cual es anulado para este caso en particular considerando que $\tau_L = 0$. Con respecto a la matriz conservativa, la matriz disipativa y el vector ε , en el caso del sistema rectificador monofásico-motor CD, están dados como:

$$D = \begin{bmatrix} L & 0 & 0 & 0 \\ 0 & C & 0 & 0 \\ 0 & 0 & L_a & 0 \\ 0 & 0 & 0 & J \end{bmatrix} \quad (3.3)$$

$$\mathcal{J}(u_{av}) = \begin{bmatrix} 0 & -u_{av} & 0 & 0 \\ u_{av} & 0 & -1 & 0 \\ 0 & 1 & 0 & -K \\ 0 & 0 & K & 0 \end{bmatrix} \quad (3.4)$$

$$\mathcal{R} = \begin{bmatrix} r_L & 0 & 0 & 0 \\ 0 & \frac{1}{R_L} & 0 & 0 \\ 0 & 0 & R_a & 0 \\ 0 & 0 & 0 & B \end{bmatrix} \quad (3.5)$$

$$\varepsilon = \begin{bmatrix} 0 \\ 0 \\ 0 \\ -\tau_L \end{bmatrix} \quad (3.6)$$

Para verificar que el sistema sea pasivo, primero se debe demostrar que es disipativo. Por lo tanto, hacemos uso de las siguientes definiciones de [46].

Definición 1 *Un sistema de espacio de estado (3.2) se dice que es disipativo con respecto a la tasa de suministro si existe una función $H(x) : R^n \rightarrow R_+$, llamada función de almacenamiento, de modo que para toda $x_0 \in R^n$, toda $t_1 \geq t_0$ y toda función de entrada u ,*

$$H(x(t_1)) - H(x(t_0)) \leq \int_{t_0}^{t_1} s(u(t), y(t)) dt \quad (3.7)$$

donde $x(t_0) = x_0$, y $x(t_1)$ es el estado de (3.2) en un tiempo t_1 resultando de la condición inicial x_0 y la función de entrada $u(\cdot)$. Si (3.7) se mantiene con igualdad para todo x_0 , $t_1 \geq t_0$, y toda $u(\cdot)$, luego si (3.2) no tiene pérdidas con respecto a s . Si $H(x)$ es diferenciable con respecto al tiempo para toda $x_0 \in R^n$ y $u \in R$, la desigualdad (3.2) es equivalente a la siguiente ecuación.

$$\dot{H}(x) \leq s(u(t), y(t)) \quad (3.8)$$

Definición 2 *Un sistema de espacio de estado (3.2) con $u \in U = R^m$, y $y \in Y = R^m$, se dice que es pasivo si es disipativo con respecto a la tasa de suministro $s(u, y) = uy$.*

Por lo tanto, por medio de la expresión de la energía total almacenada del sistema pasivo (3.2), la cual es dada como sigue:

$$H(x) = \frac{1}{2}x^T Dx = \frac{1}{2}Li_{CA}^2 + \frac{1}{2}CV_{CD}^2 + \frac{1}{2}L_a i_a^2 + \frac{1}{2}J\omega^2 \quad (3.9)$$

donde, la derivada de la energía total almacenada, está dada por:

$$\frac{dH(x)}{dt} = L \frac{di_{CA}}{dt} i_{CA} + C \frac{dV_{CD}}{dt} V_{CD} + L_a \frac{di_a}{dt} i_a + J \frac{d\omega}{dt} \omega \quad (3.10)$$

sustituyendo la dinámica del sistema (3.1) dentro de (3.10), se obtiene la siguiente ecuación:

$$\frac{dH(x)}{dt} = i_{CA} V_{CA} - \left(r_L i_{CA}^2 + \frac{V_{CD}^2}{R_L} + R_a i_a^2 + B\omega^2 + \tau_L \omega \right) \leq uy \quad (3.11)$$

donde, u y y representan la entrada y salida del sistema, respectivamente. De ahí, por la **Definición 1 y 2**, se dice que el sistema RMA-MCD es disipativo con respecto a la tasa de suministro. La desigualdad sostiene que esto se llama desigualdad de disipación. Expresa el hecho de que la energía almacenada $H(x(t_1))$ de (3.2) en cualquier tiempo futuro t_1 es como máximo igual a la suma de la energía almacenada $H(x(t_0))$ en el tiempo presente t_0 y la energía total suministrada externamente $\int_{t_0}^{t_1} s(u(t), y(t)) dt$ durante el intervalo $[t_0, t_1]$. Por lo tanto, no puede haber creación interna de energía; solo es posible la disipación interna de energía. Por lo tanto, el sistema RMA-MCD es un sistema *pasivo – disipativo*.

3.2.2. Diseño del control por retroalimentación de la salida pasiva del error exacto del sistema rectificador monofásico-motor CD

A partir de la representación pasiva de (3.2), se calcula la dinámica de referencia deseada, la cual satisface la siguiente expresión:

$$D\dot{x}^* = \mathcal{J}(u_{av}^*)x^* - \mathcal{R}x^* \quad (3.12)$$

donde, u_{av}^* representa el valor nominal deseado de la entrada de control correspondiente al vector de estado deseado $x^* = (i_{CA}^*, V_{CD}^*, i_a^*, \omega^*)$. Definiendo la dinámica de error de regulación como: $e = x - x^*$, de manera que $De = D(x - x^*)$ y $D\dot{e} = D(\dot{x} - \dot{x}^*)$, ahora combinando las ecuaciones (3.2) y (3.12) se obtiene:

$$\begin{aligned} D\dot{e} &= \mathcal{J}(u_{av})x - \mathcal{R}x - \mathcal{J}(u_{av}^*)x^* + \mathcal{R}x^* \\ &= \mathcal{J}(u_{av})x - \mathcal{J}(u_{av}^*)x^* - \mathcal{R}e + \mathcal{J}(u_{av})x^* - \mathcal{J}(u_{av}^*)x^* \\ &= \mathcal{J}(u_{av})e + [\mathcal{J}(u_{av}) - \mathcal{J}(u_{av}^*)]x^* - \mathcal{R}e \end{aligned} \quad (3.13)$$

después, se realiza una aproximación lineal por series de Taylor al término $\mathcal{J}(u_{av}) - \mathcal{J}(u_{av}^*)$, con respecto a la entrada de control (3.13), de manera que se obtiene la siguiente dinámica del error:

$$D\dot{e} = \mathcal{J}(u_{av})e + \left[\frac{\partial \mathcal{J}(u_{av})}{\partial (u_{av})} x^* \right] e_{u_{av}} - \mathcal{R}e \quad (3.14)$$

considerando la dinámica del error en (3.14), se propone la siguiente ley de control por retroalimentación de la salida pasiva del error, que inyecta más términos de disipación al

sistema a través de una matriz de acoplamiento:

$$e_{u_{av}} = -\gamma \left[\frac{\partial \mathcal{J}(u_{av})}{\partial (u_{av})} x^* \right]^T e \quad (3.15)$$

donde, $\gamma > 0$.

Con el fin de diseñar un algoritmo que regule la velocidad angular del sistema RMA-MCD basado en la técnica de control ESEDPOF, que logre la estabilidad asintótica en las referencias de corriente y voltaje deseados (i_{CA}^* y V_{CD}^*), para ello se propone la siguiente función candidata de Lyapunov:

$$V(e) = \frac{1}{2} e^T D e > 0 - \{0\} \quad (3.16)$$

la derivada temporal de (3.16) está dada como:

$$\begin{aligned} \dot{V}(e) &= e^T D \dot{e} \leq 0 \\ &= e^T \left[\mathcal{J}(u) e + \frac{\partial \mathcal{J}(u_{av})}{\partial (u_{av})} x^* e_u - \mathcal{R} e \right] \\ &= e^T \mathcal{J}(u) e + e^T \frac{\partial \mathcal{J}(u_{av})}{\partial (u_{av})} x^* e_u - e^T \mathcal{R} e \end{aligned} \quad (3.17)$$

sustituyendo (3.15) dentro de (3.17), se obtiene la dinámica en lazo cerrado de la siguiente manera:

$$\begin{aligned} \dot{V}(e) &= e^T \mathcal{J}(u) e - e^T \underbrace{\left[\frac{\partial \mathcal{J}(u_{av})}{\partial (u_{av})} x^* \right] \gamma \left[\frac{\partial \mathcal{J}(u_{av})}{\partial (u_{av})} x^* \right]^T}_{:= \mathcal{R}d} - e^T \mathcal{R} e \\ \dot{V}(e) &= e^T \mathcal{J}(u) e - e^T \underbrace{[\mathcal{R} + \mathcal{R}d]}_{:= \tilde{\mathcal{R}}} e < 0 \\ \dot{V}(e) &= -e^T \tilde{\mathcal{R}} \leq 0, \quad \forall e \neq 0 \end{aligned} \quad (3.18)$$

donde la matriz $\tilde{\mathcal{R}}$ está dada por:

$$\tilde{\mathcal{R}} = \begin{bmatrix} r_L + \gamma (V_{DC}^*)^2 & -i_{AC}^* V_{DC}^* & 0 & 0 \\ -i_{AC}^* V_{DC}^* & \frac{1}{R_L} + \gamma (i_{AC}^*)^2 & 0 & 0 \\ 0 & 0 & R_a & 0 \\ 0 & 0 & 0 & B \end{bmatrix} \quad (3.19)$$

Usando el criterio de Sylvester, se verifica que $\tilde{\mathcal{R}} \geq 0$, es decir es una matriz semi definida-positiva [47]. Así, (3.18) es una función semi-definida negativa y por tanto el punto de equilibrio de (3.14) bajo la ley de control (3.15) es estable. Por otro lado, si la matriz $\tilde{\mathcal{R}}$ es positiva semi-definida, decimos que se cumple la condición de acoplamiento de disipación, siempre que la única solución sea el origen, es decir, a través del teorema de invarianza de LaSalle. Así, la dinámica del error de (3.14) tiene un punto de equilibrio único en 0, que es asintóticamente estable.

Tomando en cuenta que $e_{u_{av}} = u_{av} - u_{av}^*$, así en términos de las corrientes y el voltaje de la salida del convertidor, se tiene que la ley de control por retroalimentación de la salida pasiva dada en (3.15), y que obliga a que la velocidad angular del motor CD acoplado al rectificador monofásico activo siga una velocidad constante de referencia deseada, está dada por:

$$u_{av} = u_{av}^* - \gamma i_{CA}^* (V_{CD} - V_{CD}^*) + \gamma V_{CD}^* (i_{CA} - i_{CA}^*) \quad (3.20)$$

donde u_{av}^* es un término de pre-alimentación el cual es calculado en la siguiente sección. Los valores de γ deben elegirse de tal manera que u_{av}^* se mantenga entre [-1,1]. Para ello, el parámetro se seleccionó con base en la siguiente desigualdad $0 < \gamma < 1$.

3.2.3. Generación de las señales de referencia deseadas

La generación de las señales de referencia deseadas denotadas por i_{CA}^* , V_{CD}^* , i_a^* , ω^* y u_{av}^* , necesarias para la retroalimentación del controlador, se obtienen a partir de los puntos de equilibrio de las ecuaciones propuestas en (3.1).

$$\omega^* = \omega_d \quad (3.21)$$

$$V_{CD}^* = R_a \left(\frac{B\omega_d + \tau_L}{K} \right) + K\omega_d \quad (3.22)$$

$$i_a^* = \frac{B\omega_d + \tau_L}{K} \quad (3.23)$$

$$u_{av}^* = \frac{V_{CA} - r_L i_{CA}^*}{V_{CD}^*} \quad (3.24)$$

$$i_{CA}^* = A_1 \sin(\omega_n t) \quad (3.25)$$

Respecto a la corriente i_{CA}^* , requiere que se determine una amplitud constante A . Para obtener dicha constante se considera la ecuación (3.11), debido a que contiene la información de la potencia eléctrica de entrada y salida del sistema, como se muestra en la siguiente ecuación:

$$\langle i_{CA}^* V_{CA}^* \rangle_{CA} = \langle r_L (i_{CA}^*)^2 \rangle_{CA} + \left\langle \frac{(V_{CD}^*)^2}{R_L} + R_a (i_a^*)^2 + B\omega_d^2 + \tau_L \omega_d \right\rangle_{CD} \quad (3.26)$$

El valor en estado estable de la componente de CD de la potencia total de la ecuación (3.26), debe balancearse a cero debido a que el sistema no tiene pérdidas. Los términos en CA de la ecuación (3.26), se representan con una amplitud equivalente de su valor en CD (voltaje RMS). Por lo tanto, se tiene la siguiente condición de equilibrio de potencia en estado estable:

$$\left\langle r_L \left(\frac{A}{\sqrt{2}} \right) \left(\frac{A}{\sqrt{2}} \right) \right\rangle_{CD} - \left\langle \left(\frac{E}{\sqrt{2}} \right) \left(\frac{A}{\sqrt{2}} \right) \right\rangle_{CD} + \left\langle \frac{(V_{CD}^*)^2}{R_L} + R_a i_a^* + B\omega_d^2 + \tau_L \omega_d \right\rangle_{CD} = 0 \quad (3.27)$$

simplicando la ecuación anterior se obtiene:

$$A^2 - \frac{EA}{r_L} + \left[\left(\frac{1}{r_L} \right) \left(\frac{(V_{CD}^*)^2}{R_L} + R_a i_a^* + B\omega_d^2 + \tau_L \omega_d \right) \right] = 0 \quad (3.28)$$

es claro ver que (3.28), es una ecuación cuadrática de la forma $ax^2 + bx + c = 0$. Las soluciones (o raíces) de la ecuación cuadrática vienen dadas por la formula general (3.29):

$$x_{1,2} = \frac{-b \pm \sqrt{b^2 - 4(a)(c)}}{2(a)} \quad (3.29)$$

donde la solución de (3.28) está dada por:

$$\begin{aligned} A_{1,2} &= \frac{E}{2r_L} \pm \sqrt{\rho} \\ \rho &= \frac{E^2 K^2 R_L - 8r_L [v^2 + R_L v (B\omega_d + \tau_L)]}{4r_L^2 K^2 R_L} \\ v &= R_a B\omega_d + R_a \tau_L + K^2 \omega_d \end{aligned} \quad (3.30)$$

de la ecuación (3.30), se toma la expresión con signo negativo, es decir A_1 , con el fin de obtener la amplitud más pequeña de A .

$$A_1 = \frac{E}{2r_L} - \sqrt{\rho} \quad (3.31)$$

Como puede observarse, las ecuaciones (3.22), (3.23), (3.25) y (3.24) dependen del par de carga τ_L , por lo que se requiere realizar el cálculo de las referencias en un esquema de adaptación en línea, debido a que el parámetro de par de carga es desconocido. Con el fin de resolver esta limitación en este trabajo se propone la implementación de un observador de orden reducido y un estimador algebraico en línea para la estimación del parámetro de par de carga. Re-escribiendo las ecuaciones de las referencias el símbolo ($\hat{\cdot}$) usado en τ_L indica una estimación en línea de la perturbación constante y desconocida. por lo que se tiene:

$$V_{CD}^* = R_a \left(\frac{B\omega_d + \hat{\tau}_L}{K} \right) + K\omega_d \quad (3.32)$$

$$i_a^* = \frac{B\omega_d + \hat{\tau}_L}{K} \quad (3.33)$$

$$u_{av}^* = \frac{V_{CA} - r_L i_{CA}^*}{V_{CD}^*} \quad (3.34)$$

$$i_{CA}^* = A_1 \sin(\omega_n t); A_1 = \frac{E}{2r_L} - \sqrt{\rho} \quad (3.35)$$

En las siguientes secciones se presenta el diseño del observador de orden reducido y el estimador algebraico en línea para la estimación en línea del par de carga aplicado en la flecha del motor de CD. El valor estimado de cada método de estimación es adaptado a las referencias del controlador.

3.3. Diseño del observador de orden reducido

El calculo de las referencias deseadas para el el sistema RMA-MCD, presentado en el sub-capitulo anterior, está basado en el conocimiento adquirido del par de carga desconocido τ_L . Para el diseño del observador de orden reducido, se asume que el par de carga τ_L es constante, y se considera la ecuación mecánica del modelo promedio del sistema RMA-MCD, del sistema de ecuaciones (3.1), que por motivos de claridad la ecuación se repite a continuación:

$$J \frac{d\omega}{dt} = K i_a - B\omega - \hat{\tau}_L \quad (3.36)$$

entonces, como una medición indirecta del par de carga, se despeja $\hat{\tau}_L$ de la ecuación (3.36):

$$\hat{\tau}_L = Ki_a - B\omega - J\frac{d\omega}{dt} \quad (3.37)$$

a continuación, se considera el siguiente observador de orden reducido para $\hat{\tau}_L$, de la siguiente manera.

$$\dot{\hat{\tau}}_L = \lambda(\tau_L - \hat{\tau}_L), \lambda > 0 \quad (3.38)$$

donde, $\hat{\tau}_L$ denota el estimado de τ_L , y λ es la tasa de convergencia deseada del observador. Sustituyendo (3.37) en (3.38) se tiene:

$$\dot{\hat{\tau}}_L = \lambda \left(Ki_a - B\omega - J\frac{d\omega}{dt} - \hat{\tau}_L \right) \quad (3.39)$$

debido a que no se conoce la derivada en el dominio del tiempo de ω . Con el fin de superar este problema se introduce la variable auxiliar ζ :

$$\zeta \triangleq \hat{\tau}_L + \lambda J\omega \quad (3.40)$$

entonces:

$$\hat{\tau}_L = \zeta - \lambda J\omega \quad (3.41)$$

la derivada de (3.41) es:

$$\dot{\hat{\tau}}_L = \dot{\zeta} - \lambda J\dot{\omega} \quad (3.42)$$

a partir de, las ecuaciones (3.39), (3.41) y (3.42), la derivada con respecto al tiempo de $\dot{\zeta}$ esta dada por:

$$\dot{\zeta} = \lambda(Ki_a - B\omega - \zeta + \lambda J\omega) \quad (3.43)$$

De esta manera, el observador de orden reducido para $\hat{\tau}_L$, esta dado por las ecuaciones (3.41) y (3.43).

3.4. Diseño del estimador algebraico para el parámetro de par de carga del motor

El segundo método para la estimación del par de carga para el RMA-MCD, es un estimador algebraico. Para proponer un esquema de estimación algebraico de par de carga, se emplea la ecuación mecánica del modelo promedio del RMA-MCD, que por motivos de claridad se repite nuevamente:

$$J \frac{d\omega}{dt} = K i_a - B\omega - \hat{\tau}_L$$

donde se asume que el par de carga $\hat{\tau}_L$ es constante. Entonces, se despeja el valor constante $\hat{\tau}_L$, de la ecuación (3.36):

$$\hat{\tau}_L = K i_a - B\omega - J \frac{d\omega}{dt}$$

aplicando la Transformada de Laplace a la ecuación (3.37), se obtiene:

$$\frac{1}{s} \hat{\tau}_L = J [s\Omega(s) - \Omega(0)] + B\Omega(s) - K I_a(s) \quad (3.44)$$

con el fin de cancelar el termino constante inicial ($\Omega(0)$), se deriva la ecuación (3.44) con respecto a s , y se obtiene:

$$\begin{aligned} \frac{d}{ds} \left(\frac{1}{s} \hat{\tau}_L \right) &= J \frac{d}{ds} [s\Omega(s) - \Omega(0)] + B \frac{d}{ds} \Omega(s) - K \frac{d}{ds} I_a(s) \\ \frac{1}{s^2} \hat{\tau}_L &= J \left[\Omega(s) - s \frac{d}{ds} \Omega(s) \right] + B \frac{d}{ds} \Omega(s) - K \frac{d}{ds} I_a(s) \end{aligned} \quad (3.45)$$

a continuación, multiplicando (3.45) por $1/s$, se eliminan las derivadas con respecto al tiempo:

$$\frac{1}{s^3} \hat{\tau}_L = J \left[\frac{\Omega(s)}{s} - \frac{d}{ds} \Omega(s) \right] + B \frac{1}{s} \frac{d}{ds} \Omega(s) - K \frac{1}{s} \frac{d}{ds} I_a(s) \quad (3.46)$$

aplicando la transformada inversa de Laplace a la ecuación (3.46) se obtiene:

$$\hat{\tau}_L = \frac{2}{(t - T_E)^2} \left[J \int_{T_E}^t \omega(\tau) d\tau - J(t - T_E)\omega(t) + K \int_{T_E}^t (t - T_E) i_a(\tau) d\tau - B \int_{T_E}^t (t - T_E)\omega(\tau) d\tau \right] \quad (3.47)$$

ésta ecuación (3.47) indica que una estimación del par de carga desconocido $\hat{\tau}_L$, puede expresarse en términos de los estados medibles i_a y ω . Por lo tanto, se propone el uso de la siguiente estimación:

$$\hat{\tau}_L = \begin{cases} \hat{\tau}_{ini} \\ num = 2J \int_{T_E}^t \omega(\tau) d\tau - 2J(t - T_E)\omega(t) + 2K \int_{T_E}^t (t - T_E)i_a(\tau) d\tau \\ -2B \int_{T_E}^t (t - T_E)\omega(\tau) d\tau \\ den = (t - T_E)^2 \\ \frac{num}{den} \\ T_E = kT, k = 0, 1, 2, \dots, n > 0 \end{cases} \quad (3.48)$$

La fórmula (3.48) describe el funcionamiento del estimador algebraico en línea. El valor inicial de $\hat{\tau}_L$ se fijó con $\hat{\tau}_{ini}=0.1 \text{ Nm}$, el cual, es sustituido cada reinicio periódico al final de una ventana de cálculo T_E , la operación $\frac{num}{den}$ solo se realiza cuando $kT = T_E$. Al reiniciar los valores de las mediciones anteriores son descartadas y se toma en cuenta solo las recientes, dado que, éstas contienen información actualizada para el cálculo del par de carga. Por esta razón, el valor de duración de T_E , tiene que adaptarse a la escala de tiempo que se espera que ocurran los cambios de carga, lo cual puede determinarse en la fase experimental.

3.5. Simulación

Siguiendo con la Fase 1 de la metodología propuesta, en esta sección se verifica el nivel de aproximación del modelo propuesto, además, se examina el desempeño del controlador ante perturbaciones exógenas. Cabe señalar que el objetivo principal de control es la regulación de la velocidad angular del motor de CD del sistema RMA-MCD. Para este apartado se utilizó la herramienta de simulación de circuitos **PSIM**, en la Figura 3.2) se puede apreciar el modelo del sistema descrito mediante un circuito realístico, el cual incluye la fuente de alimentación de CA, el puente H, el circuito equivalente del motor CD de imanes permanentes [48], un selector para el par de carga aplicado en la flecha del motor de CD, etc, a partir de esto, se simula el comportamiento de la velocidad angular del motor, voltaje y corriente del rectificador monofásico activo.

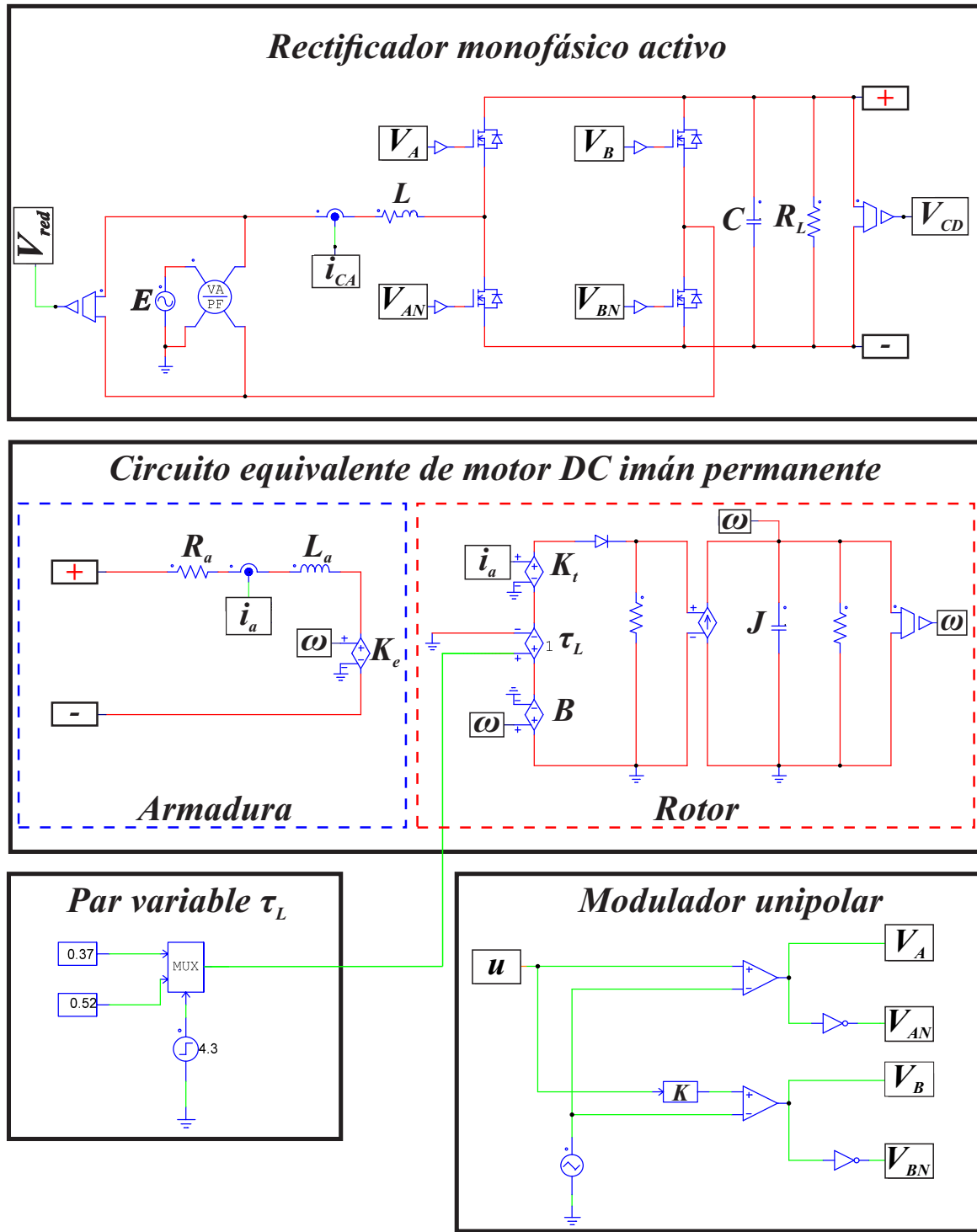


Figura 3.2: Esquema eléctrico del rectificador monofásico motor CD.

Además, se escribe por medio de bloques funcionales las ecuaciones (3.20), (3.41), (3.43), (3.22), (3.31),(3.47) de los resultados obtenidos en la sección 3 (ver Figura 3.3).

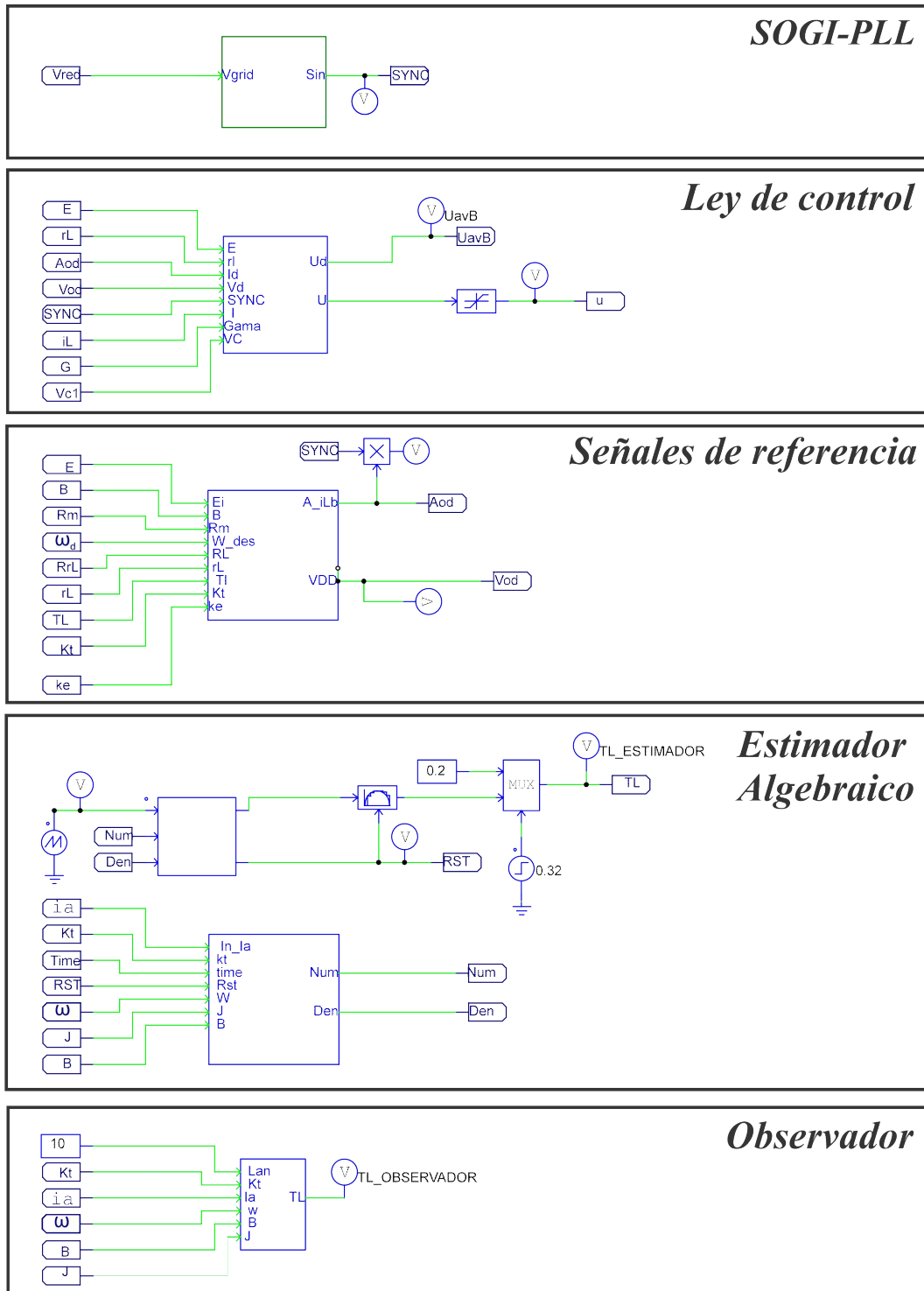


Figura 3.3: Bloques funcionales.

Los parámetros eléctricos y mecánicos se muestran en la siguiente tabla:

Tabla 3.1: Parámetros del sistema RMA-MDC.

Parámetros eléctricos y mecánicos	
Voltaje de alimentación	72 V RMS
Frecuencia de conmutación	10 KHz
Capacitor (C)	2200 μF
Resistencia del inductor (r_L)	1,15 Ω
Inductor (L)	3 mH
Resistencia de carga (R_L)	1604 Ω
Resistencia de armadura (R_a)	9,7 Ω
Inductancia de armadura (L_a)	33,8 mH
Momento de inercia (J)	0,0025 $K_g m^2$
Coeficiente de fricción viscosa (B)	0,00078 $Nm - s/rad$
Constante de torque (K_t)	0,941 $N - m/A$
Constante eléctrica (K_e)	0,941 Vs/rad

Nota: los parámetros en color gris se obtuvieron mediante un método de identificación paramétrica experimental (ver anexo C).

Para realizar la simulación del sistema RMA-MCD, es necesario resaltar la implementación del algoritmo de enganche de fase SOGI-PLL, debido a que, todo convertidor de potencia interconectado a la red eléctrica requiere de un método de sincronización, para que funcione apropiadamente [6]. En la Figura 3.4 se muestra que la señal de salida generada por el PLL (V_{PLL}) coincide con la señal de entrada (V_{CA}). La sincronización es casi instantánea, además, proporciona información precisa sobre la frecuencia de la señal de entrada.

Por otra parte, en la Figura 3.5 se muestra la velocidad angular del motor de CD comparada con la velocidad deseada, en esta gráfica se puede observar que el convertidor de potencia no puede llevar al motor de CD a la velocidad deseada, teniendo en cuenta, que se estableció un par de carga (τ_L) constante dentro de las referencias de voltaje y corriente del controlador, además, durante un cambio de par de carga la velocidad angular del motor se reduce.

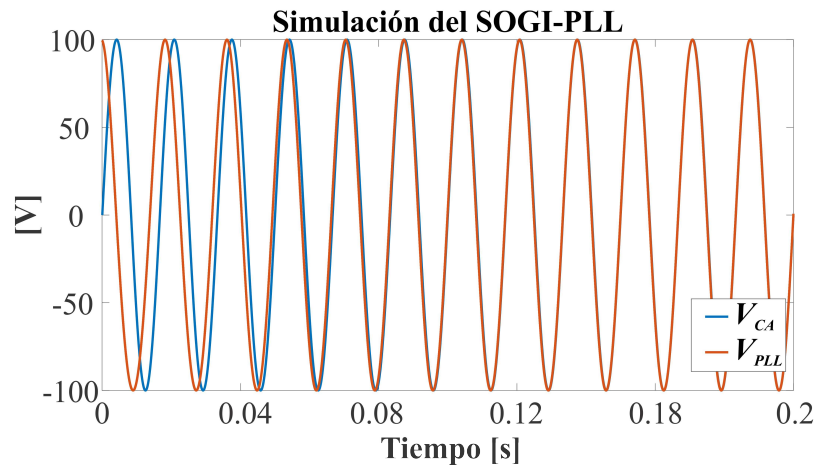
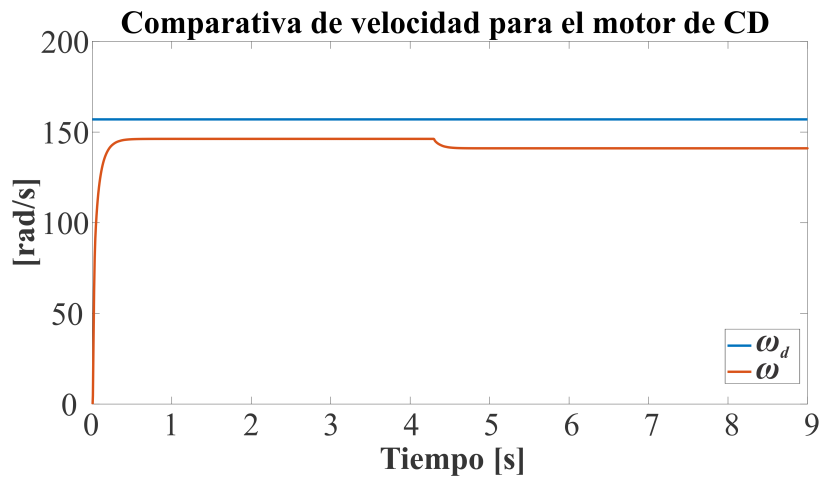


Figura 3.4: Simulación del SOGI-PLL.

Figura 3.5: Simulación de ω, ω_d sin estimación de par de carga.

A continuación, se presenta una comparativa respecto al desempeño del RMA-MCD, empleando un estimador algebraico en línea y observador de orden reducido para la obtención del parámetro de par de carga aplicado en la flecha del motor de CD. Los valores de estimación obtenidos por el observador de orden reducido y el estimador algebraico adaptan las referencias de corriente y voltaje del rectificador monofásico activo, con el objetivo de minimizar los efectos que se presentan cuando el par de carga es aplicado al eje del motor. En las Figuras 3.6 y 3.7 se muestra la velocidad angular del motor CD comparado con la velocidad deseada, en estas gráficas, la velocidad angular permanece constante, pero sufre de una ligera reducción de velocidad durante el cambio de par de carga en el eje del motor.

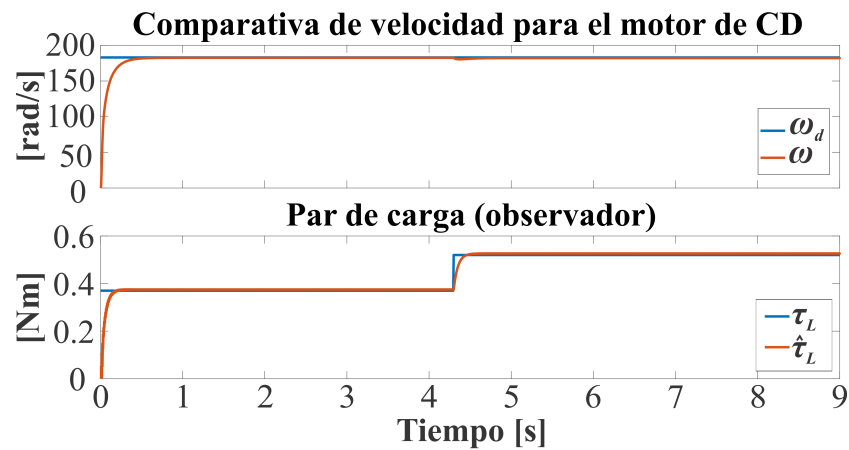


Figura 3.6: Simulación de ω, ω_d con observador de par de carga.

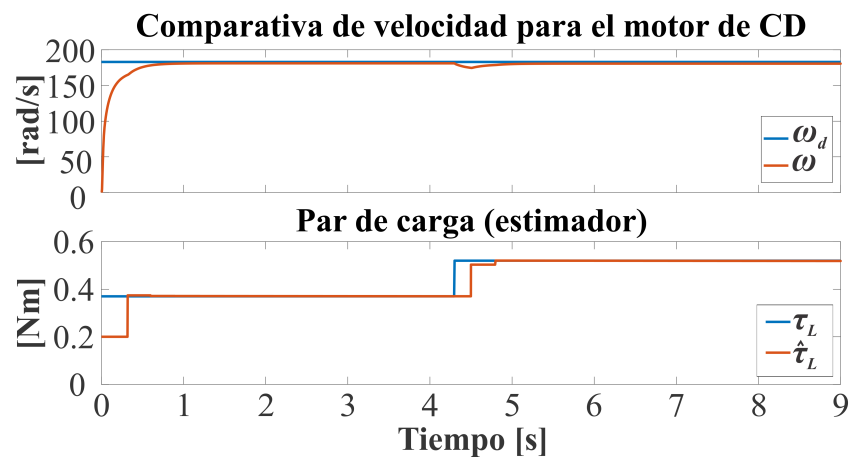


Figura 3.7: Simulación de ω, ω_d con estimador algebraico de par de carga.

Las Figuras 3.8 y 3.9 muestran la respuesta del voltaje de CD en el capacitor del rectificador activo, así como la referencia del voltaje deseado, el cual es adaptado por un estimador algebraico en línea para la Figura 3.9 y un observador de orden reducido para la Figura 3.8. Se observa a los 4.2 segundos una pequeña reducción de la amplitud del voltaje de CD la cual es más notoria en la Figura 3.9 pero ambos métodos logran mantener el voltaje en un valor deseado.

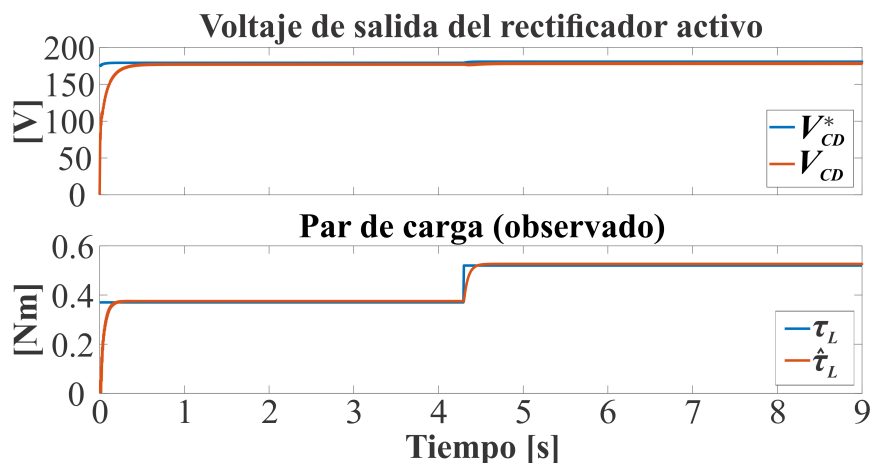


Figura 3.8: Simulación de V, V^* con observador de par de carga.

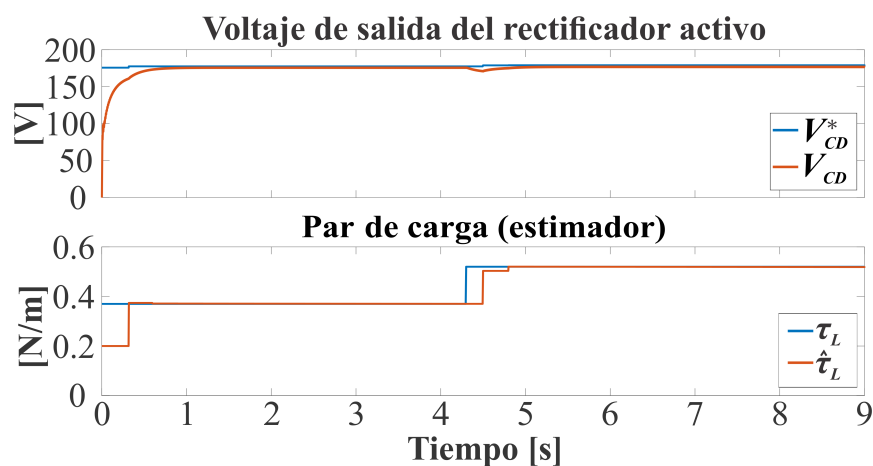


Figura 3.9: Simulación de V, V^* con estimador algebraico de par de carga.

Las Figuras 3.10 y 3.11 muestran la respuesta de la corriente en el inductor del rectificador activo, así como la referencia de corriente, la cual es adaptado por un estimador algebraico en línea para la Figura 3.11 y un observador de orden reducido para la Figura 3.10. Se observa a los 4.2 segundos una pequeña reducción de la amplitud del voltaje de CD la cual es más notoria en la Figura 3.9 pero ambos métodos logran mantener el voltaje en un valor deseado.

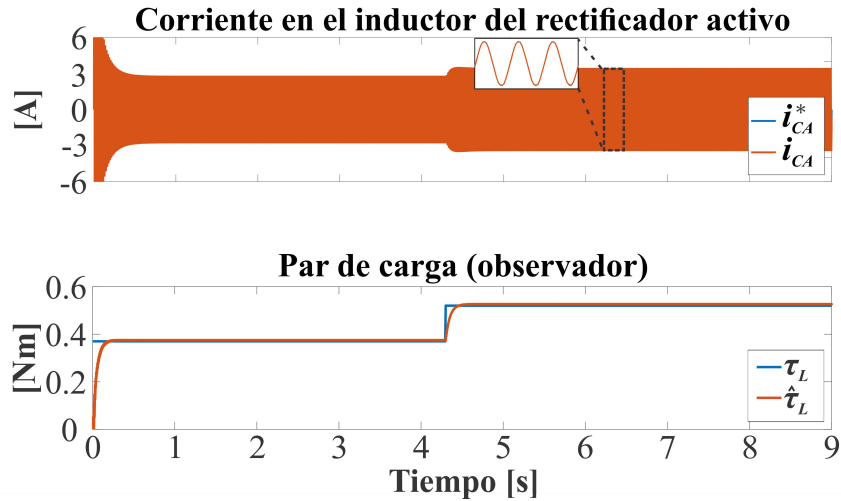


Figura 3.10: Simulación de i_{CA} , i_{CA}^* con observador de par de carga.

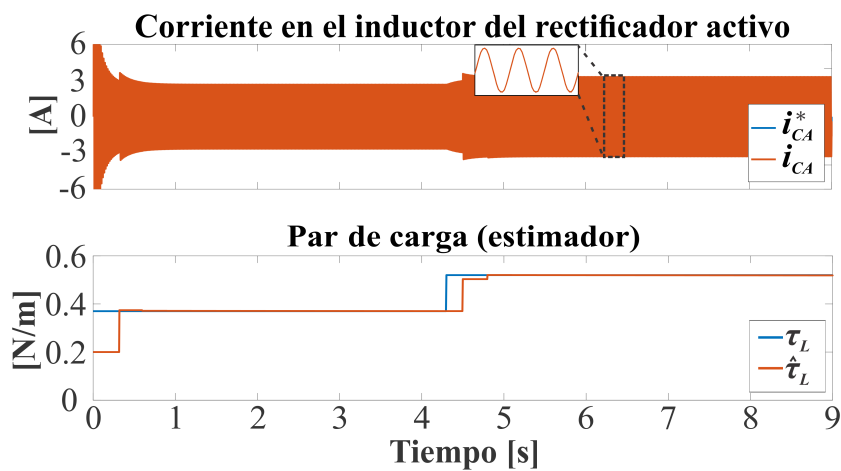


Figura 3.11: Simulación de i_{CA} , i_{CA}^* con estimador de par de carga.

La Figura 3.12 muestra las gráficas obtenidas del cálculo del Factor de Potencia (FP) a la entrada del convertidor de potencia CA-CD ante los cambios de par de carga en el eje del motor. En la Figura 3.12 es posible ver una mejor pre-compensación del FP cuando la estimación del parámetro de par de carga es realizada por el estimador algebraico.

Por otro lado, la Figura 3.13 muestra en la primera gráfica el par de carga real y el estimado del motor de CD, mientras que la segunda gráfica muestra las señales de tiempo de reinicialización e integración de la división, (num/den), del parámetro de par de carga estimado.

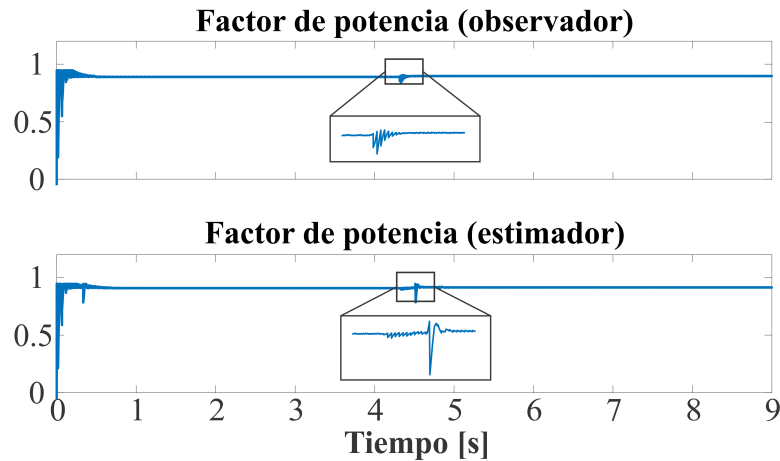


Figura 3.12: Factor de potencia.

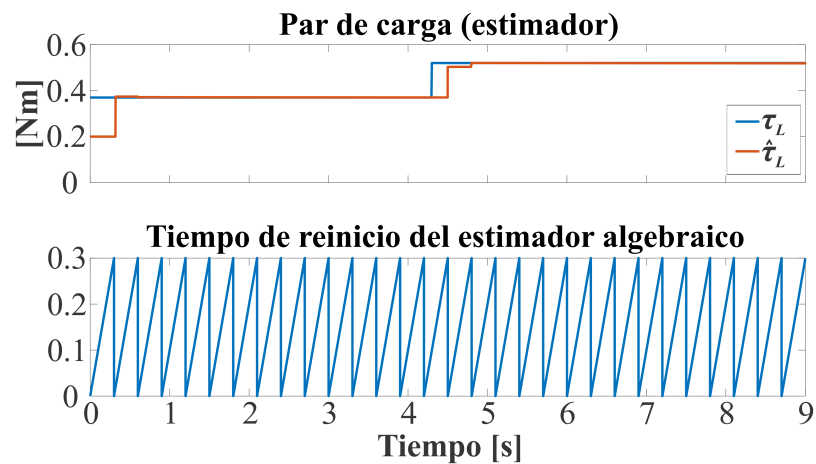


Figura 3.13: Señales de reinicio e integración del parámetro del par estimado.

De acuerdo con los resultados obtenidos por la simulación se puede concluir que el modelo utilizado en esta sección es válido, y que en simulación el funcionamiento del controlador propuesto tiene un buen desempeño. Dicho lo anterior, como parte de la metodología propuesta el siguiente punto trata del rediseño digital del controlador para su implementación en el dispositivo FPGA.

Capítulo 4

Fase 2

En este capítulo se realiza el rediseño digital del controlador a través de las etapas restantes de la metodología, se realiza la elección del tiempo de muestreo, el rediseño digital, la descripción en el lenguaje HDL, la implementación, y finalmente llegar a la etapa de pruebas experimentales.

4.1. Partición modular

La partición modular consiste en dividir el algoritmo de control en partes más pequeñas, las cuales deben ser fáciles de desarrollar para reducir el tiempo de implementación. Dicho lo anterior, el controlador basado en pasividad de velocidad angular para el sistema RMA-MCD, está basado en una propuesta modular y jerárquica como se expuso en la sección 3.5. La Figura 4.1, muestra la partición modular para el controlador pasivo implementado en un FPGA, este proceso genera cinco módulos:

- Módulo PLL.
- Ley de control y señales de referencia.
- Estimación de τ_L .
- Modulador PWM.
- Interfaz de adquisición de datos y decodificación.

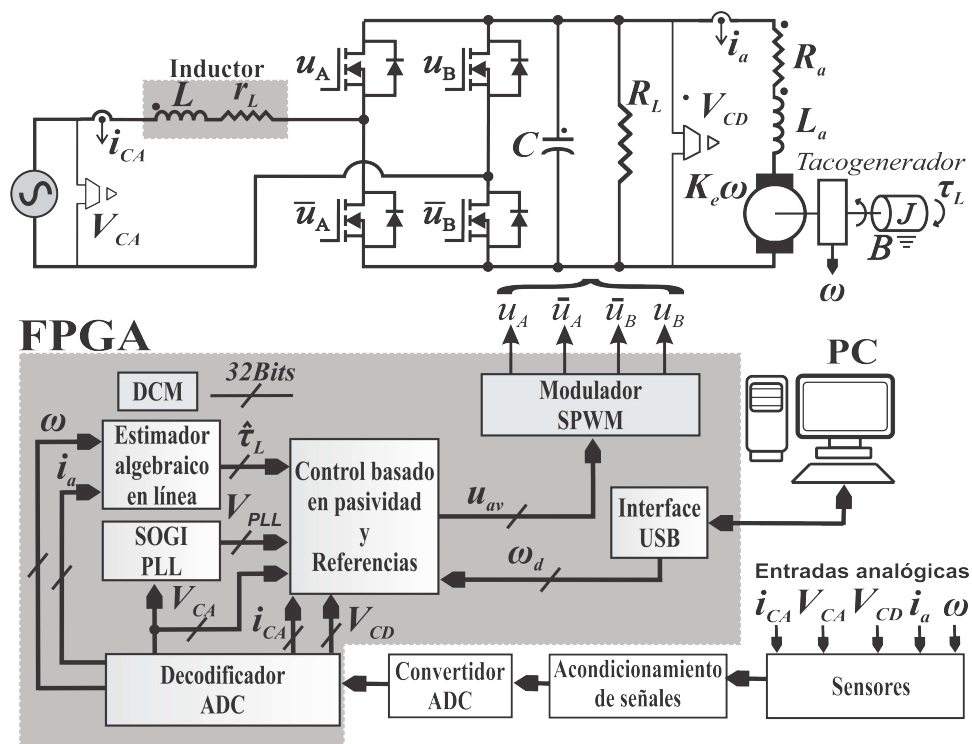


Figura 4.1: Concepto de diseño de los módulos dentro del dispositivo FPGA.

En el siguiente apartado, muestra el diseño interno de cada uno de los módulos de la partición modular de la simulación funcional del algoritmo de control para el sistema RMA-MCD.

4.2. Simulación funcional

En el apartado 3.5, del capítulo tres se realizó la simulación del controlador en bloques funcionales, por medio del software **PSIM**, por lo que se dan por validados y se procede ahora a la etapa siguiente. Para complementar esta simulación, se mostrará el contenido de cada bloque funcional mostrados en la Figura 4.1.

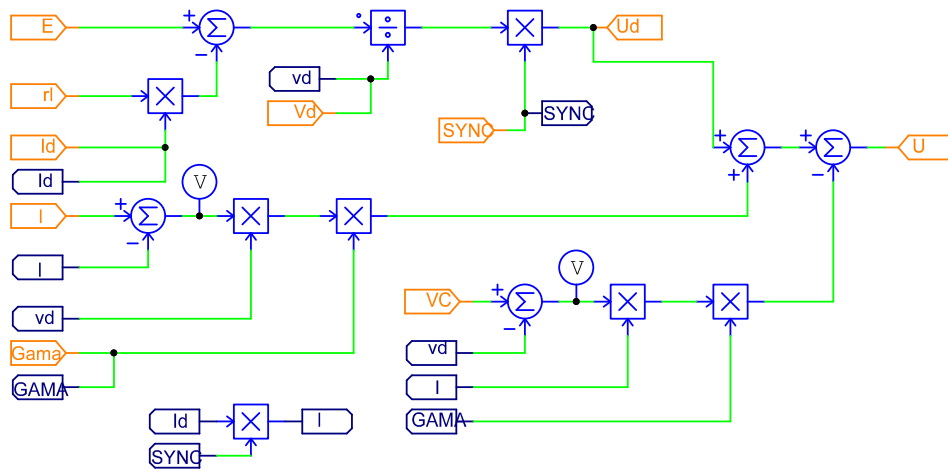


Figura 4.2: Bloque ley de control, ver ecuación (3.20).

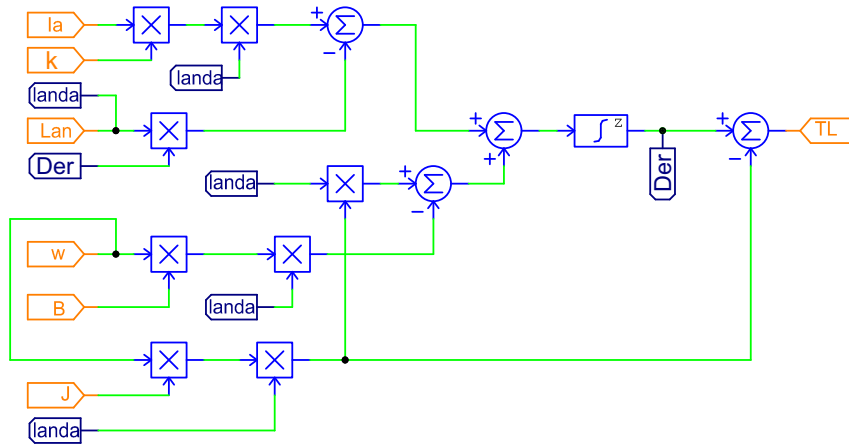


Figura 4.3: Bloque del observador de orden reducido, ver ecuaciones (3.41-3.43).

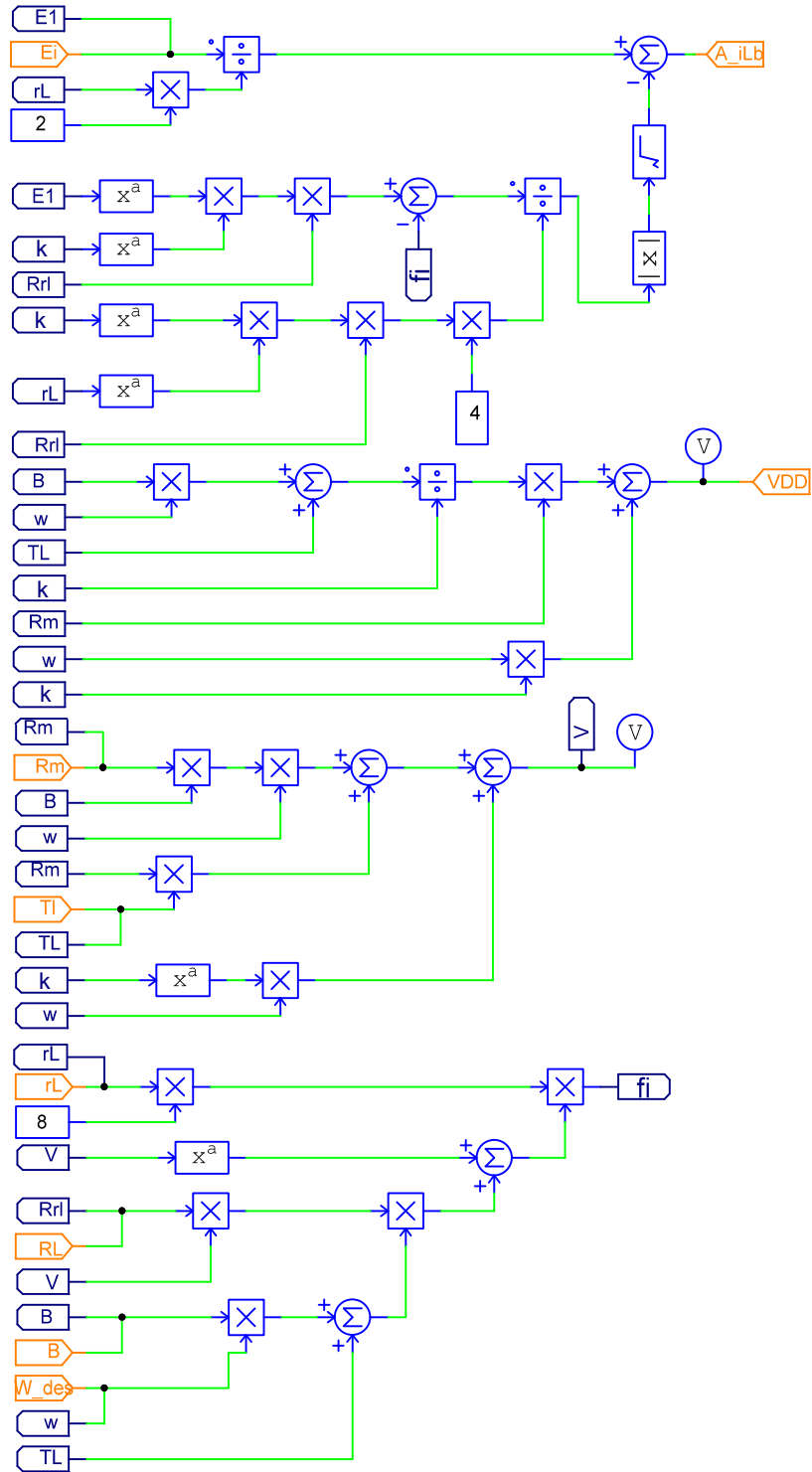


Figura 4.4: Bloque de señales de referencia, ver ecuaciones (3.22-3.31).

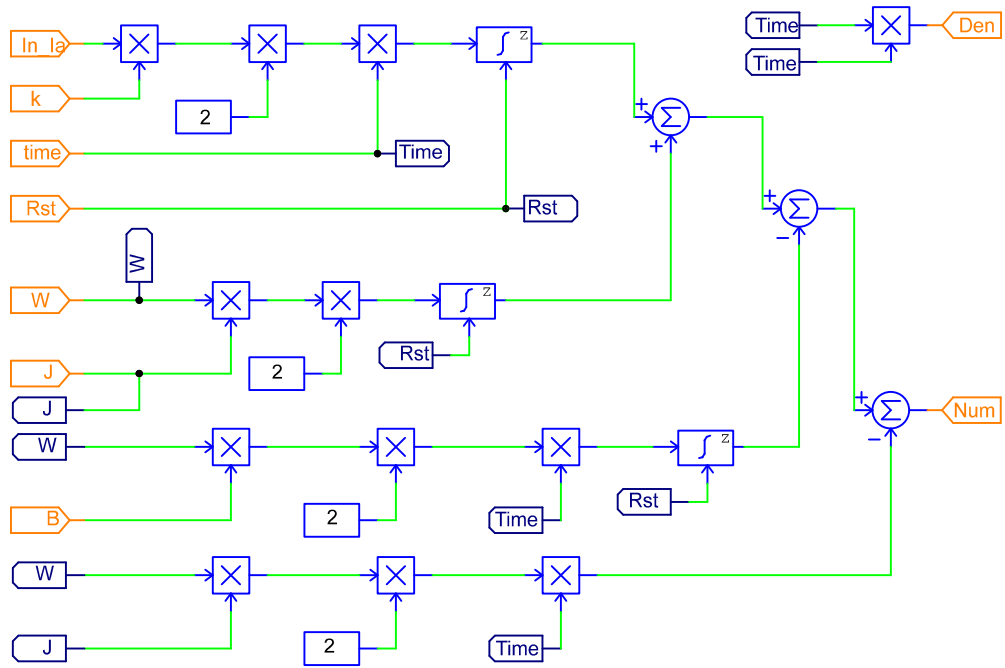


Figura 4.5: Bloque del estimador algebraico, ver ecuación (3.47).

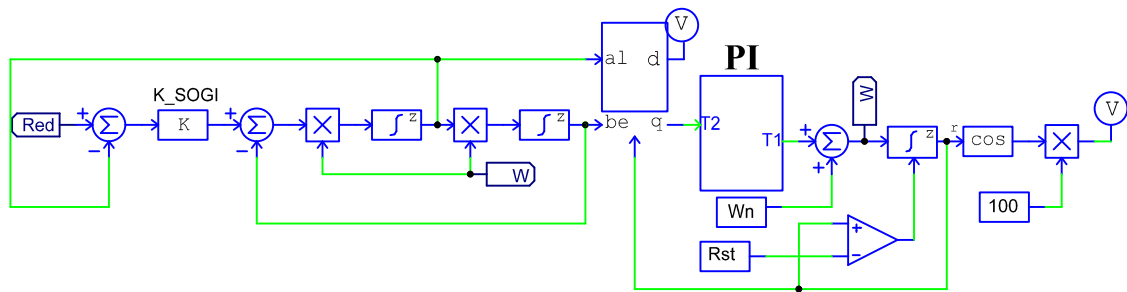


Figura 4.6: Bloque SOGI-PLL, ver Figura 2.11.

4.3. Rediseño Digital y Gráfico de Optimización de flujo de datos

El objetivo de este paso es preparar los algoritmos desarrollados en la sección 4.2, para su implementación en un dispositivo de lógica reconfigurable, se tienen varios algoritmos complejos a implementar, se desarrolló una arquitectura empleando la metodología A^3 (Algorithm Architecture Adequation, por sus siglas en inglés) empleada en [49] la cual, tiene el objetivo de superar las limitaciones de recursos lógicos de un FPGA de bajo costo. A pesar de que, las arquitecturas segmentadas surgen por la necesidad de aumentar la velocidad de procesamiento, la segmentación puede mejorar de manera dramática el desempeño de un algoritmo a través de la reestructuración de las rutas largas de procesamiento con varios niveles más pequeños (segmentos), en otras palabras, el flujo de procesamiento de datos es separado en varios procesos y múltiples señales de reloj pero este tipo de arquitectura demanda una mayor cantidad de recursos lógicos dificultando la implementación de los algoritmos desarrollados. En cambio, una arquitectura serializada localmente permite reducir la cantidad de recursos lógicos consumidos en un dispositivo FPGA en comparación con una arquitectura segmentada, debido a que es posible reutilizar módulos aritméticos como multiplicadores y sumadores, por lo tanto, el tiempo de cálculo aumenta. La arquitectura propuesta se muestra en la Figura 4.7. Cada uno de los módulos que conforma la arquitectura propuesta es sincronizado localmente. Se requiere que un circuito inicie sus operaciones cuando reciba una señal de solicitud (o inicio) y al finalizar sus operaciones produzca una señal de reconocimiento cuando su operación se ha completado. La implementación de la arquitectura se realiza en un FPGA de mediana escala Spartan-6 XC6SLX16 para implementar el algoritmo de enganche de fase SOGI-PLL, el algoritmo de control acompañado de sus señales de referencia, la adquisición de datos y decodificación, un modulador S-PWM y un administrador de reloj.

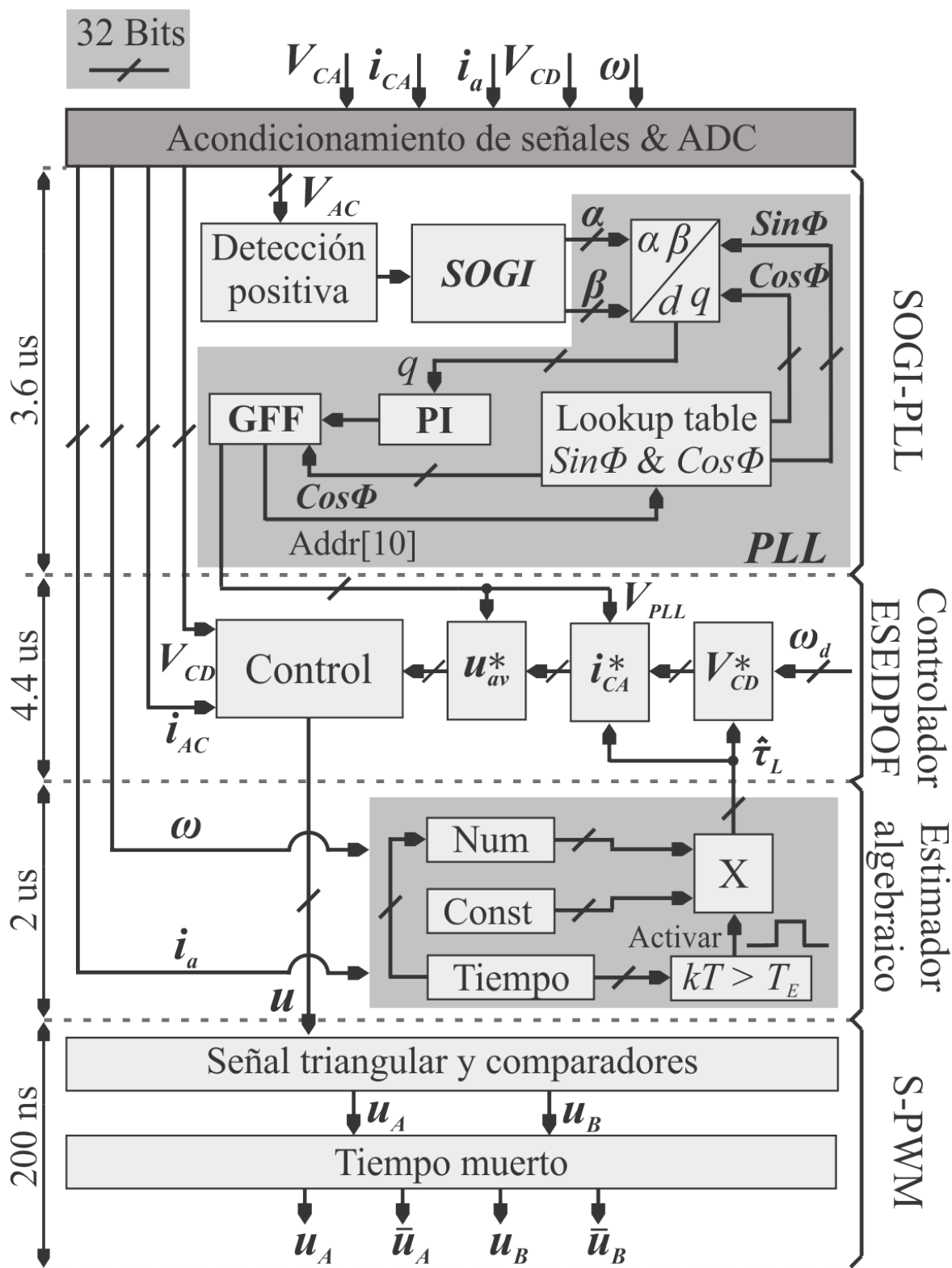


Figura 4.7: Arquitectura diseñada.

4.3.1. Módulo SOGI-PLL

Para ilustrar la digitalización estructural del algoritmo de enganche de fase SOGI-PLL, se utiliza el método de integración directa de Euler (ecuación 4.1) y se sustituye su modelo equivalente en la Figura.4.8,

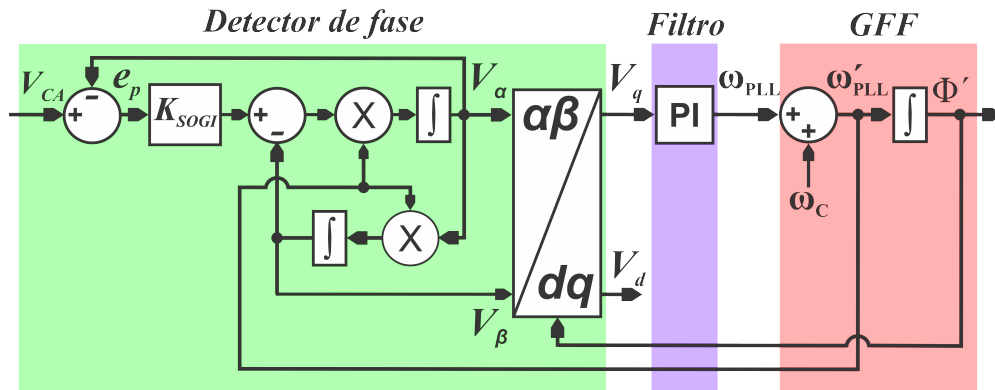


Figura 4.8: Estructura del SOGI-PLL.

$$I(t) = \int_0^t x(\tau) d\tau \approx I[n] = I[n-1] + \Delta t(x[n]) \quad (4.1)$$

donde, Δt es el paso de integración. Este método es sustituido en los integradores del detector de fase, filtro pasa bajas (Controlador PI) y el Generador de Fase Frecuencia (GFF). En primer lugar, se analiza el detector de fase el cual está conformado por dos submódulos: integrador generalizado de segundo orden (SOGI) y la transformada de Park.

Detector de fase

SOGI: Aplicando el método de integración numérica de Euler al algoritmo SOGI de la Figura 4.8. Se obtiene el modelo equivalente en tiempo discreto del algoritmo SOGI como se muestra en la Figura.4.9.

Este modelo, está descrito por las ecuaciones (4.2), (4.3) y (4.4). La ecuación (4.2) incluye la variable de entrada V_{CA} y guarda el resultado en la memoria interna, de este modo se organiza un conjunto de ecuaciones para las variables de salida en la secuencia correcta (4.3) y (4.4) respectivamente.

$$e_p[n] = V_{CA}[n] - V_\alpha[n-1] \quad (4.2)$$

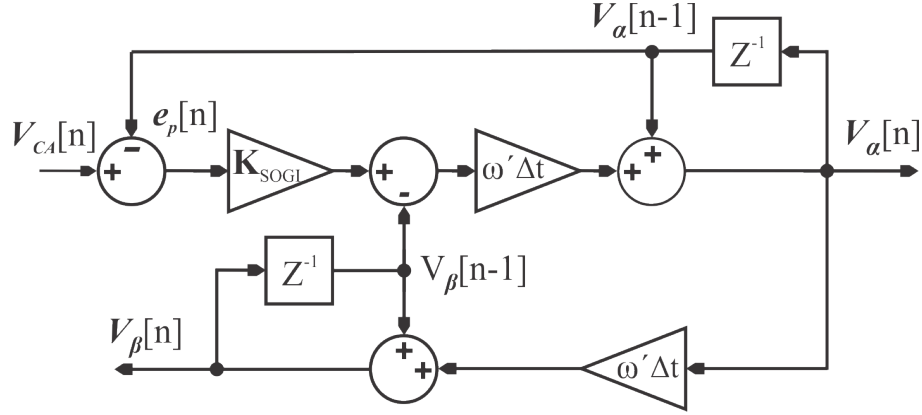


Figura 4.9: Aproximación discreta del SOGI con el método de integración Euler.

$$V_{\alpha}[n] = V_{\alpha}[n - 1] + (e_p[n]K_{SOGI} - V_{\beta}[n - 1])\omega\Delta t_{PLL} \quad (4.3)$$

$$V_{\beta}[n] = V_{\beta}[n - 1] + V_{\alpha}[n]\omega\Delta t_{PLL} \quad (4.4)$$

Transformada de Park: la transformación de Park se utiliza para convertir las señales ortogonales ($\alpha\beta$) provenientes del integrador SOGI a un sistema de referencia ortonormal giratorio (dq) por un ángulo Φ . La rotación sobre un ángulo Φ está dado por la ecuación (4.5):

$$V_d[n] = V_{\alpha}[n] \cos \Phi[n] + V_{\beta}[n] \sin \Phi[n] \quad (4.5)$$

$$V_q[n] = V_{\beta}[n] \cos \Phi[n] - V_{\alpha}[n] \sin \Phi[n]$$

es necesario obtener de la ecuación (4.5) una aproximación discreta para el seno y coseno de un ángulo Φ usando el formato en punto flotante de precisión simple; donde $\Phi = 2\pi = 6,28rad$. Una forma eficiente de implementar estas funciones es almacenar sus valores precalculados en memorias ROM (basadas en la BRAM del dispositivo FPGA). La resolución para el seno y coseno de un ángulo Φ , viene dada por la siguiente expresión:

$$Res_{\Phi} = \frac{\text{angulo de } \Phi}{\text{localidades de memoria}} = \frac{6,28}{628} = 0,01 \quad (4.6)$$

Este sub-módulo incluye dos memorias ROM ($ROM_{\text{sen } \Phi}$ y $ROM_{\text{cos } \Phi}$) configuradas para almacenar 629 palabras de 32 Bits. La memoria llamada $ROM_{\text{sen } \Phi}$ almacena los valores precalculados para el seno de un ángulo Φ , la cual fue evaluada en el intervalo $[0, 2\pi]$. De manera similar la memoria $ROM_{\text{cos } \Phi}$ almacena los valores precalculados del intervalo $[0, 2\pi]$. En la tabla 4.1 se muestra de manera resumida el contenido de estas memorias:

Tabla 4.1: Contenido de las $ROM_{\text{sen } \Phi}$ y $ROM_{\text{cos } \Phi}$

Contenido de las memorias ROM			
Muestra	Φ	Hex de $\text{sen}(\Phi)$	Hex de $\text{cos}(\Phi)$
0	0	00000000	3F800000
1	0.01	3C23D656	3F7FFCB9
2	0.02	3CA3D43E	3F7FF2E4
...
314	3.14	3AD0C091	BF7FFFEA
315	3.15	BC09BE8C	BF7FFDAF
..
627	6.27	BC580595	3F7FFA4D
628	6.28	BB50C07F	3F7FFFAA

Filtro pasa bajas

Este sub-módulo presenta un filtro pasa bajas para atenuar altas frecuencias a la salida del detector de fase. Típicamente, este bloque está constituido por un filtro pasa bajas de primer orden (controlador PI), como se puede apreciar en la ecuación (4.7).

$$\omega_{PLL} = K_P(V_q) + K_i \int_0^t V_q(t) dt \quad (4.7)$$

Aplicando el método de integración numérica de Euler a la ecuación (4.7), se obtiene la siguiente ecuación en tiempo discreto del controlador PI:

$$\omega_{PLL}[n] = K_p(V_q[n]) + (K_i(I[n-1] + \Delta t_{PLL}(V_q[n]))) \quad (4.8)$$

Generador fase-frecuencia

Este sistema, a diferencia de la estructura básica de un PLL presenta un doble lazo de retroalimentación como se muestra en la Figura 4.8. El GFF proporciona el ángulo de fase para la transformada de Park a través de la ecuación (4.10) y la frecuencia estimada para el integrador SOGI-QSG a partir de la ecuación 4.9.

$$\omega'_{PLL} = \omega_{PLL} + \omega_c \quad (4.9)$$

$$\Phi' = \int \omega'_{PLL}(t) dt \quad (4.10)$$

A continuación se muestran las ecuaciones en tiempo discreto:

$$\omega'_{PLL}[n] = \Delta\omega_{PLL}[n] + \omega_c \quad (4.11)$$

$$\Phi'[n] = \Phi'[n-1] + \Delta t_{PLL}\omega'_{PLL}[n] \quad (4.12)$$

En la Figura 4.10 se muestra la implementación en hardware de las ecuaciones (4.2), (4.3) y (4.4) correspondientes al detector de fase del SOGI-PLL. El procedimiento de optimización del flujo de datos, se basa en la metodología A^3 [50]. El objetivo de esta metodología, cuando se aplica a diseños basados en FPGA, es encontrar una arquitectura de hardware optimizada para un algoritmo de aplicación dado, a la vez que satisface el tamaño y limitaciones de tiempo. En cada módulo, algunas operaciones aritméticas se utilizan varias veces, si una operación se repite n veces, el proceso de factorización A^3 se aplica a ese operador para mantener m operaciones del operador aritmético con $m < n$. Normalmente m es igual a uno, dependiendo de las limitaciones de tiempo. La metodología A^3 se aplica generalmente a los operadores más codiciosos en términos de recursos consumidos por el hardware, como multiplicadores.

Además, la Figura 4.10 presenta un ejemplo de un gráfico de flujo de datos factorizado, donde el proceso de factorización se aplica al operador de suma/resta y multiplicación, mientras que la secuencia del flujo de datos es controlada por una máquina de estados finitos (FSM, por sus siglas en inglés). Se debe tener en cuenta que el proceso de factorización reduce los recursos consumidos por hardware, pero aumenta el tiempo de cálculo.

El gráfico final, que se utilizará para el diseño de la arquitectura de hardware, es el resultado de un compromiso entre el tiempo de cálculo y la cantidad de recursos consumidos por el hardware. Dado la complejidad del algoritmo SOGI-PLL para ejemplificar el desarrollo, solo se muestra el flujo de datos de las ecuaciones del detector de fase. La construcción del algoritmo completo y los demás módulos del sistema se realizan de forma similar.

Adicionalmente, en la Figura 4.11 se muestra la arquitectura completa del hardware optimizado para la implementación en FPGA del algoritmo SOGI-PLL, mientras satisface

las limitaciones de uso de recursos lógicos y tiempo de cómputo. Para el caso particular del módulo SOGI-PLL el proceso de factorización se aplicó a los módulos aritméticos de multiplicación y sumador-restador, dando como resultado $m = 1$ para cada uno de los módulos mencionados.

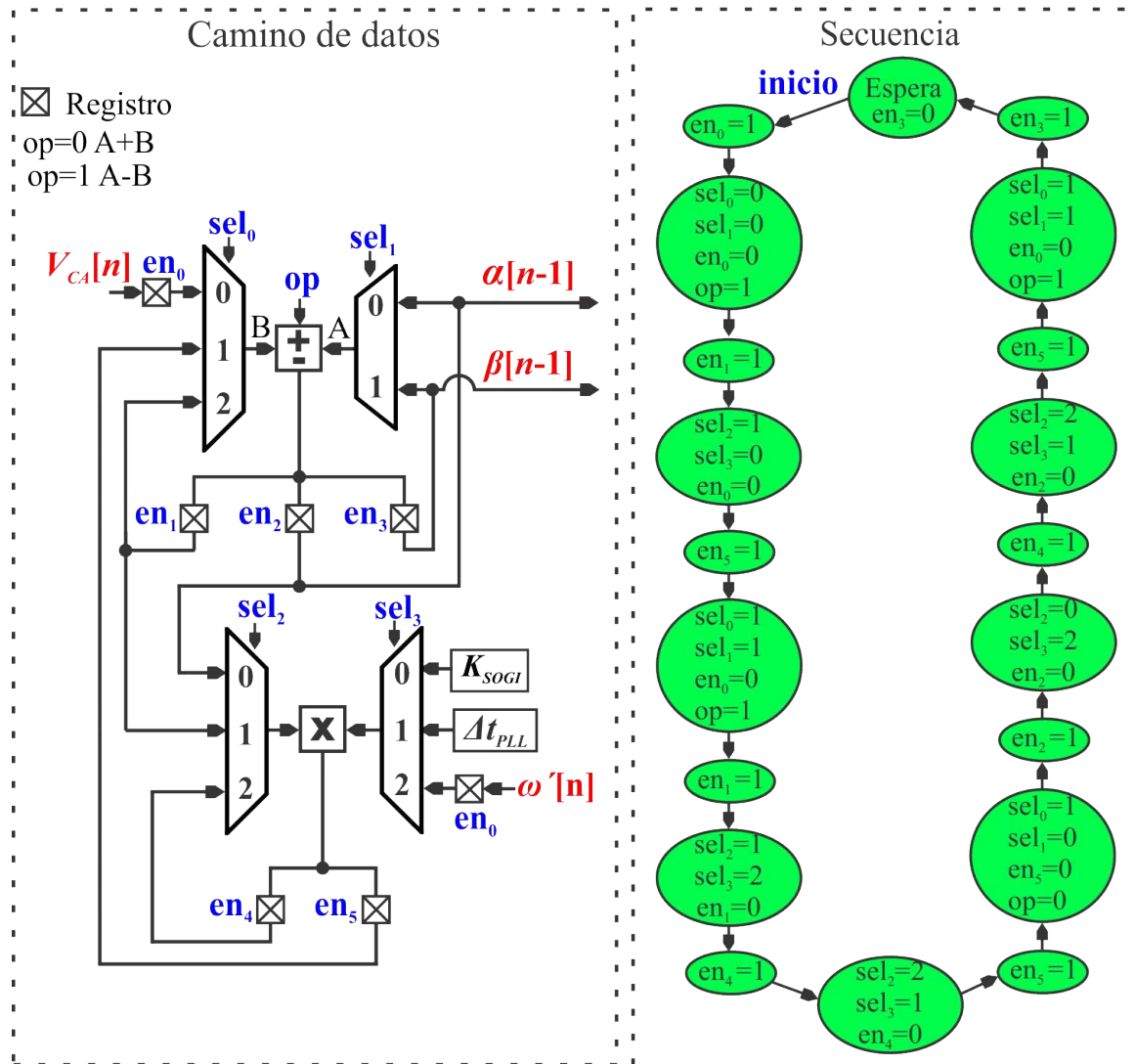


Figura 4.10: Diagrama de flujo de datos y máquina de estado finito.

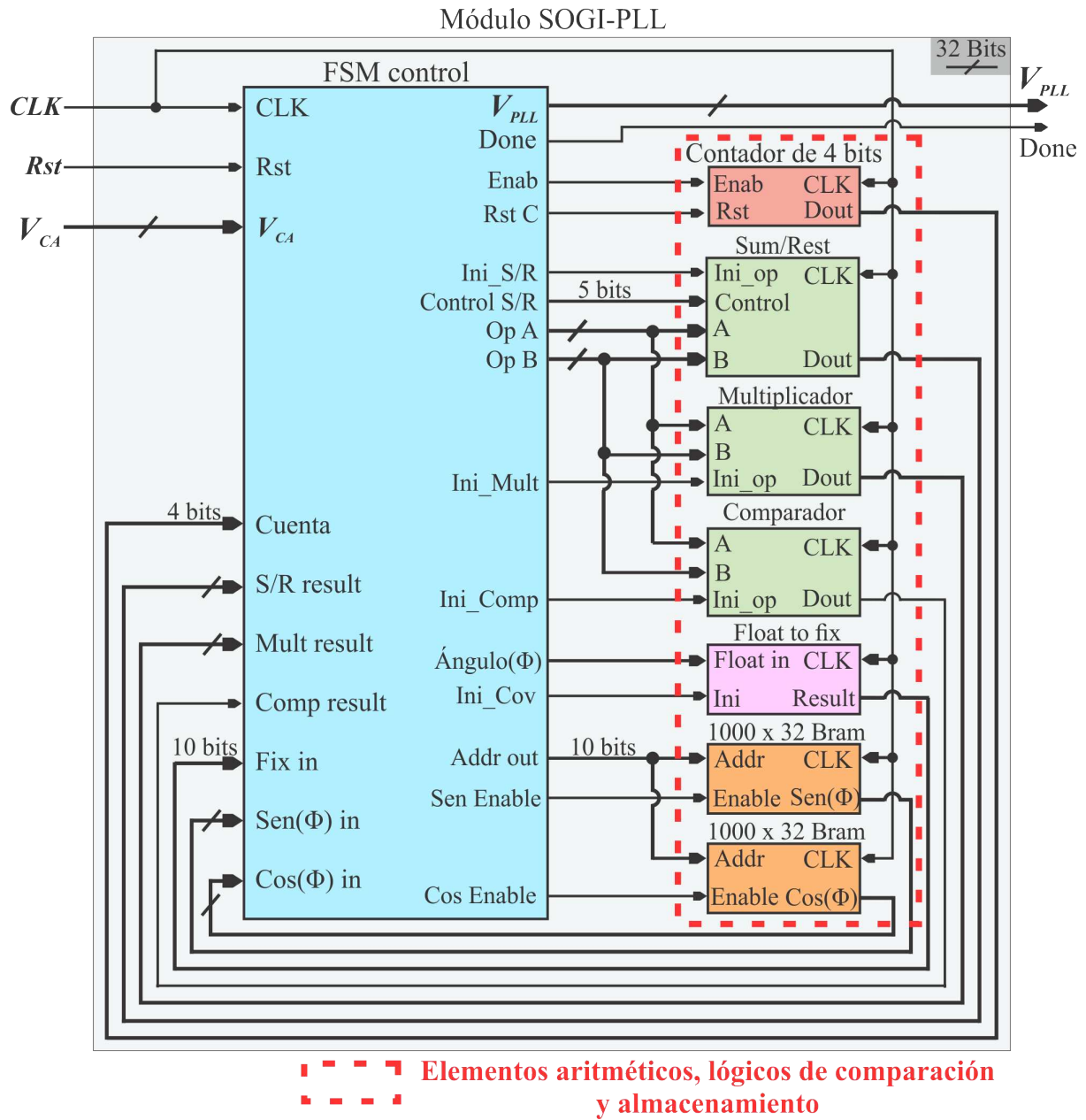


Figura 4.11: Módulo SOGI-PLL.

4.3.2. Diseño del controlador y generación de las señales de referencia

Este apartado consta de cuatro cálculos principales (ver Figura 4.7): Cálculo de la corriente deseada (i_{AC}^*), cálculo del voltaje deseado (V_{CD}^*), cálculo de la prealimentación del controlador (u_{av}^*) y el cálculo del controlador basado en pasividad (u_{av}).

A continuación, se muestra el valor de la aproximación discreta de cada una de las ecuaciones que conforman el módulo de la ley de control y señales de referencia. En primer lugar, la ecuación (3.25) se calcula mediante la siguiente expresión:

$$\begin{aligned}
 i_{CA}^*[n] &= A_1[n] \text{sen } \Phi [n] \\
 A_1[n] &= \frac{E}{2r_L} - \sqrt{\rho} \\
 \rho &= \frac{E^2 K^2 R_L - 8r_L [v^2 + R_L v (B\omega_d + \hat{\tau}_L[n])]}{4r_L^2 K^2 R_L} \\
 v &= R_a B\omega_d + R_a \hat{\tau}_L[n] + K^2 \omega_d
 \end{aligned} \tag{4.13}$$

la aproximación discreta de la ecuación (3.22) está dada por la siguiente expresión:

$$V_{CD}^*[n] = (R_a B\omega_d + \hat{\tau}_L) K^{-1} + K\omega_d \tag{4.14}$$

de manera similar, la aproximación discreta de la ecuación (3.24) está dada por:

$$u_{av}^*[n] = \frac{V_{CA}[n] - r_L i_{CA}^*[n]}{V_{CD}^*[n]} \tag{4.15}$$

finalmente, la aproximación discreta del controlador ESEDPOF (3.20) se muestra a continuación:

$$u_{av}[n+1] = u_{av}^*[n] - \gamma i_{CA}^*[n](e_V[n]) + \gamma V_{CD}^*[n](e_i[n]) \tag{4.16}$$

donde,

$$e_i[n] = i_{CA}[n] - i_{CA}^*[n] \tag{4.17}$$

$$e_V[n] = V_{CD}[n] - V_{CD}^*[n] \tag{4.18}$$

Por otra parte, el procedimiento de optimización del flujo de datos para el módulo del controlador basado en pasividad y señales de referencia, se basa en la metodología A^3 mencionada anteriormente, la cual fue aplicada a los operadores aritméticos de suma-resta, multiplicación, división y comparación. Como resultado, la Figura 4.12 se muestra la arquitectura optimizada del algoritmo. Los datos generados por el controlador son enviados al módulo de generación de PWM a través del registro de salida u_{av} .

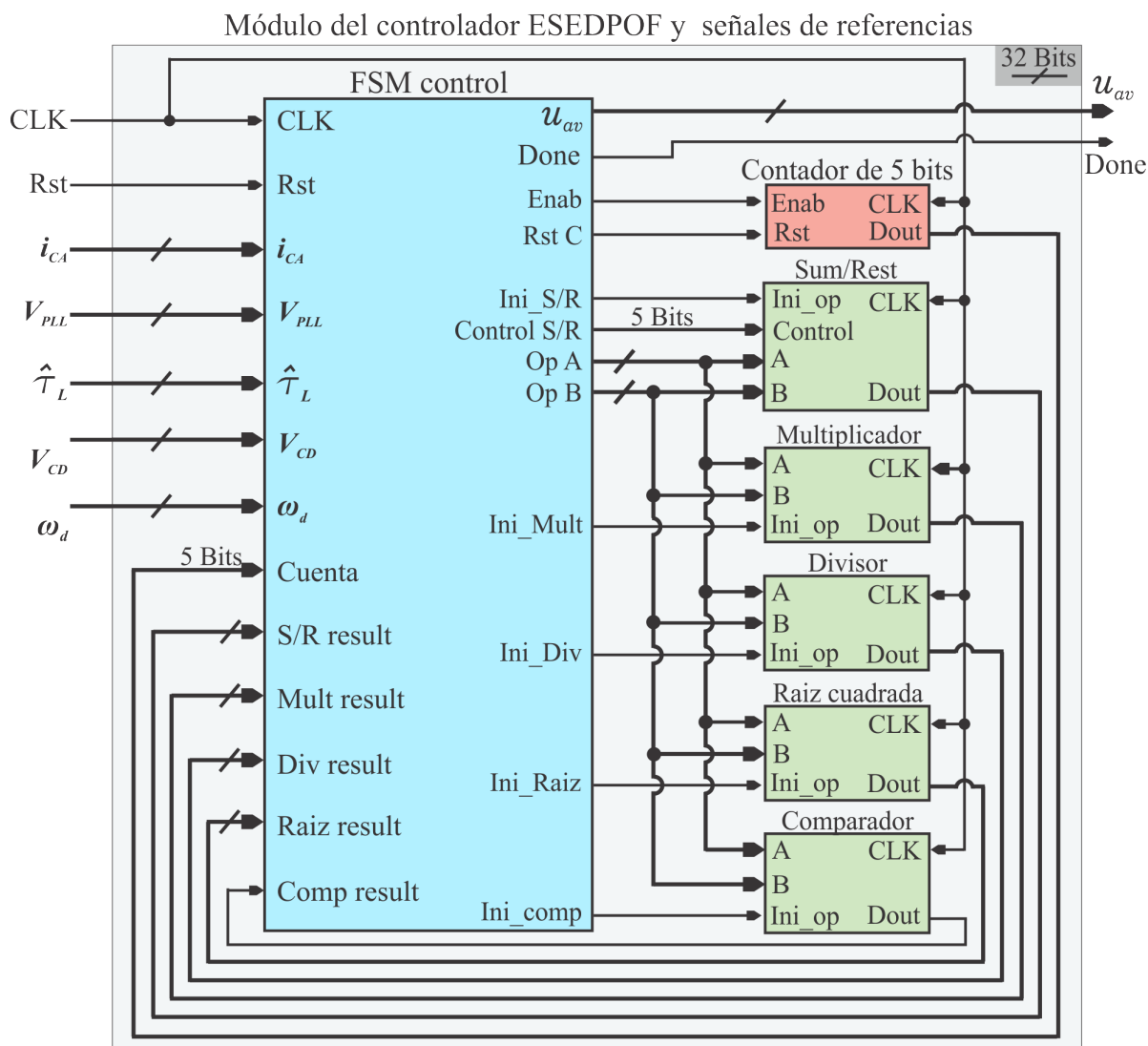


Figura 4.12: Módulo del controlador basado en pasividad y señales de referencia.

4.3.3. Modulador PWM

El esquema PWM implementado para este diseño es del tipo PWM Sinusoidal (S-PWM, Sinusoidal Pulse Width Modulation). Este módulo recibe la señal u_{av} del bloque de la ley de control y genera cuatro salidas PWM: $u_A, \bar{u}_A, u_B, \bar{u}_B$, estas señales son usadas para el control de conmutación de los MOSFETs de potencia del rectificador activo. El generador PWM está compuesto por varios bloques funcionales (ver Figura.4.13), cada uno de ellos se describe a continuación.

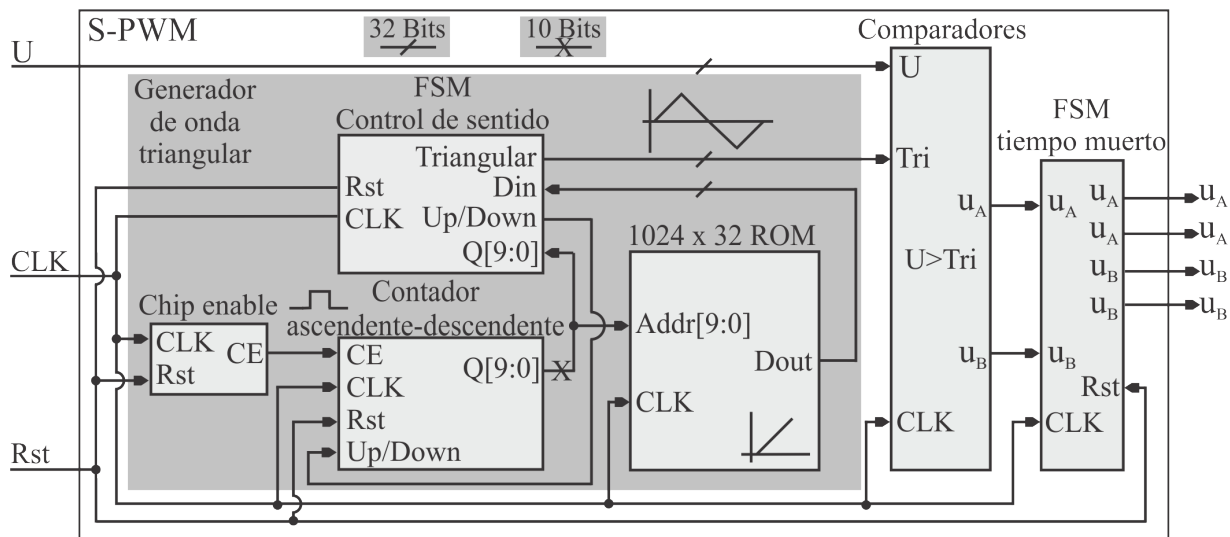


Figura 4.13: Módulo del generador S-PWM.

Generador de onda triangular

En este bloque se genera una aproximación discreta de una onda triangular, usando el formato de punto flotante de precisión simple; la frecuencia de la onda triangular es de 16 KHz y con una amplitud pico a pico de ± 1 . Basado en un periodo de muestreo de 16 ns, la onda triangular fue aproximada usando 4000 muestras. Considerando la simetría de la onda triangular, solo el segmento $Tri[0, \pi/2]$ es calculado y almacenado en memorias ROM (basadas en la BRAM del dispositivo reconfigurable), estas memorias fueron configuradas mediante el programa IP CORE de EDA Xilinx ISE Design como memorias ROM. los otros segmentos son generados a partir del segmento ya almacenado (ver ecuación 4.19), por lo tanto, solo se requirió guardar 1000 datos dentro de la memoria ROM.

$$\begin{aligned}
 Tri[\pi/2, \pi] &= Tri[\pi/2 - (0, \pi/2)] \\
 Tri[\pi, 3\pi/2] &= -Tri[0, \pi/2] \\
 Tri[3\pi/2, 2\pi] &= -Tri[\pi/2 - (0, \pi/2)]
 \end{aligned}
 \tag{4.19}$$

Comparadores de magnitud

Este bloque está compuesto por dos comparadores de 32 bits, dentro de este módulo se realiza una comparación de magnitud, entre la señal de control obtenida (u_{av}) y la onda triangular por medio de las siguientes operaciones: $u_A = u_{av} > Tri$ y $u_B = \bar{u}_{av} > Tri$;

finalmente se generan dos señales S-PWM.

FSM de tiempo muerto

Este módulo añade un retardo entre las señales u_A y u_B . Además, genera otras dos señales S-PWM de la siguiente manera; $u_A = \bar{u}_B$ y $u_B = \bar{u}_A$. Adicionalmente, se añade un retardo entre las señales u_A y u_B , este retardo es llamado "tiempo muerto" y tiene la finalidad de evitar un corto circuito entre los dispositivos de conmutación complementarios; la duración del retardo fue calculado tomando en cuenta las características del dispositivo de conmutación empleado (IRFP450) y está definido por la siguiente expresión:

$$t_{DT} = (2) * (t_{MOSFET_{OFF}}) = (2) * (92ns) = 184ns \quad (4.20)$$

finalmente se implementó un tiempo muerto de $200ns$.

4.3.4. Estimador algebraico en línea para el parámetro de par de carga

Siguiendo con el rediseño digital, la ecuación (4.21) muestra la aproximación discreta del estimador algebraico en línea para el parámetro de par de carga τ_L .

$$\hat{\tau}_L [n] = \begin{cases} \hat{\tau}_{ini} \simeq \tau_L \text{ para } n = 0 \\ \frac{num[n]}{den[n]} \text{ para } n = 1, 2, \dots, k \\ T_E = kT, k = 0, 1, 2, \dots, n > 0 \end{cases} \quad (4.21)$$

Donde,

$$\begin{aligned} num[n] &= Int_3[n] + Int_2[n] - Int_1[n] - 2J(kT [n])\omega[n] \\ Int_1[n] &= 2B((kT [n])(Int_1 [n - 1] + \Delta t_s \omega[n])) \\ Int_2[n] &= 2K((kT [n])(Int_2 [n - 1] + \Delta t_s i_a[n])) \\ Int_3[n] &= 2J(Int_3 [n - 1] + \Delta t_s \omega[n]) \\ den[n] &= (kT [n])^2 = Const = 4 \end{aligned} \quad (4.22)$$

Δt_s representa el paso de integración del estimador algebraico en línea y $kT [n]$ es la base de tiempo del estimador. Otro rasgo importante, respecto a la optimización del flujo de datos

del estimador, es la ventana de tiempo de estimación T_E , la cual es la misma ventana de tiempo para cada una de las estimaciones de $\hat{\tau}$, además, se puede observar en la ecuación 4.22 que el denominador ($den[n]$) depende de T_E , por lo tanto, este fue pre-calculado y fijado como valor constante. Además, su valor inverso se utilizó para evitar el uso de un divisor de punto flotante como se puede apreciar en la Figura 4.7. Si $kT[n]$ es mayor que el tiempo de ventana T_E ($kT[n] > T$), se habilita la multiplicación para obtener un nuevo valor de $\hat{\tau}$.

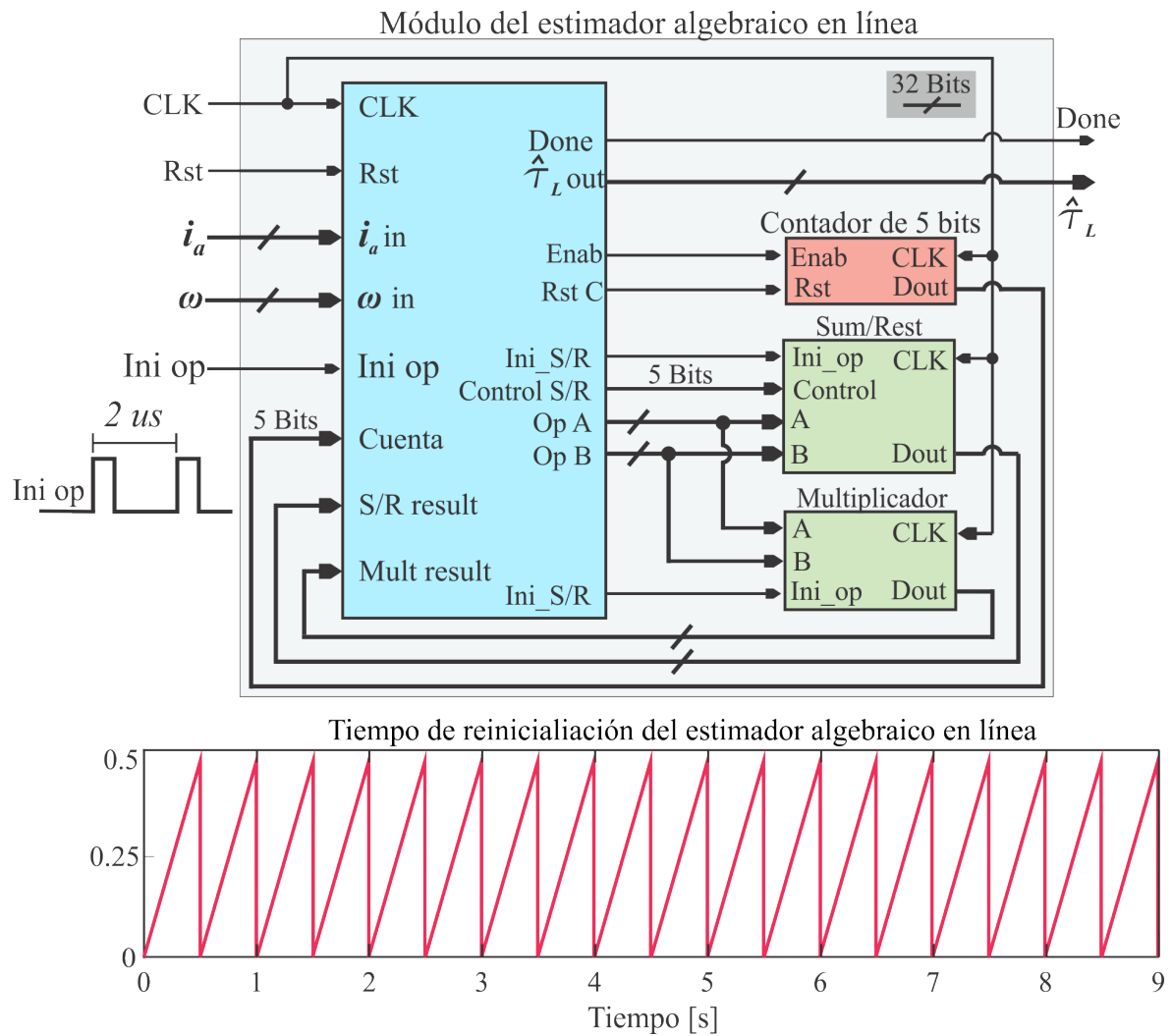


Figura 4.14: Módulo del estimador algebraico en línea.

4.3.5. Observador de orden reducido para el parámetro de par de carga

Para la implementación del observador de orden reducido es necesario obtener la aproximación de las ecuaciones 3.41 y 3.43. La derivada con respecto al tiempo de $\dot{\zeta}[n]$ está dada por:

$$\dot{\zeta}[n] = \lambda(Ki_a[n] - B\omega[n] - \zeta[n] + \lambda J\omega[n]) \quad (4.23)$$

a continuación, se aplica el método de integración de Euler a la ecuación 4.23 para obtener el valor de $\zeta[n]$,

$$\zeta[n] = \zeta[n - 1] + \Delta t\dot{\zeta}[n] \quad (4.24)$$

finalmente, la ecuación 4.25 representa al par de carga estimado mediante el observador de orden reducido.

$$\hat{\tau}_L = \zeta[n] - \lambda J\omega[n] \quad (4.25)$$

Dicho lo anterior, en la Figura 4.15 se muestra la arquitectura completa del hardware optimizado para la implementación en FPGA del observador de orden reducido, mientras satisface las limitaciones de uso de recursos lógicos y tiempo de cómputo.

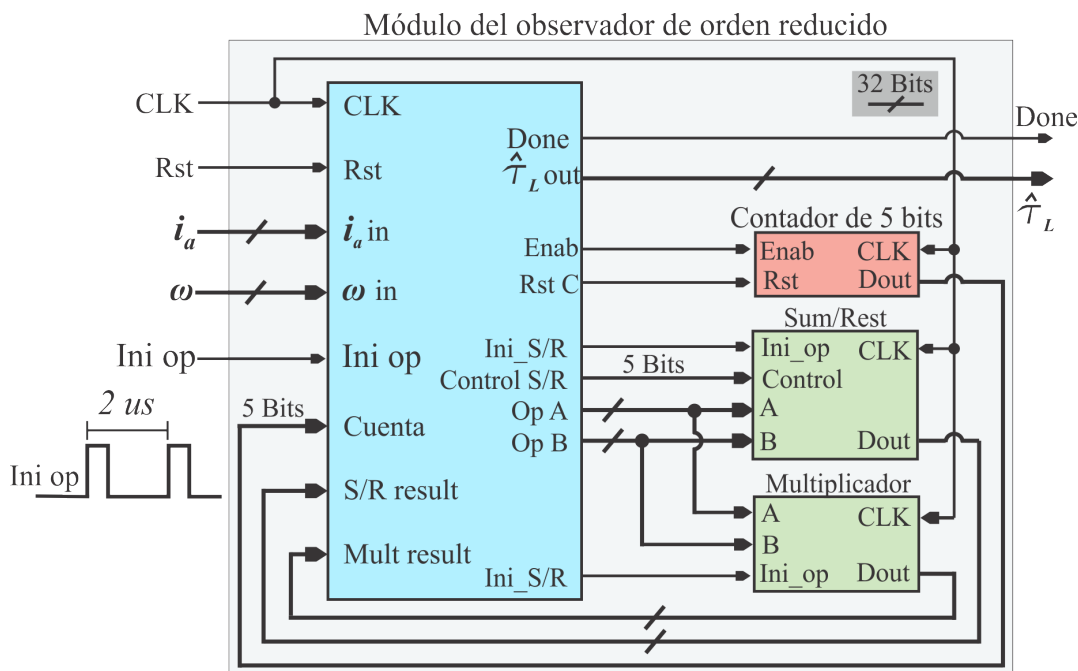


Figura 4.15: Módulo del observador de orden reducido.

4.3.6. Módulo de interfaz de conversión analógica a digital

La información generada a partir de los sensores de voltaje, corriente y velocidad en el sistema RMA-MCD son señales continuas en el tiempo (analógicas), por lo tanto, se deben convertir a un formato digital para que el FPGA pueda procesarla. Con este propósito, se empero el convertidor analógico-digital **ADS7041** de Texas instruments, este convertidor tiene una resolución de 10 Bits, un tiempo de conversión de $1\mu s$ (t_{CONV}) y tiene un rango de voltaje de entrada de 0 a 3.3V.

La comunicación entre el convertidor Analógico-Digital (ADC, por sus siglas en inglés) se realiza mediante el protocolo de comunicación SPI (Serial Peripheral Interface). El módulo de la interfaz de conversión ADC está compuesta por cuatro submódulos:

- **Control del ADC.**
- **Interfaz ADC.**
- **Conversor de punto fijo a punto flotante de 32 Bits.**
- **Multiplicador de resolución.**

El diagrama a bloques del módulo de la interfaz de conversión analógica-digital se muestra en la Figura 4.16. A continuación, se describe cada uno de los submódulos que forman parte del módulo de conversión analógica-digital:

Control del ADC

Este submódulo contiene un temporizador para iniciar el proceso de conversión analógico a digital cada $8\mu s$ mediante la señal (Ini_op) y al mismo tiempo, contiene una sencilla FSM, la cual tiene el propósito de controlar el submódulo de interfaz ADC, un conversor de punto fijo a punto flotante de precisión simple de 32 Bits y un submódulo aritmético de multiplicación de 32 Bits. Cada periodo de tiempo que la señal del habilitador (Ini_op) se pone en "1" lógico, este submódulo inicia el submódulo de interfaz ADC para adquirir nuevos datos, así mismo, la FMS de control del ADC espera el pulso llamado "Done" de

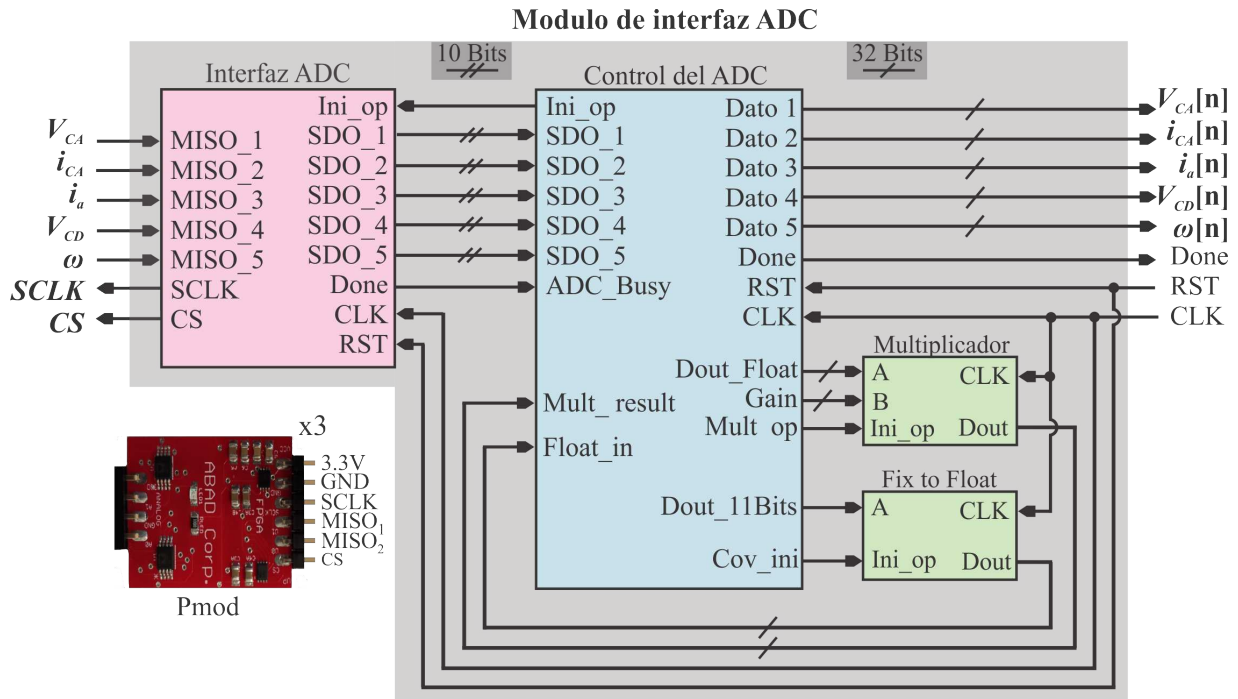


Figura 4.16: Diagrama a bloques de la interfaz de conversión analógico-digital.

la interfaz ADC para indicar que la conversión ha finalizado y los datos del ADC están listos para ser leídos en cinco canales independientes de 10 Bits (SDO_1 , SDO_2 , SDO_3 , SDO_4 , y SDO_5).

Enseguida, se realiza un respaldo de la información proporcionada por los submódulos de interfaz ADC y se aplica, un corrimiento a cada dato guardado sobre 0 (*offset*) con un valor binario de 512, después, se agrega un bit de signo a cada uno de los datos guardados, es decir se agrega un "0". Después, se procede a convertir cada uno de los datos guardados en el formato de punto fijo de 11 Bits a un valor en punto flotante de 32 Bits, mediante un convertidor de punto fijo a punto flotante, además cada uno de los valores en punto flotante es respaldado. Finalmente, cada uno de los valores en punto flotante es convertido a una magnitud de voltaje, corriente o velocidad angular mediante un multiplicador de resolución de 32 Bits y la información obtenida es nuevamente respaldada y estará disponible para ser leída en los canales de 32 Bits ($Dato1=V_{CA}[n]$, $Dato2=i_{CA}[n]$, $Dato3=i_a[n]$, $Dato4=V_{CD}[n]$ y $Dato5=\omega[n]$).

Interfaz ADC

Este submódulo es una FSM que implementa el protocolo de comunicación SPI entre el dispositivo ADS7041 y el FPGA. En el caso particular de esta implementación, el control de los cinco ADCs utilizados en el sistema RMA-MCD se realizó de forma concurrente, dicho de otra manera, cada dispositivo ADS7041 tiene su propia interfaz ADC y entregan al mismo tiempo el dato obtenido de la medición.

La Figura 4.17 muestra un diagrama de tiempo detallado para la comunicación SPI, en el se puede apreciar que la conversión analógico-digital inicia con un flanco de bajada en la señal CS y termina con un flanco de subida en la señal CS. El dispositivo ADS7041 utiliza el reloj proporcionado en el pin SCLK para la transferencia de datos y el resultado de la conversión estará disponible a través del pin SDO con los dos primeros bits establecidos en 0, seguido de 10 Bits con el resultado de la conversión ADC.

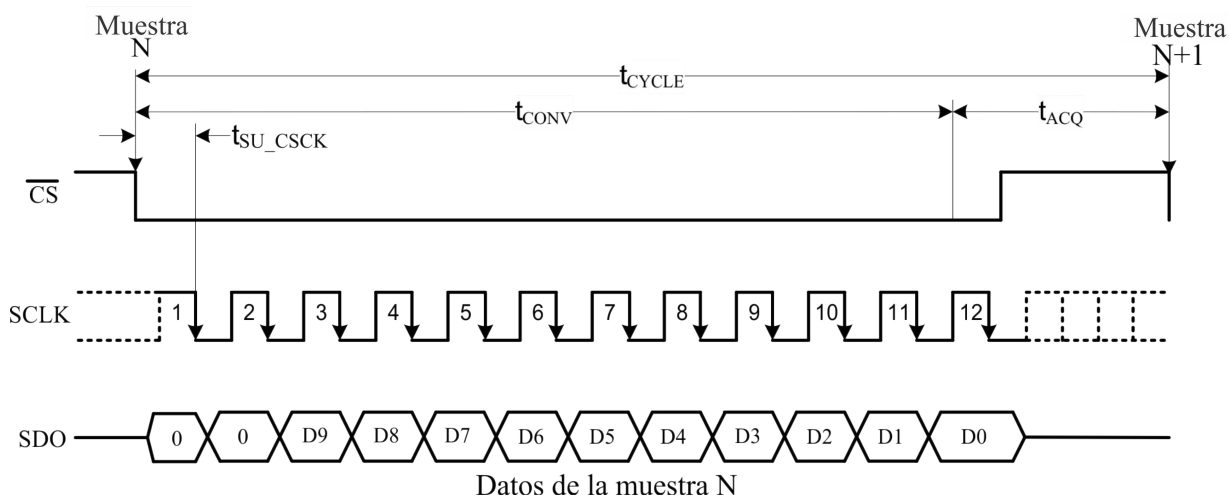


Figura 4.17: Diagrama de tiempo de la interfaz serial.

Convertor de punto fijo a punto flotante

Este submódulo convierte el valor integral leído del bus de datos llamado Dout_11Bits a un valor en formato de punto flotante de precisión simple de 32 Bits. Este submódulo fue configurado por medio del programa IP CORE de EDA Xilinx ISE Design.

Multiplicador de resolución

Este submódulo, es un multiplicador de punto flotante precisión simple de 32 Bits, el cual fue configurado por medio del programa IP CORE de EDA Xilinx ISE Design. El objetivo de este submódulo es convertir un valor de punto flotante a una magnitud de voltaje, corriente o velocidad angular a partir de los valores provenientes del conversor de punto fijo a punto flotante ($Float_in$) y una ganancia de resolución ($Gain_{ADC}$).

La ganancia de resolución del convertidor, viene dada por la siguiente expresión:

$$Gain_{ADC} = \frac{Magnitud_{m\acute{a}xima}}{Offset} \quad (4.26)$$

donde, la $Magnitud_{m\acute{a}xima}$ de voltaje es de 200V y la $Magnitud_{m\acute{a}xima}$ de corriente es de 5A tanto para CA como para CD, por otro lado la $Magnitud_{m\acute{a}xima}$ de velocidad angular es de 180rad/s y el Offset= 512. Considerando lo anterior, la conversión para cada uno de los valores en punto flotante a una magnitud está dada por la siguiente expresión:

$$Dato = (Dout_Float)(Gain_{ADC}) \quad (4.27)$$

Otro factor que influye en la conversión analógica-digital es el acondicionamiento de las señales. El sistema RMA-MCD es capaz de generar una salida en CD de 0 a 100 Volts indispensable para la medición de la velocidad angular del motor de CD, además la alimentación del sistema es de 72 V_{CA} la cual es necesaria medir para el funcionamiento del sistema, también es capaz de generar un voltaje de salida en CD de 100 a 180 Volts, pero el dispositivo ADS7041 puede leer un voltaje entre 0 y 3.3V, por lo tanto, es necesario contar con una etapa de acondicionamiento de voltaje, que puede estar basada en el tratamiento de la señal por medio de amplificadores operacionales (ver Anexo A).

4.3.7. Administrador de reloj

El administrador digital de reloj (DCM, *Digital Clock Manager*) provee de manera flexible un control completo sobre la frecuencia de reloj, manteniendo sus características con un alto grado de precisión a pesar de las variaciones en operación debido a cambios de voltaje o temperatura. En la Figura.4.18, se puede apreciar que la señal **CLK 0** es la misma que la señal **CLKIN**, pero el DCM provee la característica de corrección para

asegurar una señal de reloj limpia con un 50% de ciclo de trabajo, ya que elimina el desplazamiento de la señal de reloj.

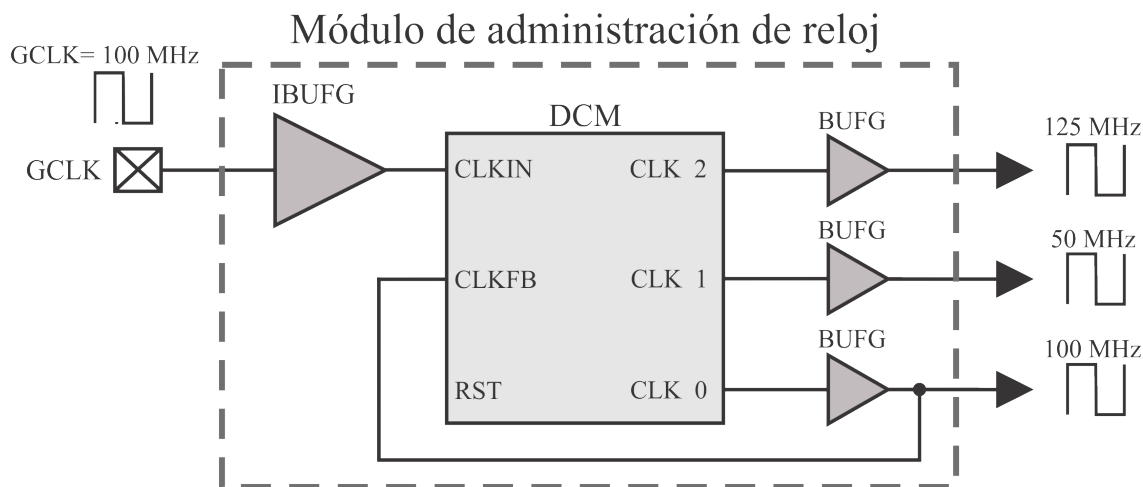


Figura 4.18: Módulo de administración de reloj.

El módulo de administración de reloj, genera el reloj global del sistema para los módulos aritméticos y las FSM de cada uno de los módulos implementados en el dispositivo FPGA (ver Figura.4.1), el algoritmo de enganche de fase SOGI-PLL, el estimador algebraico en línea u observador de orden reducido a partir de la frecuencia principal de 100 MHz (CLKIN) y en adición, también genera el reloj para el modulador S-PWM y el módulo de la interfaz de adquisición de datos y decodificación del ADC con una frecuencia de 125 MHz y 50 MHz respectivamente.

4.3.8. Utilización de puertos de entradas y salidas de la tarjeta FPGA Nexys 3

La tarjeta Nexys 3 (ver Figura 4.19) es una plataforma de desarrollo de circuitos digitales completa y lista para usar, se basa en el FPGA Xilinx Spartan-6 LX16. Cuenta con un conector VHDC de 40 pines para entradas y salidas de alta velocidad, además de cuatro puertos para Pmod de ocho pines, ocho interruptores deslizantes, cinco botones pulsadores, ocho LEDs individuales y un display de siete segmentos de cuatro dígitos. Con respecto a la implementación del RMA-MCD, se utilizaron los cuatro puertos Pmod disponibles en la tarjeta Nexys 3. El puerto PmodB fue utilizado para generar cuatro

señales PWM y una salida digital para el control de la carga del motor CD. Los puertos PmodA, PmodC y PmodD se utilizan para controlar las tres tarjetas ADC (cada tarjeta tiene dos ADC), a través del protocolo de comunicación SPI, por lo tanto, el número de señales de entradas y salidas necesarias es cuatro (Sclk, CS, MISO₁ y MISO₂) para cada una de las placas ADC. Adicionalmente, se utilizaron ocho interruptores deslizantes, tres pulsadores, tres LEDs, un display de siete segmentos de cuatro dígitos, un puente FTDI FT232 USB-UART para permitir que las aplicaciones de PC se comuniquen con la tarjeta Nexys 3 y por ultimo un puerto de entrada para la señal de reloj. En total se utilizan 47 puertos de entradas y salidas digitales.

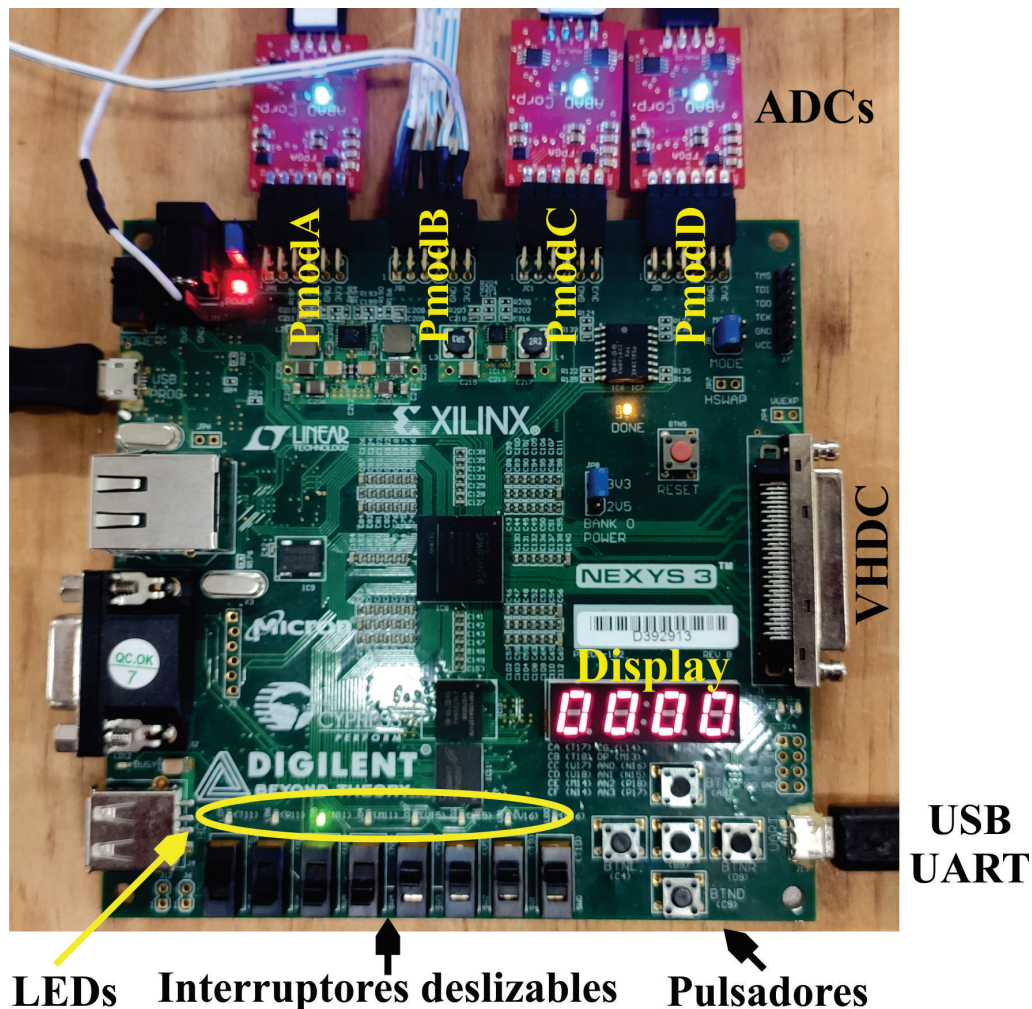


Figura 4.19: Plataforma de desarrollo Nexys 3.

4.3.9. Utilización de los recursos lógicos del FPGA

Con el fin de evaluar el desempeño de nuestra implementación en FPGA, en este trabajo se presenta el resumen respecto a el consumo de recursos lógicos del dispositivo FPGA, obtenido mediante el software de desarrollo Xilinx ISE 14.7, donde se llevó a cabo la implementación. La utilización de los recursos de hardware se resume en la Tabla 4.2, la cual, muestra elementos de diseño fundamentales como Slices, LUTs, Elementos embebidos (BRAM, DSP481S Slices), entradas y salidas. Aquí, el porcentaje de Slices ocupados utilizados por la implementación del algoritmo de control es 99 %. Cabe hacer mención que el FPGA Spartan-6 LX16 es uno de los FPGA más pequeños de la familia SPARTAN, por lo que está diseñada para aplicaciones de bajo costo.

Tabla 4.2: Consumo de Hardware.

Recurso de Hardware	Usado	Disponible	Porcentaje
Slice Register	8342	18254	(45 %)
Slice LUTs	7937	9112	(87 %)
Occuped Slices	2272	2278	(99 %)
16-KByte RAM Blokcs	2	32	(6 %)
8-KByte RAM Blokcs	10	64	(15 %)
DSP48A1s Slices	20	32	(62 %)
IOBs	47	232	(20 %)

4.4. Codificación HDL e implementación en FPGA

La implementación de los módulos y de la arquitectura obtenida en el dispositivo digital (FPGA), agrega algunos pasos adicionales al proceso de diseño que se está siguiendo en este trabajo (ver Figura 4.20). Los pasos mostrados en la Figura 4.20 son usados comúnmente

por las herramientas de desarrollo empleadas en diseños para FPGAs, por ejemplo: ISE, Quartus, Libero que son proporcionadas por los fabricantes de FPGAs tales como Xilinx, Altera, Actel. En este trabajo, la descripción de cada módulo fue realizada en VHDL.

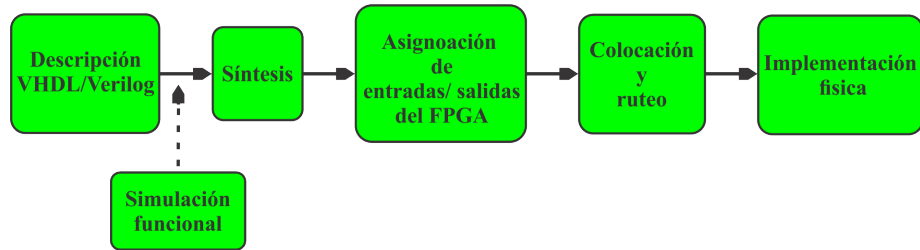


Figura 4.20: Proceso de implementación en FPGA.

Todavía cabe señalar, que gran parte de la lógica en hardware fue codificada a mano y no generada por medio de alguna herramienta de generación de código, tal como, Matlab con su CORE-Generator, etc.

Capítulo 5

Resultados experimentales

Para evaluar el desempeño dinámico del sistema, se han considerado tres tipos de pruebas:

- La primer prueba está orientado a evaluar la respuesta de la velocidad angular del motor CD en estado estacionario, en este sentido la prueba consiste en establecer diferentes valores de velocidad deseada entre 110 hasta 180 rad/s y así verificar que el algoritmo de control es capaz de llevar al motor de CD a dicho valor de referencia.
- En el segundo tipo de pruebas evaluará la respuesta del sistema RMA-MCD ante un transitorio, al aumentar y disminuir repentinamente el par de carga en el eje del motor CD. En esta prueba el sistema estará operando con una velocidad deseada de 115 rad/s y un par de carga de 0.4 Nm, repentinamente el par de carga aumentará a 1 Nm y después se regresará nuevamente a 0.4 Nm. Adicionalmente se empleará un método de estimación para el parámetro de par de carga con el objetivo de aumentar las robustez del sistema ante perturbaciones.
- La prueba final, consiste en verificar la norma IEEE-519, la cual se relaciona con la calidad energética, ya que la energía de entrada del sistema es en CA, proporcionada a través de un transformador de voltaje monofásico que sirve como aislamiento de la red de suministro.

5.1. Plataforma de pruebas

En la Figura 5.1 se muestra la plataforma experimental en la que se realizaron las pruebas, dicha plataforma experimental se encuentra integrada de los siguientes equipos y materiales mostrados en la Tabla 5.1.

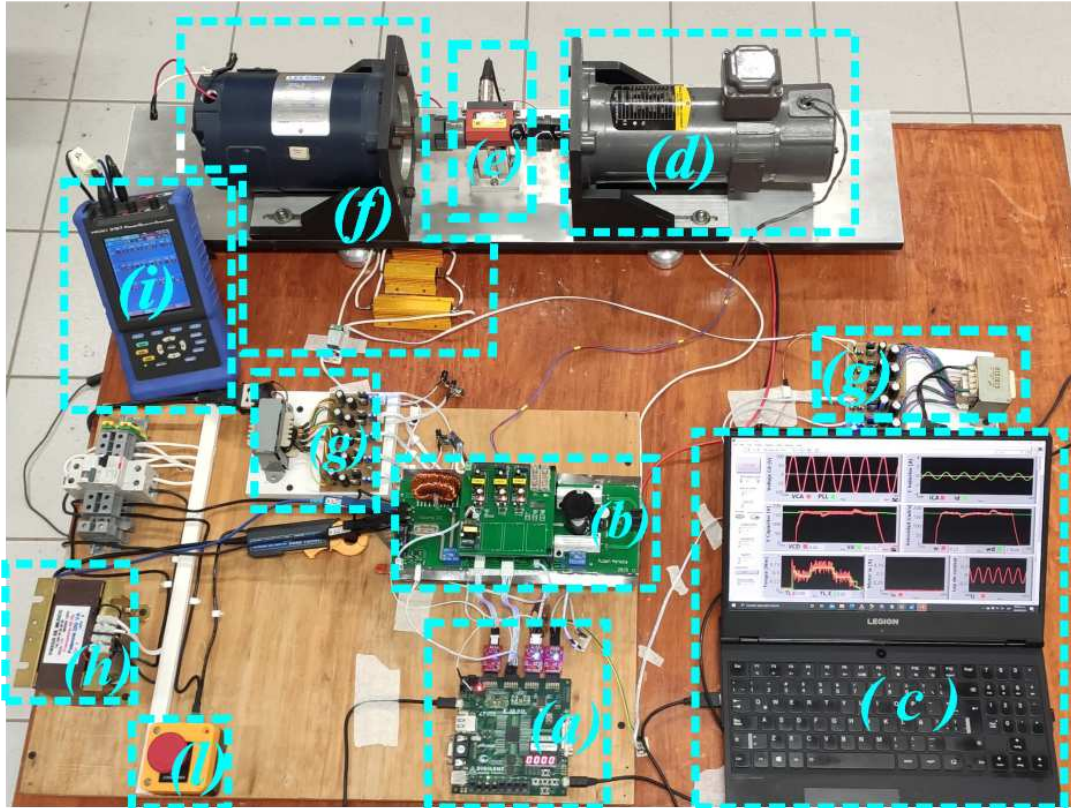


Figura 5.1: Equipo de experimentación.

Tabla 5.1: Equipos y materiales del sistema RMA-MCD.

(a)	Nexys 3 (Spartan-6 LX16 from Xilinx) y ADS7041 (ADC Pmod)	(c)	PC host
(b)	Rectificador activo	(e)	Sensor FUTECK
(d)	Motor BALDOR CDPT3306	(f)	Carga del motor CD
(g)	Fuentes de voltaje aisladas	(h)	Trasformador 127/72V
(i)	HIOKI (Analizador de calidad de energía)	(l)	Paro de emergencia

Para complementar la Figura 5.1, en la Figura 5.2 se muestra más a detalle los componentes del rectificador activo, dicha plataforma se encuentra integrada de los materiales mostrados en la Tabla 5.2.

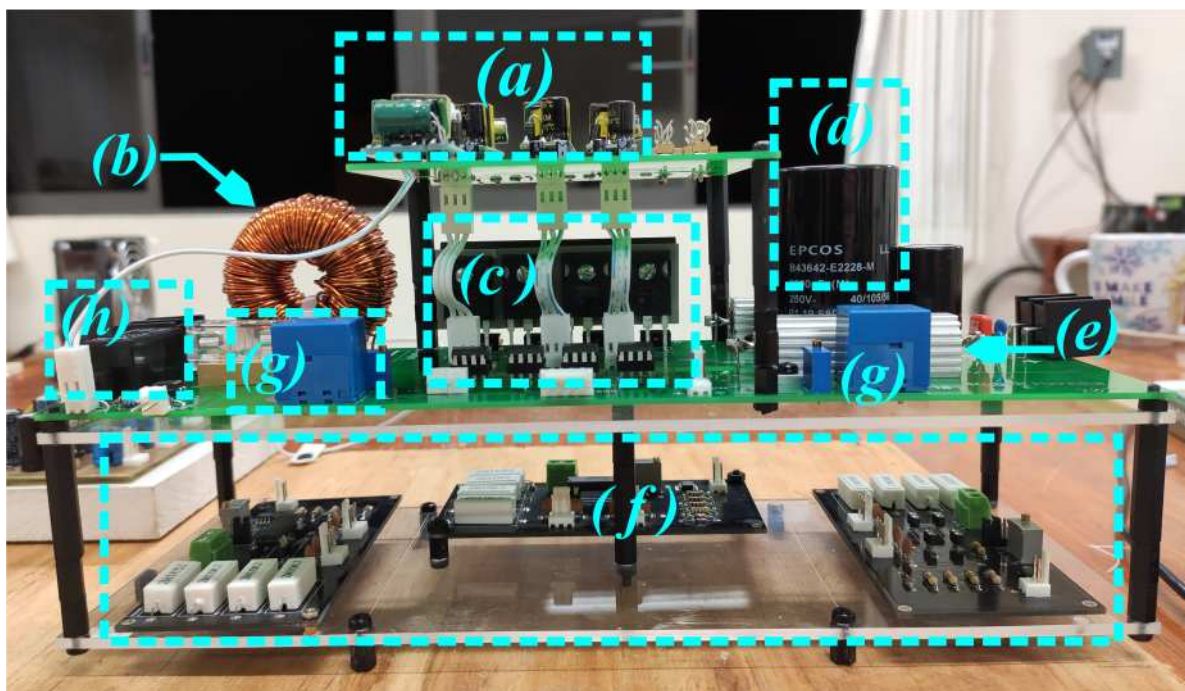


Figura 5.2: Componentes del rectificador activo.

Tabla 5.2: Componentes del rectificador monofásico activo.

(a)	Fuentes de voltaje aisladas	(c)	Puente H (IRFP450 y PC923)
(b)	Inductor (L)	(e)	Resistencia de carga (R_L)
(d)	Capacitor (C)	(f)	Sensores de voltaje
(g)	Sensores de corriente	(h)	Relevador

En la Tabla.5.3 se muestra la lista de los parámetros utilizada en el prototipo.

Tabla 5.3: Parámetros de la implementación

Parámetros	Unidades	Valor
Frecuencia de conmutación	[KHz]	10
Voltaje de entrada	[V]	100
Inductor (L)	[mH]	3
Resistencia del inductor (r_L)	[Ω]	1.15
Capacitor (C)	[μF]	2200
Resistencia de carga (R_L)	[Ω]	2000
Resistencia de armadura (R_a)	[Ω]	9.7
Inductancia de armadura (L_a)	[mH]	33.8
Momento de inercia (J)	[Kg - m ²]	0.001
Constante eléctrica (K_e)	[V - s/rad]	0.94
Constante de par (K_t)	[N - m/rad]	0.94
Fricción viscosa (B)	[(N - m - s)/rad]	0.00078
Ganancia del controlador (γ)		0.0022
K_p		1
K_i		0.001
K_{SOGI}		1
Tiempo de integración PLL (Δt)	[s]	0.000004
Constante de tiempo (T)	[s]	0.000002
Ventana de estimación (T_E)	[s]	0.5
Tiempo de integración estimador (Δt_s)	[s]	0.000002
Ganancia del observador (λ)		10

5.2. Resultados del sistema en estado estacionario

Como ya se describió en la sección anterior, esta prueba se realizó en lazo cerrado, y no se aplicó par de carga en la flecha del motor de CD, esto con la finalidad de verificar que el controlador ESEDPOF tiene la capacidad de regular la velocidad angular del motor de CD. En la Figura 5.3 se muestra la respuesta de velocidad angular del motor de CD en lazo cerrado funcionando con siete velocidades angulares diferentes. De acuerdo a los resultados obtenidos, se puede observar que el control propuesto basado en pasividad lleva satisfactoriamente la velocidad del motor de CD a las referencias deseadas en un rango desde 110rad/s a 180rad/s .

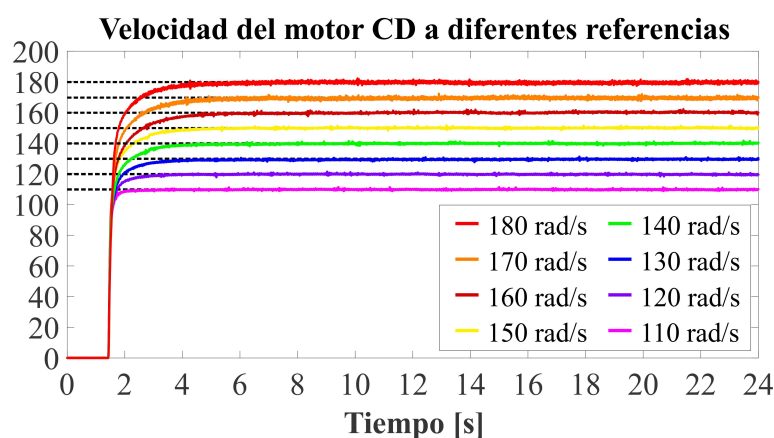


Figura 5.3: Respuesta de la velocidad angular del motor CD de imanes permanentes ante diferentes valores de velocidad deseada.

5.3. Resultados del segundo tipo de pruebas

Para este segundo tipo de pruebas, los resultados obtenidos se muestran en la Figura 5.4. Cabe mencionar que las pruebas de velocidad se realizan tanto con un observador de orden reducido y un estimador algebraico en línea para la retroalimentación del parámetro del par de carga. Los resultados obtenidos con el observador están denotados por ω_O , mientras que los resultados obtenidos por el estimador están denotados por ω_E .

Las pruebas de velocidad angular muestran una mayor robustez ante perturbaciones exógenas de par cuando se adapta el valor estimado mediante el observador de orden reducido

en comparación con el estimador algebraico en línea, esto se observa en los intervalos de tiempo de [7-8] y [15-17] segundos. Es claro ver que ambos métodos de estimación logran adaptar las referencias de corriente y voltaje para que el controlador regule la velocidad angular a un valor deseado.

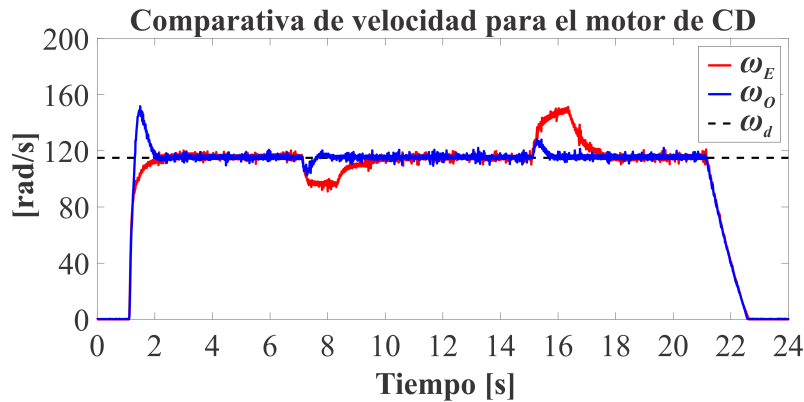


Figura 5.4: Respuesta de la velocidad angular ante un cambio de par de carga.

Los errores para la regulación de velocidad angular se presentan en la Figura 5.5. En esta gráfica puede observarse que el error de velocidad angular cuando se implementa el estimador algebraico en línea (error ω_E) y el observador de orden reducido (error ω_O) convergen asintóticamente a cero, aún ante cambios súbitos de par de carga, es decir, se observa que los errores permanecen acotados dentro de una pequeña vecindad a cero. Se puede observar que ambos métodos de estimación de par de carga logran minimizar los efectos producidos por un cambio de par de carga repentino.

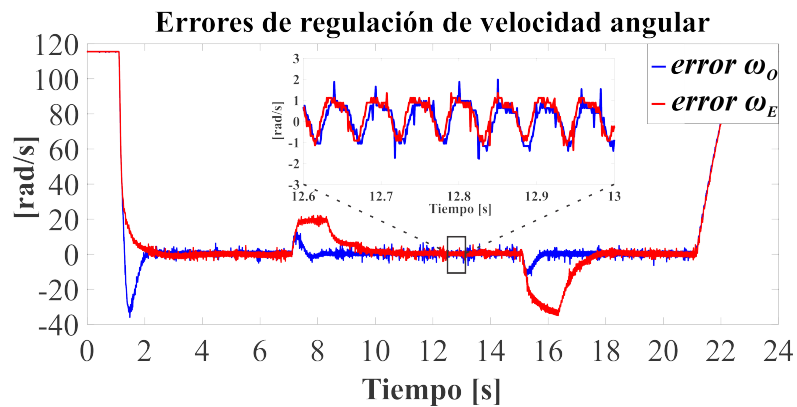


Figura 5.5: Errores de velocidad angular.

La Figura 5.6 muestra la comparativa del voltaje de salida (V_{CD}) y el voltaje deseado (V_{CD}^*) del RMA-MCD cuando se emplean los métodos de estimación para el parámetro de par de carga con la finalidad de adaptar el voltaje deseado (V_{CD}^*) y así poder mantener una velocidad angular constante en la flecha del motor de CD cuando se aumenta el par de carga en su eje. Los resultados obtenidos con el estimador algebraico en línea se muestran en la Figura 5.6(a), donde se puede apreciar que el voltaje de salida (V_{CD}) no presenta un transitorio cuando se pone en marcha el sistema, por otro lado, en los intervalos de tiempo [7-8] y [15-7] se observa que la adaptación del voltaje es lenta debido a la ventana de tiempo de 0,5s del estimador algebraico en línea. De forma similar en la Figura 5.6(b) se muestran los resultados obtenidos con el observador de orden reducido donde, es claro ver que presenta un mejor desempeño para la adaptación del voltaje de salida del rectificador activo.

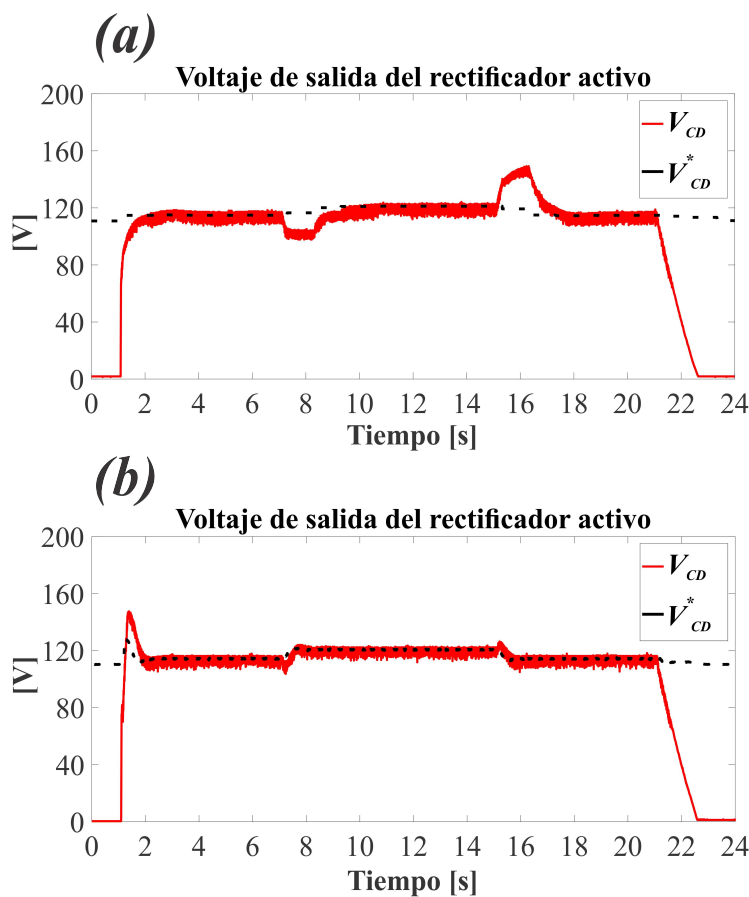


Figura 5.6: Respuesta del voltaje de salida del rectificador activo ante un cambio de par de carga repentino.

De manera similar, la Figura 5.7 muestra la comparativa de la corriente del inductor (i_{CA}) y la corriente de referencia (i_{CA}^*) del RMA-MCD empleando dos métodos de estimación para el parámetro de par de carga. Como era de esperarse, la corriente del inductor aumenta su amplitud cuando se aplica par de carga en el eje del motor CD, además se puede apreciar que ambos métodos de estimación son capaces de adaptar la amplitud de la corriente deseada i_{CA}^* . En la Figura 5.7(a) se muestran los resultados obtenidos cuando se emplea el estimador algebraico en línea, donde se puede apreciar que la amplitud de la corriente i_{CA}^* se actualiza una vez que el estimador algebraico obtiene un nuevo valor de $\hat{\tau}_L$, el cual, adapta la referencia actual, además la corriente tiene una forma sinusoidal perfecta. Por otro lado, la Figura 5.7(b) se observa un transitorio de corriente más grande cuando se pone en marcha el sistema, por otro lado, la adaptación de la corriente i_{CA}^* es más rápida, además, se aprecian pequeñas oscilaciones en su amplitud, cosa distinta que ocurre en los resultados obtenidos con el estimador algebraico.

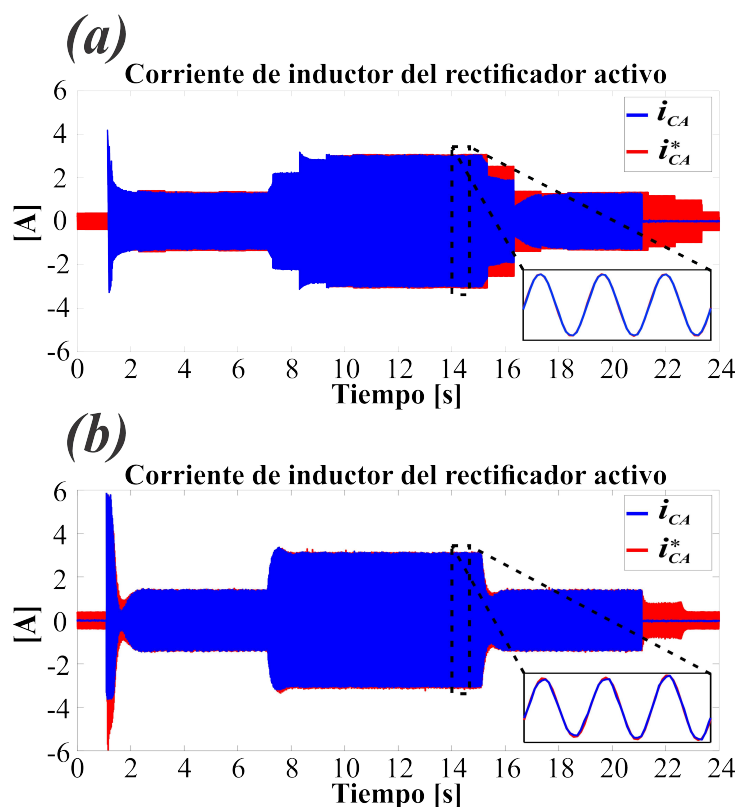


Figura 5.7: (a) Respuesta de la corriente del rectificador activo con estimador algebraico; (b) Respuesta de la corriente del rectificador activo con observador de orden reducido.

La Figura 5.8 muestra la comparación entre el par de carga τ_L medido por medio de un sensor y los dos pares de carga estimados ($\hat{\tau}_{LE}$ y $\hat{\tau}_{LO}$). Se observa que, el estimador algebraico en línea proporciona un valor de par de carga estable y preciso a diferencia del sensor de par rotativo y el observador de orden reducido, incluso con la existencia de un cambio brusco de par de carga.

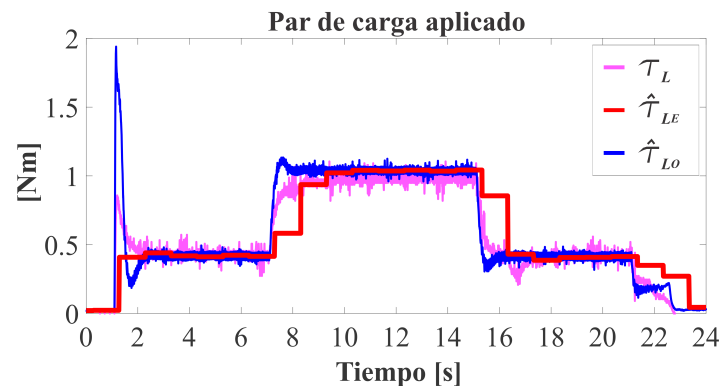


Figura 5.8: Comparación entre el par de carga medido τ_L y los estimados ($\hat{\tau}_{LE}$ y $\hat{\tau}_{LO}$).

Con respecto a la corriente de armadura del motor de CD la Figura 5.9 muestra la comparativa de las corrientes i_{aE} e i_{aO} . La corriente i_{aE} es el resultado de la adaptación del estimador algebraico en línea, se puede apreciar en la Figura 5.9 que la corriente i_{aE} sufre de cambios en su amplitud de forma escalonada en cada uno de los intervalos de tiempo donde existe la perturbación de par de carga en el eje del motor, comportamiento similar al par de carga estimado $\hat{\tau}_{LE}$. Por otro lado, la corriente i_{aO} es el resultado de la adaptación del observador de orden reducido, en la Figura 5.9 también se puede apreciar que la corriente i_{aO} presenta un comportamiento similar al par de carga observado $\hat{\tau}_{LO}$.

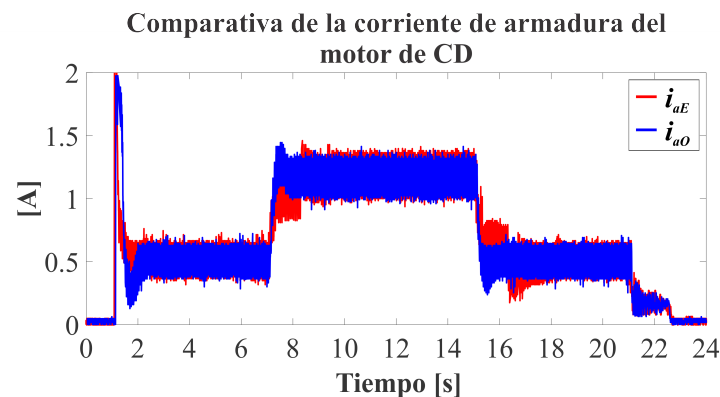


Figura 5.9: Respuesta de la corriente de armadura del motor de CD.

Finalmente, en la Figura 5.10 se muestra la comparativa de la respuesta de la ley de control promedio u_{av} , con la finalidad de comparar el comportamiento de la ley de control con los dos algoritmos de estimación del parámetro de par de carga. Se puede apreciar que la respuesta de control para ambos casos proporciona un buen desempeño, mostrando una forma sinusoidal perfecta. La entrada de control promedio en la Figura 5.10 (a) utiliza el estimador algebraico en línea para adaptar las referencias de voltaje y corriente mediante el par de carga estimado con el objetivo de minimizar los efectos producidos por el mismo. Por otro lado, la entrada de control en la Figura 5.10 (b) utiliza el observador de orden reducido para adaptar las referencias de voltaje y corriente.

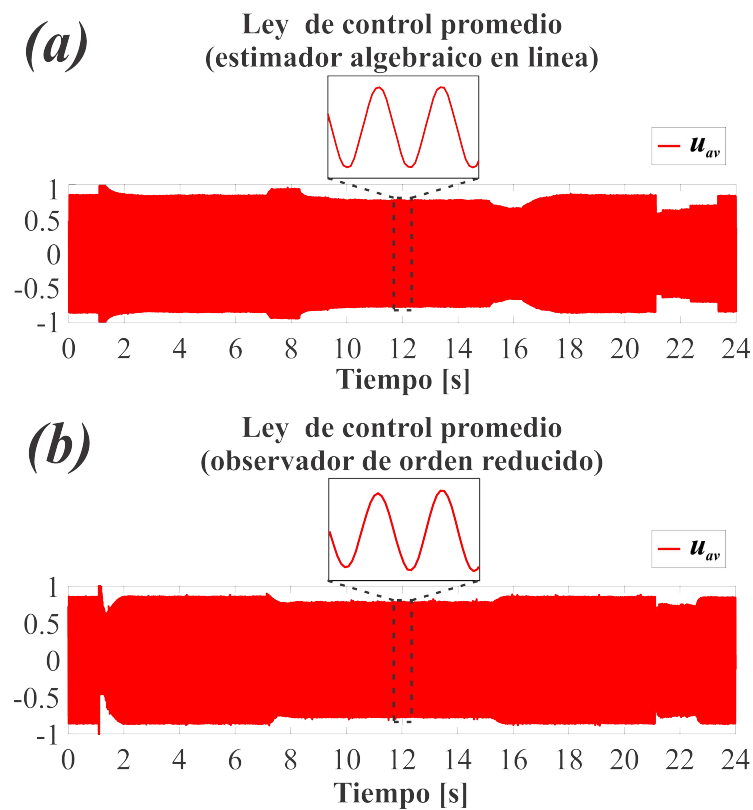


Figura 5.10: (a) Respuesta de la entrada de control promedio con estimador algebraico; (b) Respuesta de la entrada de control promedio con observador de orden reducido.

5.4. Resultados del tercer tipo de pruebas

Los resultados de la prueba final se obtuvieron a través del analizador de calidad de energía HIOKI 3197-01, los cuales se encuentran en la Tabla 5.4, donde, se puede apreciar que la implementación del estimador algebraico tiene mejores resultados en comparación con la implementación del observador de orden reducido. Los resultados obtenidos con la implementación del estimador algebraico se muestran en la Figura 5.11. En la Figura 5.11(a) muestra la comparativa del voltaje y la corriente de la red eléctrica, donde, se observa que ambos están en fase. Por otro lado, Los resultados obtenidos con la implementación del observador de orden reducido se muestran en la Figura 5.12. En la Figura 5.12(a) se muestra la comparativa del voltaje y la corriente de la red eléctrica, donde, a simple vista se observa que el voltaje y corriente también están en fase.

Tabla 5.4: Comparativa de resultados de calidad de energía

Método de estimación	THD_V	THD_i	FP
Estimador algebraico en línea	1.6	2.3	0.99
Observador de orden reducido	1.7	2.5	0.97

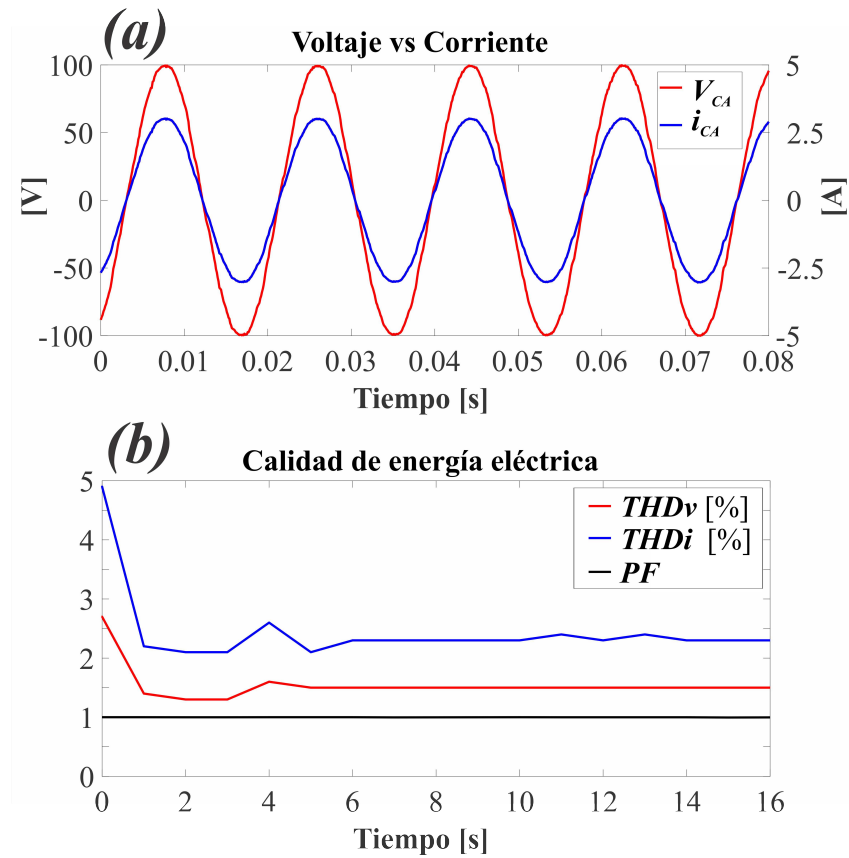


Figura 5.11: (a)Comparativa entre la fase de corriente i_{CA} y voltaje V_{CA} con estimador; (b)Calidad de energía eléctrica con observador.

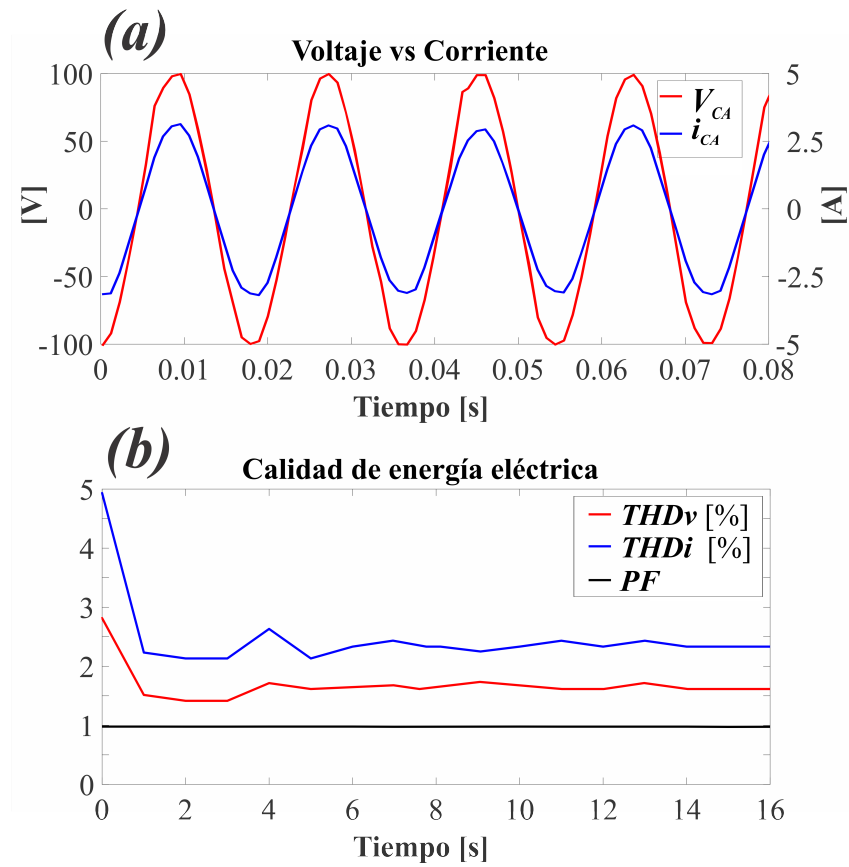


Figura 5.12: (a)Comparativa entre la fase de corriente i_{CA} y voltaje V_{CA} con observador; (b)Calidad de energía eléctrica con observador.

Capítulo 6

Conclusiones y trabajos futuros

En este trabajo se describió el diseño de un controlador basado en pasividad para la regulación de velocidad angular de un motor CD de imanes permanentes y al mismo tiempo poner en fase la corriente del inductor con el voltaje de la fuente de alimentación principal en CA de un rectificador monofásico activo utilizado como impulsor del motor de CD.

6.1. Conclusiones

- Por medio de la implementación en FPGA de un controlador basado en pasividad, en conjunto con las referencias de corriente y voltaje, las cuales dependen del valor de estimación del par de carga se logró un buen desempeño respecto a la regulación de la velocidad angular del motor de CD, además se logró mantener el factor de potencia muy cercano a la unidad.
- Mediante el medidor de potencia HIOKI se analizó el THD de corriente y voltaje en la entrada del rectificador monofásico activo, lo que resultó en el cumplimiento de la norma IEEE 519-2014 con un valor inferior al 5% de lo establecido.
- Gran parte del buen desempeño del rectificador monofásico activo fue gracias a la implementación del algoritmo de enganche de fase SOGI-PLL para la sincronización de la corriente i_{CA} y el voltaje V_{CA} . Como resultado, no solo se logró una referencia

de corriente adecuada, también se mantuvo una corriente casi sinusoidal a la entrada del rectificador monofásico activo.

- Como resultado de la metodología propuesta para la implementación de controladores en dispositivos de lógica reconfigurable y la codificación a mano de cada uno de los algoritmos usando VHDL, fue posible integrar todos los algoritmos desarrollados en un solo chip.
- Los resultados experimentales obtenidos muestran que utilizando una aproximación discreta de los valores de $\sin \Phi$, $\cos \Phi$ y triangular usando las BRAM dentro de la FPGA, es posible disminuir el tiempo de cálculo y la cantidad de recursos utilizados en el dispositivo.

6.2. Trabajos futuros

- Los resultados experimentales obtenidos, muestran que el esquema de control propuesto en conjunto con un observador de orden reducido y un estimador algebraico en línea para el parámetro del par de carga, presenta un buen desempeño ante perturbaciones súbitas. Sin embargo, también se puede aplicar un método para la estimación de la velocidad angular con la finalidad de reducir los sensores utilizados en este sistema.
- Para investigaciones futuras se propone estudiar los convertidores CA-CD y algoritmos de enganche de fase trifásicos para impulsar al motor de CD.
- Una tarea importante es llevar a cabo este trabajo del RMA-MDC a una aplicación específica en proceso industrial.

Bibliografía.

- [1] M. Karimi-Gharteman, *Enhanced Phase-Locked Loop Structures for Power and Energy Applications*, 5th ed. Wiley-IEEE Press, 2014.
- [2] R. Teodorescu, M. Liserre, and P. Rodríguez, *Grid Converters for Photovoltaic and Wind Power Systems Chapter 10 Control of Grid Converters under Grid Fault Faults*. Wiley-IEEE Press, 2011.
- [3] K. Rafal, K. Mozdzyński, and M. Bobrowska-Rafał, “Application of the second order generalized integrator in digital control systems,” *Archives of Electrical Engineering*, vol. 63, p. 2014, 03 2014.
- [4] *IEEE Recommended Practice and Requirements for Harmonic Control in Electric Power Systems*, 5th ed. IEEE-SA Standards Board, 2014.
- [5] M. Cichowlas, M. Malinowski, M. P. Kazmierkowski, and F. Blaabjerg, “Direct power control for three-phase pwm rectifier with active filtering function,” in *Eighteenth Annual IEEE Applied Power Electronics Conference and Exposition, 2003. APEC '03.*, vol. 2, Feb 2003, pp. 913–918 vol.2.
- [6] M. H. Rashid, *POWER ELECTRONICS HANDBOOK*, 1st ed., 2001.
- [7] F. Blaabjerg, R. Teodorescu, M. Liserre, and A. V. Timbus, “Overview of control and grid synchronization for distributed power generation systems,” *IEEE Transactions on Industrial Electronics*, vol. 53, no. 5, pp. 1398–1409, 2006.

- [8] M. Karimi-Ghartemani and M. R. Iravani, “A method for synchronization of power electronic converters in polluted and variable-frequency environments,” *IEEE Transactions on Power Systems*, vol. 19, no. 3, pp. 1263–1270, 2004.
- [9] M. Karimi-Ghartemani, M. Mojiri, A. Safaee, J. A. Waltheth, S. A. Khajehoddin, P. Jain, and A. Bakhshai, “A new phase-locked loop system for three-phase applications,” *IEEE Transactions on Power Electronics*, vol. 28, no. 3, pp. 1208–1218, 2013.
- [10] S. Golestan, J. M. Guerrero, F. Musavi, and J. C. Vasquez, “Single-phase frequency-locked loops: A comprehensive review,” *IEEE Transactions on Power Electronics*, vol. 34, no. 12, pp. 11 791–11 812, 2019.
- [11] X. He, H. Geng, and G. Yang, “Reinvestigation of single-phase FLLs,” *IEEE Access*, vol. 7, pp. 13 178–13 188, 2019.
- [12] J. Michalik, J. Molnar, and Z. Peroutka, “Traction single-phase current-source active rectifier: Main problems and proposed solutions,” in *2009 13th European Conference on Power Electronics and Applications*, 2009, pp. 1–7.
- [13] R. Poornima, P. Suganya, N. Kumaresan, and M. Subbiah, “Operating modes of single-phase thyristor converter fed DC drives using phase angle control scheme - a monograph,” in *2006 IEEE International Conference on Industrial Technology*, 2006, pp. 2402–2407.
- [14] J. J. Rodríguez-Andina, M. D. Valdés-Peña, and M. J. Moure, “Advanced features and industrial applications of fpgas—a review,” *IEEE Transactions on Industrial Informatics*, vol. 11, no. 4, pp. 853–864, Aug 2015.
- [15] A. de Castro, P. Zumel, O. Garcia, T. Riesgo, and J. Uceda, “Concurrent and simple digital controller of an AC/DC converter with power factor correction based on an fpga,” *IEEE Transactions on Power Electronics*, vol. 18, no. 1, pp. 334–343, Jan 2003.

- [16] Y. V. Pavlova and B. V. Grigorii, “The synthesis of a control system of the active rectifier,” in *2018 IEEE Conference of Russian Young Researchers in Electrical and Electronic Engineering (EIConRus)*, Jan 2018, pp. 941–944.
- [17] P. Cossutta, M. P. Aguirre, A. Cao, M. A. Engelhardt, and M. I. Valla, “Implementación de un algoritmo DSOGI-PLL en una FPGA para sincronización con la red de convertidores de potencia,” in *2014 IEEE Biennial Congress of Argentina (ARGENCON)*, June 2014, pp. 651–656.
- [18] F. Shaikh and B. Joseph, “Simulation of synchronous reference frame pll for grid synchronization using simulink,” in *2017 International Conference on Advances in Computing, Communication and Control (ICAC3)*, Dec 2017, pp. 1–6.
- [19] K. M. S. Y. Konara, M. L. Kolhe, and W. G. C. A. Sankalpa, “Grid synchronization of DC energy storage using voltage source inverter with zcd and pll techniques,” in *2015 IEEE 10th International Conference on Industrial and Information Systems (ICIIS)*, Dec 2015, pp. 458–462.
- [20] J. A. Juárez-Abad, A. P. Sandoval-García, J. Linares-Flores, J. F. Guerrero-Castellanos, P. Bañuelos-Sánchez, and M. A. Contreras-Ordaz, “Fpga implementation of passivity-based control and output load algebraic estimation for transformerless multilevel active rectifier,” *IEEE Transactions on Industrial Informatics*, vol. 15, no. 4, pp. 1877–1889, April 2019.
- [21] F. Wu and X. Li, “Multiple dsc filter-based three-phase EPLL for nonideal grid synchronization,” *IEEE Journal of Emerging and Selected Topics in Power Electronics*, vol. 5, no. 3, pp. 1396–1403, Sep. 2017.
- [22] B. Liu, Y. Zha, T. Zhang, and S. Chen, “Sliding mode control for rectifier stage of solid state transformer,” 06 2016.
- [23] D. Biel, A. Dòria-Cerezo, and E. Fossas, “Sliding mode control of a single-phase lcl full-bridge rectifier,” 11 2013, pp. 3752–3757.

- [24] D. del Puerto-Flores, J. M. A. Scherpen, M. Liserre, M. M. J. de Vries, M. J. Kransse, and V. G. Monopoli, “Passivity-based control by series/parallel damping of single-phase pwm voltage source converter,” *IEEE Transactions on Control Systems Technology*, vol. 22, no. 4, pp. 1310–1322, July 2014.
- [25] H. Sira Ramírez, *Control Design Techniques in Power Electronics Devices*, 1st ed. Science Business Media, 2006.
- [26] J. Linares-Flores, H. Sira-Ramírez, E. Yescas-Mendoza, and J. J. Vázquez-Sanjuan, “A comparison between the algebraic and the reduced order observer approaches for on-line load torque estimation in a unit power factor rectifier-dc motor system,” *Asian Journal of Control*, vol. 14, no. 1, pp. 45–57, 2012. [Online]. Available: <https://onlinelibrary.wiley.com/doi/abs/10.1002/asjc.234>
- [27] P. S. B. do Nascimento, H. E. P. de Souza, F. A. S. Neves, and L. R. Limongi, “Fpga implementation of the generalized delayed signal cancelation—phase locked loop method for detecting harmonic sequence components in three-phase signals,” *IEEE Transactions on Industrial Electronics*, vol. 60, pp. 645–658, 2013.
- [28] E. Monmasson, L. Idkhajine, and M. W. Naouar, “Fpga-based controllers,” *IEEE Industrial Electronics Magazine*, vol. 5, no. 1, pp. 14–26, March 2011.
- [29] E. Hernández-Márquez, J. García-Sánchez, R. Silva-Ortigoza, M. Antonio-Cruz, V. M. Hernández-Guzmán, Hind Taud, and M. Marcelino-Aranda, “Bidirectional tracking robust controls for a DC/DC Buck Converter-DC Motor,” *Complex Optimization and Simulation in Power Systems, Hindawi*, vol. 1, no. 2, pp. 1–10, 2018.
- [30] E. Guerrero, E. Guzmán, J. Linares, A. Martínez, and G. Guerrero, “Fpga-based active disturbance rejection velocity control for a parallel DC/DC buck converter-DC motor system,” *IET Power Electronics*, vol. 13, no. 2, pp. 356–367, 2020.
- [31] S. E. Lyshevski, *Electromechanical Systems, Electric Machines, and Applied Mechatronics*, 1st ed., ser. Boca Raton, FL. USA: CRC Press, 1999. [Online]. Available: <http://gen.lib.rus.ec/book/index.php?md5=3b9de5d4a5936d5d63e4c09370009fa8>

- [32] J. Linares Flores and H. Sira Ramirez, “A smooth starter for a DC machine: a flatness based approach,” in *(ICEEE). 1st International Conference on Electrical and Electronics Engineering, 2004.*, 2004, pp. 589–594.
- [33] J. Linares-Flores and H. Sira-Ramirez, “Sliding mode-delta modulation GPI control of a DC motor through a buck converter,” in *(2nd IFAC). Symp. Syst., Struct. Control, 2004.*, 2004, pp. 405–409.
- [34] J. Linares Flores and H. Sira Ramirez, “DC motor velocity control through a DC-to-DC power converter,” in *2004 43rd IEEE Conference on Decision and Control (CDC) (IEEE Cat. No.04CH37601)*, vol. 5, 2004, pp. 5297–5302 Vol.5.
- [35] M. Ciobotaru, R. Teodorescu, and F. Blaabjerg, “A new single-phase pll structure based on second order generalized integrator,” in *2006 37th IEEE Power Electronics Specialists Conference*, June 2006, pp. 1–6.
- [36] V. Blahnik, T. Kosan, and J. Talla, “Control of single-phase AC/DC converter based on sogi-pll voltage synchronization,” in *Proceedings of the 16th International Conference on Mechatronics - Mechatronika 2014*, Dec 2014, pp. 652–655.
- [37] P. Lamo, F. López, A. Pigazo, and F. J. Azcondo, “An efficient fpga implementation of a quadrature signal-generation subsystem in srf plls in single-phase pfcs,” *IEEE Transactions on Power Electronics*, vol. 32, no. 5, pp. 3959–3969, May 2017.
- [38] A. Skjellnes, B. Hanssen, and T. Arnulf, “Phase-locked loop control of thyristor converters,” *Proceedings of the Institution of Electrical Engineers*, vol. 123, no. 10, pp. 999–, October 1976.
- [39] S. John L, *Phase-Locked Loops*, 1st ed. CRC Press LLC, 1997.
- [40] S. Gao and M. Barnes, “Phase-locked loop for ac systems: Analyses and comparisons,” in *6th IET International Conference on Power Electronics, Machines and Drives (PEMD 2012)*, March 2012, pp. 1–6.

- [41] V. A. Prabhala, M. Céspedes, and J. Sun, “Implementation of dq domain control in dsp and fpga,” in *2012 Twenty-Seventh Annual IEEE Applied Power Electronics Conference and Exposition (APEC)*, Feb 2012, pp. 1439–1444.
- [42] J. A. Juárez-Abad, “Control GPI de seguimiento de voltaje de un inversor multinivel monofásico: una implementación en FPGA,” Tesis, Universidad Tecnológica De La Mixteca, 2012.
- [43] E. W. Z. Bustamante, “Diseño e implementación de un control GPI en un FPGA para un convertidor CD-CD tipo reductor,” Tesis, Universidad Tecnológica De La Mixteca, 2011.
- [44] T. W. Chun, Q. V. Tran, H. H. Lee, H. G. Kim, and E. C. Nho, “A simple capacitor voltage balancing scheme for the cascaded five-level inverter fed ac machine drive,” in *6th IET International Conference on Power Electronics, Machines and Drives (PEMD 2012)*, March 2012, pp. 1–5.
- [45] H. Sira-Ramirez, “A general canonical form for feedback passivity of nonlinear systems,” *International Journal of Control - INT J CONTR*, vol. 71, pp. 891–905, 11 1998.
- [46] A. Van Der Schaft, *L₂-gain and passivity techniques in nonlinear control*. Springer, 2000, vol. 2.
- [47] A. Sandoval-García, J. L. Barahona-Avalos, J. Linares Flores, and M. Contreras, “Control basado en pasividad de un rectificador multinivel monofásico sin transformador de aislamiento galvánico,” 10 2015.
- [48] M. Rashid and H. Rashid, *SPICE for Power Electronics and Electric Power*, 2nd ed. CRC Press, 2006.
- [49] M. Dagbagi, A. Hemdani, L. Idkhajine, M. W. Naouar, E. Monmasson, and I. Slama-Belkhodja, “ADC-based embedded real-time simulator of a power converter implemented in a low-cost fpga: Application to a fault-tolerant control of a grid-connected

- voltage-source rectifier,” *IEEE Transactions on Industrial Electronics*, vol. 63, no. 2, pp. 1179–1190, Feb 2016.
- [50] T. Grandpierre, C. Lavarenne, and Y. Sorel, “Optimized rapid prototyping for real-time embedded heterogeneous multiprocessors,” 02 1999, pp. 74–78.
- [51] G. Curiel-Olivares, J. Linares Flores, A. Méndez, and R. Marquez-Contreras, “Identificación paramétrica y control de velocidad angular del motor de cd sin escobillas en rueda de aplicación para tracción eléctrica: Un enfoque basado en la propiedad de planitud diferencial,” 10 2019.

Anexo A

Fase concurrente

De manera paralela a la Fase 1 y 2, la Fase concurrente consiste en el dimensionamiento y construcción de la plataforma hardware (RMA-MCD). Para el acondicionamiento del motor de CD con una fuente de alimentación en CA, se requiere de un rectificador, para este trabajo se optó por la construcción de un rectificador monofásico activo, dado que, presenta un mejor desempeño que un rectificador pasivo en cuanto a calidad de energía eléctrica, además de poder controlar la amplitud del voltaje de salida. La Figura A.1 muestra una fotografía del rectificador monofásico activo que se construye para accionar el motor CD. El rectificador activo se diseña para una potencia total de 2.5kW, con un voltaje de entrada de $100V_{CA}$, un voltaje de salida de $180V_{CD}$ y una corriente de 14A.

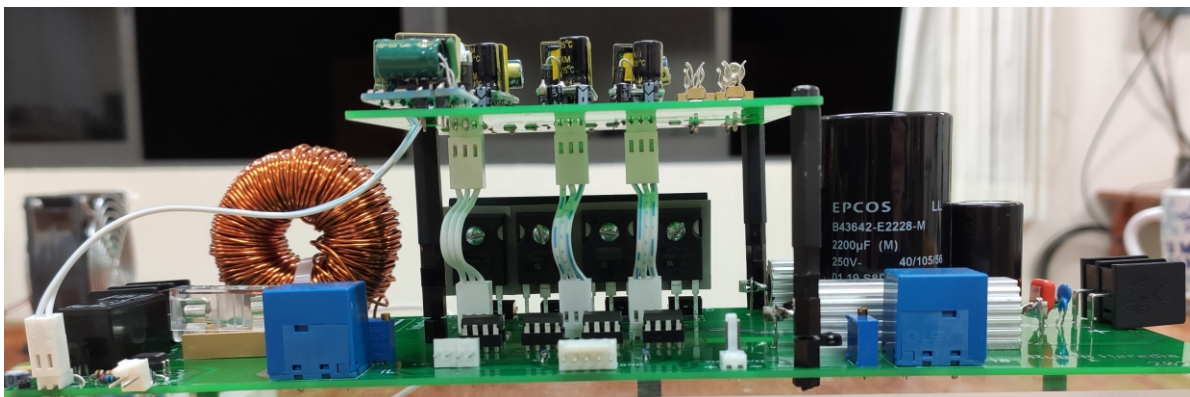


Figura A.1: Plataforma experimental

En la Tabla A.1 se especifican los componentes elegidos para la construcción del rectificador activo. Se eligieron componentes que soporten el voltaje máximo de operación con la finalidad de evitar daños en el equipo de experimentación. Cabe señalar, que el Capacitor Electrolítico se seleccionó con un valor de $2200\mu F$ debido a que el rectificador activo se consideró como una fuente de voltaje. Además, el inductor fue construido con un núcleo toroidal Magnetics 77439A7 de baja permeabilidad de tal forma que la resistencia del inductor sea $1,15\Omega$, esto con el objetivo de tener la menor corriente posible en la entrada del rectificador activo.

Tabla A.1: Componentes del rectificador monofásico activo

Componente	Descripción
4 Mosfet	IRFP450
4 Optoacoplador	PC923
1 Inductor	Nucleo: Magnetics 77439A7, $L = 3mH$, $r_L = 1,15\Omega$
1 Capacitor electrolítico	$2200\mu F$, $250V_{CD}$
4 Fuentes aisladas	$127V_{CA}/12V_{CD}$
1 Fusible	5A
2 Resistencias	1000Ω
1 Relevador	10A

A.1. Acondicionamiento de señales para voltaje y corriente

El sistema rectificador monofásico activo motor CD se alimenta con un voltaje en V_{CA} de 72 volts Rms (100 volts pico), y es capaz de generar un bus de CD de 180 volts, mientras que el taco-generador acoplado al motor CD genera un voltaje de CD de 0 a 100 volts para la medición de la velocidad angular ω del motor, pero el dispositivo de lógica reconfigurable (FPGA) complementado con un módulo ADC puede leer un voltaje entre 0 y 3.3 volts, por lo tanto, es necesario contar con una etapa de acondicionamiento de voltaje, que está basada en el tratamiento de señales por medio de amplificadores operacionales.

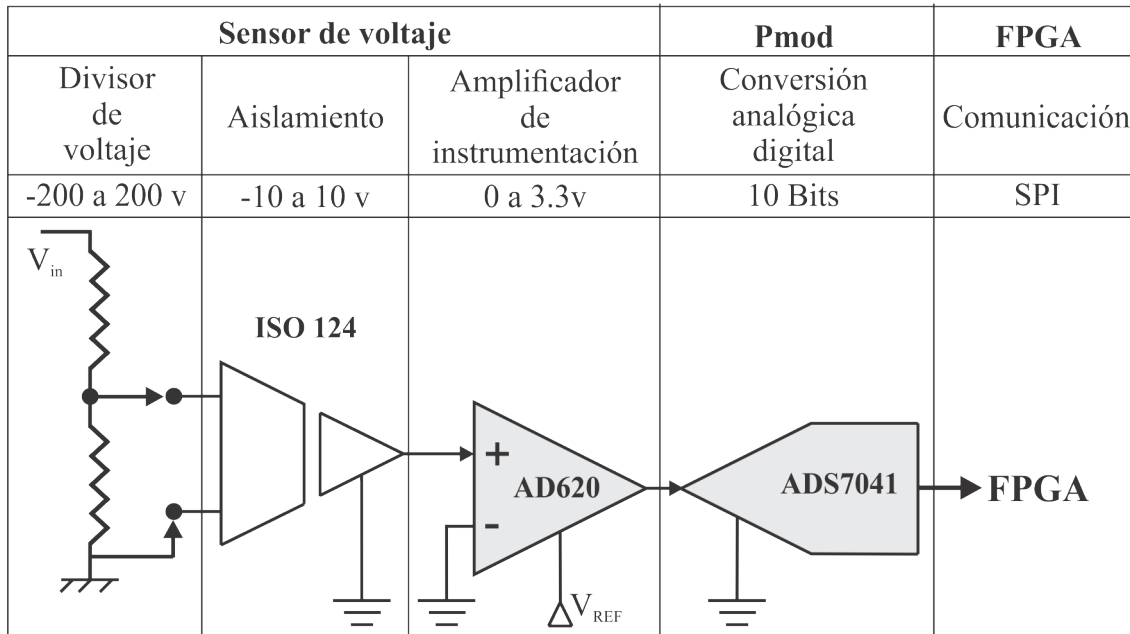


Figura A.2: Acondicionamiento de voltaje para que pueda ser adquirido por el FPGA.

Partiendo de los datos anteriores, el conjunto de sensor de voltaje-adequación vía *op amp* deberá de entregar una salida entre 0 y 3.3 volts para poder ser convertidas por el ADS7041. El acondicionamiento de la salida del convertidor (V_{in}) incluye un corrimiento de voltaje sobre 0 volts (offset) de 1.65 Volts (ver Figura A.2).

En cuanto a la medición de la corriente del inductor (i_{CA}) y la corriente de armadura (i_a) se utilizó el sensor HX-15P de LEM, el cual tiene la capacidad de medir corriente en CA, CD, pulsada y mixta, además cuenta con aislamiento galvánico entre el circuito primario (alta potencia) y el circuito secundario (circuito electrónico). El sensor de corriente entrega una salida de voltaje entre 0 y 4 volts con un offset de 2 volts, por lo tanto es necesario contar con un divisor de voltaje para reducir su salida a un voltaje entre 0 y 3.3 volts de tal forma que pueda ser leído por el dispositivo FPGA complementado por un módulo ADC (ver Figura A.3).

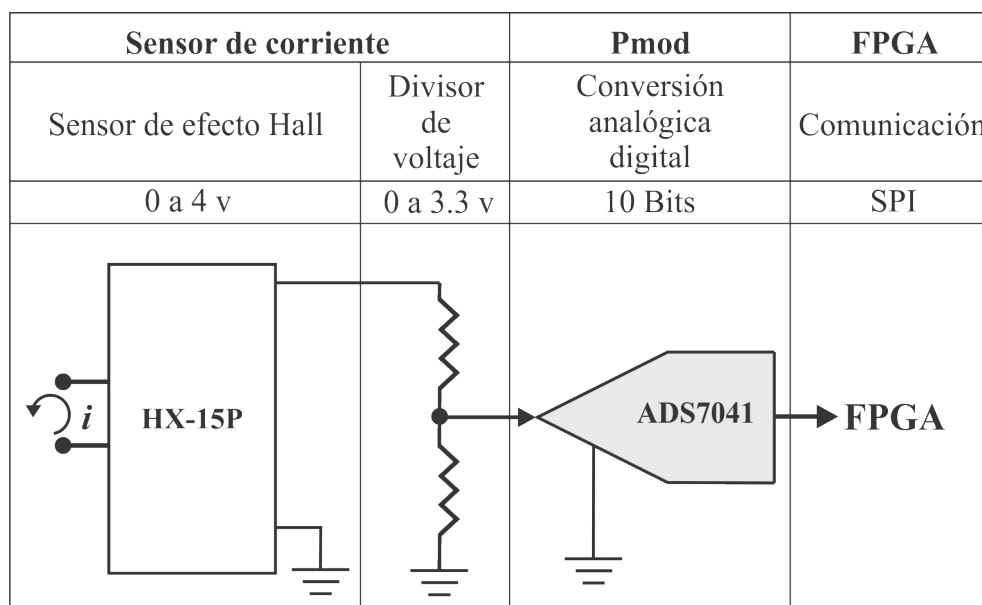


Figura A.3: Acondicionamiento de corriente para que pueda ser adquirida por el FPGA.

Anexo B

Identificación paramétrica del motor de CD

El método de identificación paramétrica experimental para el motor de CD fue tomado de [51], donde fue utilizado para obtener los parámetros eléctricos y mecánicos de un motor de corriente directa sin escobillas (BLDC) en rueda. Usando dicho método se obtiene la resistencia y la inductancia de estator, la constante eléctrica y mecánica del motor, el momento de inercia y la fricción viscosa.

B.1. Resistencia e inductancia

La medición de la resistencia R_a , y la inductancia L_a , se realizó por medio de un medidor LCR. Como resultado se obtuvieron los siguientes parámetros del motor BALDOR CDPT3306:

$$R_a = 9,7\Omega$$

$$L_a = 33,8mH$$

B.2. Constante eléctrica y mecánica

La constante eléctrica de la fuerza electromotriz inducida K_e del motor CD, se calcula por medio de la ecuación eléctrica del modelo dinámico del motor CD (B.1),

$$L_a \frac{di_a}{dt} = u - R_a i_a - K_e \omega \quad (\text{B.1})$$

donde, $u = 180V$ es el voltaje nominal del motor CD, $R_a = 9,7\Omega$ es la resistencia de armadura, i_a es el valor de la corriente de armadura en estado estable y $\omega =$ es la velocidad en estado estable. Cuando el motor es accionado al voltaje nominal, sin carga $\tau_L = 0$ y considerando la velocidad en estado estable, el termino $L_a \frac{di}{dt} \rightarrow 0$. Por lo que, (B.1) puede ser re-escrita para el cálculo de la constante eléctrica K_e , como sigue:

$$K_e = \frac{u - R_a i_a}{\omega} = 0,94 \left[\frac{V - s}{rad} \right] \quad (\text{B.2})$$

La constante mecánica K_t del motor CD, se calcula por medio de la constante eléctrica k_e . Para clarificar, $K_e \omega$ es la fuerza electromotriz inducida y $K_t i_a$ es el par desarrollado internamente en la máquina. De acuerdo con la conversión de la energía electromecánica, la potencia mecánica producida por el motor es $K_t i_a \omega$ y la potencia absorbida por la fuerza electromotriz inducida es $K_e i_a \omega$, de ahí que, la energía eléctrica se convierte en energía mecánica. Por lo tanto, mediante la ley de conservación de la energía, las constantes K_e y K_t son equivalentes.

$$K_t \left[\frac{Nm}{A} \right] = K_e \left[\frac{V - s}{rad} \right] \quad (\text{B.3})$$

B.2.1. Fricción viscosa del motor de CD

La fricción viscosa B , es calculada por medio de la ecuación mecánica del modelo dinámico del motor de CD (B.4).

$$J \frac{d\omega}{dt} = K_t i_a - B\omega - \tau_L \quad (\text{B.4})$$

Al accionar el motor como se hizo en el cálculo de la constante eléctrica, el término $J \frac{d\omega}{dt} \rightarrow 0$. Por lo que, la ecuación. (B.4) puede ser re-escrita, para el cálculo de la fricción viscosa B , como sigue:

$$B = \frac{K_t i_a}{\omega} = 0,00078 \left[\frac{N - m - s}{rad} \right] \quad (\text{B.5})$$

B.3. Momento de inercia del motor de CD

El momento de inercia del motor de CD se calcula realizando la medición experimental de la constante de tiempo mecánica y manipulando su expresión matemática, la cual está dada por la siguiente ecuación:

$$t_m = \frac{R_a J + L_a B}{R_a B + K_e K_t} \quad (\text{B.6})$$

Para calcular la constante de tiempo mecánica de manera experimental, se debe tomar la medición del tiempo mientras el motor alcanza el 63.2% de su velocidad nominal. Esta prueba debe ser realizada con el voltaje nominal del motor. Para el motor CD propuesto, la constante de tiempo mecánica resultó $t_m = 0,01\text{s}$. Ahora bien, el momento de inercia puede ser calculado al despejar a J de la ecuación anterior:

$$J = \frac{t_m(R_a B + K_e K_t) - L_a B}{R_a} = 0,001 \text{ [Kg} \cdot \text{m}^2\text{]} \quad (\text{B.7})$$

Anexo C

Publicaciones

- J. Linares-Flores, R. Heredia-Barba, O. Castro-Heredia, G. Curiel-Olivares, J. A. Juárez-Abad. Adaptive Sliding Mode Control based on a Hyperbolic Target Function for DC-to-CD Buck-Boost Power Converter. En 2020 IEEE Energy Conversion Congress and Exposition Technical Program. (2020,Octubre).
- J. Linares-Flores, J. A. Juárez-Abad, A. Hernandez-Mendez, O. Castro-Heredia, J. F. Guerrero-Castellanos, R. Heredia-Barba, G. Curiel-Olivares. Sliding Mode Control Based on Linear Extended State Observer for DC-to-DC Buck-Boost Power Converter System with Mismatched Disturbances. En 2020 IEEE Transactions on Industry Applications. (2021,Septiembre).
- R. Heredia-Barba, J. A. Juárez-Abad, J. Linares-Flores, O. Castro-Heredia. Passivity Based Controller for a High Energy Quality Active Rectifier-DC Motor System: An FPGA Implementation. En 2021 Industrial Electronics Society. (En revisión).

Adaptive Sliding Mode Control based on a Hyperbolic Tangent Function for DC-to-DC Buck-Boost Power Converter

J. Linares-Flores
Instituto de Electrónica y Mecatrónica
Universidad Tecnológica de la Mixteca
 Huajuapán de León, Oaxaca, México
 jlinares@mixteco.utm.mx

R. Heredia-Barba
División de estudios de posgrado
Universidad Tecnológica de la Mixteca
 Huajuapán de León, Oaxaca, México
 rubenflaix@hotmail.com

O. Castro-Heredia
División de estudios de posgrado
Universidad Tecnológica de la Mixteca
 Huajuapán de León, Oaxaca, México
 omar94_9@hotmail.com

G. Curiel-Olivares
División de estudios de posgrado
Universidad Tecnológica de la Mixteca
 Huajuapán de León, Oaxaca, México
 gonz.curiel@gmail.com

J. A. Juárez-Abad
Instituto de Electrónica y Mecatrónica
Universidad Tecnológica de la Mixteca
 Huajuapán de León, Oaxaca, México
 abad@mixteco.utm.mx

Abstract—This paper presents an Adaptive Sliding Mode Control (ASMC) based on a Hyperbolic Tangent Function (HTF) in combination with an extended state observer for the output voltage regulation of the buck-boost power converter. Firstly, due to the unique condition and sufficient for the existence of the sliding mode, the buck-boost power converter's robustness, and chattering reduction, employing the use of the HTF into the adaptive sliding mode control is derived. After, a linear extended state observer designed to estimate the unknown parameters of the power converter, which adapted to the ASMC. In this way, the proposed ASMC law minimizes the sliding surface chattering, as well as the sudden output load changes. Therefore, we guarantee that all the buck-boost variables, and input control responses present a better performance than a Traditional Sliding Mode Control (TSMC). Finally, Matlab-Simulink/PSIM simulations and experimental results verified the correctness and effectiveness of the proposed control algorithm.

Keywords—Adaptive sliding mode control, hyperbolic tangent function, DC-to-DC, buck-boost, power converter.

I. INTRODUCTION

An important number of industrial applications are made through DC-DC power converters, such as uninterruptible power supply applications, DC motor drives for electric traction in public transport, and led lighting systems, etc. (see [1], [2], [3]). The buck-boost power converter topology has been used for numerous applications, such as: photovoltaic module integrated converters systems [4], photovoltaic and piezoelectric energy harvesting systems [5], supercapacitor and battery power management in hybrid vehicle [6], electric vehicles [7], fuel-cell hybrid systems [8], variable-speed wind generator systems [9], and on-grid/off-grid wind energy battery-storage system [10]. Hence, the interest of work with this topology.

On the other hand, the sliding mode control approach to control this power converter has been used in multiple

power systems. For example, in the work reported by *Siew-Chong Tan* et.al. in [11], they present a unified approach to the design of PWM-based sliding-mode voltage controllers for basic DC-DC converters in continuous conduction mode. Where they obtained a good performance in the buck-boost output voltage response under load changes. Other work that deals with robust control of the buck-boost converter output voltage is published by *Chen* in [12], his develop a double-loop control mechanism is developed for this type of power converter. Which is operated in a wide range of reference voltage and load resistance with unmodeled parameters. *Salimi* and co-workers in [13] present a new proportional-integral-type hyper-plane sliding mode controller, which is designed for output voltage control of the DC-DC buck/boost converter for its continuous and discontinuous conduction modes of operating conditions. The proposed controller is robust and stable against parameter uncertainties, load disturbance, and variations of the converter input voltage. Besides, it is capable of canceling the non-minimum phase nature effect of the converter so that the designed controller does not need to know the inductor reference current.

Sliding mode control is well known as nonlinear control method with high enough robustness for uncertainty, such as extraneous disturbance, modeling error, or parameter variation [14], moreover the TSMC presents some problems in its operation. The inevitable chattering phenomenon do exist in the power converter based on traditional sliding mode due to its discrete control law, which will affect the sliding control and damage the system when it comes really serious [15]. In order to weaken or minimize the influence of chattering [16], introduces sliding mode control with ellipsoidal sliding surface which have the characteristic of finite convergence time to the equilibrium point from any initial condition, further the

Sliding Mode Control Based on Linear Extended State Observer for DC-to-DC Buck-Boost Power Converter System with Mismatched Disturbances

J. Linares-Flores¹, *IEEE Senior Member*, J. A. Juárez-Abad¹, A. Hernandez-Mendez¹, O. Castro-Heredia¹, J. F. Guerrero-Castellanos², *IEEE Member*, R. Heredia-Barba¹

Abstract—This article presents a new control strategy merging a Sliding Mode Control (SMC) with a linear extended state observer (LESO) to regulate the output voltage of the buck-boost power converter system affected by matched and mismatched disturbances. The SMC-LESO schema uses the input-output linearization approach and the equivalent control method to determine the boundary layer around the sliding surface. This boundary layer depends on the sliding surface and the equivalent control value, depending on the estimated variables obtained through a LESO. With this schema, the unknown matched, and mismatched disturbances are observed and compensated by an adaptation of the SMC. The proposed approach minimizes the sliding surface chattering and improves the performance against sudden static and dynamic load changes as well as voltage variations on the power supply input. An experimental comparison with traditional sliding mode control (TSMC) and classical PID control is performed, confirming the proposal's effectiveness. The closed-loop stability (observer-controller-plant) is guaranteed in the Input-to-State Stability (ISS) framework.

Index Terms—Buck-Boost Power Converter with Mismatched Disturbances, Sliding Mode Control, Linear Extended State Observer, Sliding Mode Control Based on LESO.

A. ACRONYMS

SMC Sliding Mode Control, LESO Linear Extended State Observer, SMC-LESO Sliding Mode Control Based on LESO, TSMC Traditional Sliding Mode Control, PID Proportional Integral Derivative, DO Disturbance Observer, DOBC Disturbance Observer Based Control, FTDO Finite-Time Disturbance Observer, NTSMC Nonsingular Terminal Sliding Mode Control, EFL Exact Feedback Linearization, ISS Input State Stability, ISE Integral Square Error Index.

I. INTRODUCTION

An essential number of industrial applications are performed through DC-DC power converters, such as uninterruptible power supply applications, DC motor drives for electric traction in public transport, and led lighting systems (see [1], [2], [3], [4] and references therein). The buck-boost power converter topology has been used for numerous applications, such as: photovoltaic module integrated converter systems [5], photovoltaic and piezoelectric energy harvesting systems

[6], supercapacitor and battery power management in hybrid vehicles [7], electric vehicles [8], fuel-cell hybrid systems [9], variable-speed wind generator systems [10], and on-grid/off-grid wind energy battery-storage systems [11]. Consequently, the modeling, control, and estimation of this class of systems remain a challenge.

Sliding mode control (SMC) has received much attention due to its major advantages regarding robustness against parameter variations and simplicity in implementation [12], [13], [14]. Therefore, it widely applied to the control of nonlinear systems [15], for instance, the DC-to-DC buck-boost converter [16] and the double-switch buck-boost converter [17]. It is worth noting that the buck-boost topology has been the base for the PEM fuel cell [18] and Photovoltaic systems applications [19]. However, there are two main disadvantages of the traditional sliding mode control. The first is insensitivity to matched disturbance but highly sensitive to mismatched disturbance. The second is the chattering problem, which remains a serious problem to be solved.

Disturbance-observer-based control (DOBC) and sliding mode control approaches have been applied extensively in various industrial sectors in the last four decades [20]. Sliding Mode Control has been combined with Disturbance Observers (DO) with good results. The combination of both methods perfectly addresses the matched and mismatched uncertainties robustly. However, according to [13]–[21] results imply that the uncertainty attenuation ability is achieved at the cost of sacrificing the performance of the nominal control. The advantage is that the chattering effect problem can be reduced considerably when the sliding mode control is combined with a DO [14].

Regarding the control of DC-to-DC power converters, some exciting works were published in the early years to deal with mismatched disturbances. These mainly address sliding mode controllers with disturbance observers. The first one, published by Zuo Wang et al. [22], introduces an improved discrete-time SMC law with disturbance compensation for DC-to-DC Buck converters with mismatched disturbances. Their proposed finite-time sliding mode control (FTSMC) approach is characterized by higher voltage tracking accuracy and better dynamic properties in different operating conditions. The second one, published by Lu Zhang et al. [23], proposes an invariant manifold-based output-feedback Sliding Mode Control (SMC) strategy for systems with mismatched disturbances to achieve asymptotic tracking and disturbance

The authors are with the ¹Universidad Tecnológica de la Mixteca, Oaxaca, México and ²Benemérita Universidad Autónoma de Puebla, Puebla, México (e-mail: jlinares@mixteco.utm.mx; abad@mixteco.utm.mx; arturohm54@mixteco.utm.mx; omar94_9@hotmail.com; fermi.guerrero@correo.buap.mx; rubenflaixs@hotmail.com).

Passivity-Based Controller for a High Energy Quality Active Rectifier-DC Motor System: An FPGA Implementation

Abstract—This paper presents a controller based on passivity for a Single-Phase Active Rectifier DC-Motor (SPAR-DCM) system. The main objective in the mechanical stage (DCM) is to regulate and maintain the angular speed desired of the motor under sudden load torque changes in the motor's shaft. At the same time, in the electric power stage, namely Active Single Phase Rectifier (SPAR), the power factor should stay very close to unity. We designed an Online Algebraic Estimator (OAE) to estimate the load torque parameter, adapted to the Linear Controller based on the Exact Static Error Dynamics Passive Output Feedback (ESEDPOF) to minimize its effects. To synchronize the SPAR-DCM system with the grid, we employ a SOGI-PLL to generate the necessary reference signals for the ESEDPOF controller. The arithmetic processing is programmed at medium-scale FPGA Spartan-6 XC6SLX16 through the detailed architecture design in 32-bits in floating-point according to the standard IEEE-754. Finally, experimental results verified the proposed control algorithm's correctness and effectiveness. We demonstrate through Power Quality measurements that the Power Factor value is close to unity.

Keywords— FPGA, Active rectifier, SOGI-PLL, ESEDPOF, Online algebraic estimator.

I. INTRODUCTION

A. Motivations and Background

Since several decades ago, a crucial research topic has been electrical energy control through the application of power electronics and the use of power electronic devices, employed the different topologies of existing power converters. In this direction, the use of control engineering and power electronics, in synergy with other areas, has generated more efficient routes for multiple applications in generation or energy consumption. One of the energy consumption applications whose objective is to generate motion in multiple scenarios is the design of drivers for motors. Among other types of motors, DC motors have benefited since the design of their drivers is based on power electronic converters [1], [2]. DC motors systems are essential in plenty of industrial applications. They require high precision control in some of their magnitudes: position or angular velocity. Thus, some applications examples of such systems are: paper machines and the textile industry, laminating processes, traction systems, machine tools, robotics, refineries, railway systems, high-precision servo motor drives, and multi-axis [3], [4]. According to the related literature, drivers based on power converters for DC motors are divided into two groups: (a) DC/DC power-converters-driven DC motors and (b) AC/DC power-converters-driven DC motors. Then some applications related are mentioned then:

1) *DC/DC power-converters-driven*: DC motors driven by a DC-DC power converter such as chopper, buck, boost, buck-boost topology, that require a DC power supply [5]–[8].

2) *AC/DC power-converters-driven*: A typical application of rectifiers is electric motor drive systems, mainly DC motor-based systems [9], [10]. Generally, the AC-grid voltage is rectified to DC voltage to supply loads that require it, or also if the conversion is AC-AC, an intermediate DC stage is often necessary [11]. In many circumstances, it is entirely reasonable to have single-phase loads; thus, it is common to find single-phase rectifiers since they are popular [12]. Diode-based rectifiers, also called *passive rectifiers*, are widely used in AC-DC converters and are generally grid-connected, where they create a series of problems mainly related to power quality. In this sense, the problems caused by the generation of even or odd harmonics of the fundamental frequency can cause malfunctions in drive systems based on motors and transformers. These problems can cause losses due to heating, misalignment of bearings, to name a few; this leads to the electromechanical system decreasing its cycle-life [13].

A strategy to minimize the generation of harmonic content in the AC-grid due to the rectification process is the use of converters *without* diode bridges or thyristors, commonly called *active rectifiers*. Active rectifiers belong to a new generation of power converters and employ mature or new generation solid-state devices such as MOSFETs, IGBTs, and GTOs. This type of converter is generally also known as Switch-Mode Rectifiers (SMRs), Power-Factor Correctors (PFCs), or Pulse-Width-Modulation (PWM) rectifiers [14]–[16]. Active rectifier technology is the most promising rectifier technology from the standpoint of power quality. It has the advantages of a diode rectifier or a thyristor-based rectifier, with the added benefit of obtaining AC-grid power with minimal harmonic distortion and Power Factor value close to unity [17]. The active rectifier provides fast and precise control of the DC-link voltage, further has the following advantages: bidirectional power flow, regulation of the magnitude of the voltage on the DC bus, and less stress on semiconductor devices [18]. To ensure the advantages mentioned above, a fast and precise voltage synchronization method must be used. In order to carry out this task, the Phase-Lock-Loop algorithms or PLL are applied. A PLL is a closed-loop system in which an internal oscillator-controlled to keep the time of some external periodic signal by using the feedback loop; some of the more advanced synchronization methods are discussed and applied in [19], [20]. A method widely used in recent years is Second Order General Integrator Phase-Locked-Loop (SOGI-PLL) since just by measuring the AC-grid voltage, it is possible to obtain information on the position of the voltage vector (v), the amplitude of the voltage vector (U_m) and fundamental frequency of the voltage (ω) [19]–[21]. On the other hand, *Field Programmable Gate Arrays* (FPGAs) have made their way as one of the preferred digital deployment platforms for the implementation of current power and industrial electronics applications. Currently, trends show that these devices will be used continuously due to the improvements in hardware they add to them and the software design tools available. Due to the computational cost necessary to process multiple algorithms currently are required in power electronics applications, FPGAs are suitable as a processing device. It is essential to mention that their chief characteristics are that