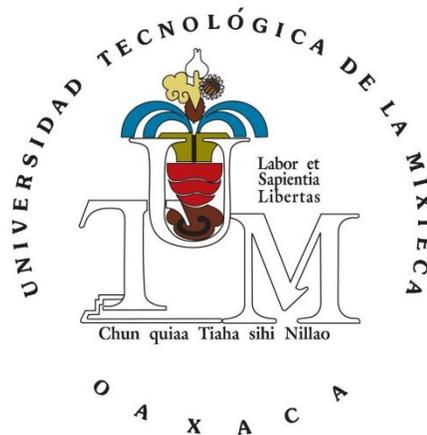


UNIVERSIDAD TECNOLÓGICA DE LA MIXTECA

DIVISIÓN DE ESTUDIOS DE POSGRADO



**CONTROL ROBUSTO BASADO EN FPGA DE
CONVERTIDORES CD/CD EN PARALELO**

TESIS PARA OBTENER EL GRADO DE:

MAESTRO EN ELECTRÓNICA

OPCIÓN: SISTEMAS INTELIGENTES APLICADOS

PRESENTA:

ING. IVONNE GONZÁLEZ GARCÍA

DIRECTOR DE TESIS:

M.C. ESTEBAN O. GUERRERO RAMÍREZ

CO-DIRECTOR DE TESIS:

DR. ENRIQUE GUZMÁN RAMÍREZ

HUAJUAPAN DE LEÓN, OAXACA, FEBRERO DE 2015

Tesis presentada en Febrero del 2015 ante los sinodales:

Dr. Jesús Linares Flores

Dr. Edgardo Yescas Mendoza

Dr. Marco Antonio Contreras Ordaz

Director de tesis:

M.C. Esteban Osvaldo Guerrero Ramírez

Co-Director de tesis:

Dr. Enrique Guzmán Ramírez

Resumen

En este trabajo se examina la conexión de convertidores reductores en paralelo, desde la perspectiva de planitud diferencial y el Control mediante Rechazo Activo de Perturbaciones (CRAP), basado en observadores GPI (*Proporcional Integral Generalizado*). Este convertidor multivariable es sujeto a demandas de corrientes desconocidas variantes en el tiempo. Los controladores retroalimentados de salida lineal contrarrestan de forma activa las perturbaciones exógenas, así como las perturbaciones endógenas que resultan debido a la conexión en paralelo de los convertidores. Se presentan resultados de simulación en tiempo continuo haciendo uso de la herramienta Matlab/Simulink; seguida de simulaciones en tiempo discreto con la herramienta System Generator de Xilinx. Dichas simulaciones dan un panorama realístico del funcionamiento de la técnica de control aplicada al convertidor de forma práctica, así mismo se muestran los resultados experimentales obtenidos de la implementación del control en el FPGA (*Field Programmable Gate Array*) artix7 empotrado en la tarjeta de desarrollo nexys 4, donde para su programación se hace uso de la herramienta ISE (*Integrated Software Environment*) Desing Suite 14.5.

Dedicatoria

En primer lugar quiero dedicar este trabajo a mi familia, porque sin ellos nada de esto sería posible, me dieron la fuerza necesaria para seguir adelante, a pesar de las adversidades que la vida ha puesto en mi camino, me enseñaron *“Que no importa cuántas veces te caigas y te encuentres de rodillas en el piso, lo realmente importante es volverse a levantar y continuar con mucho más ímpetu y amor por la vida”*.

Los amo con todo mi corazón.

Ivonne.

Agradecimientos

Primeramente quiero dar gracias a Dios por permitirme llegar hasta este momento.

A Teresa, porque me diste la oportunidad de vivir y la gran fortuna de ser tu hija, gracias por tu amor, por tus desvelos y tu esfuerzo sobre humano para que yo terminara mis estudios, pero sobre todo gracias por ser mi madre y mi mejor amiga.

También quiero dar gracias a Javier (“González”), por permitirme conocer tu corazón y compartir tus últimos momentos como dos buenos amigos, gracias por ser mi padre y aunque no estés físicamente, sé que estás con migo en cada paso que doy.

Janet, quiero agradecerte por ser mí hermana y amiga, porque siempre estas a mi lado codo a codo cuando más lo necesito, por ser uno de los pilares de mi vida, me enseñaste que aun en los momentos más difíciles se puede sonreír, que no importa lo que pase siempre hay un nuevo amanecer, gracias por darme a mi gusanita, esa niña que llegó a la casa a brindar alegría con sus travesuras y ocurrencias.

A Moisés Adrián y Pedro, mis hermanos, (mis caras de sapo, porque ustedes están feos y yo bonita, que digo bonita, ¡hermosa!), porque aun en la distancia el cariño que prevalece entre nosotros es inmenso, y nada ni nadie lo romperá, por tratarme como un hermano menor y digo hermano con conocimiento de causa, por darme unas sobrinas y sobrinos tremendos, a los cuales adoro, pero sobre todo por apoyar y respetar cada decisión que he tomado, gracias por darme su cariño.

Carlos gracias por tu amor, tu ayuda y apoyo incondicional, por compartir los momentos buenos y malos, por enseñarme que no se puede juzgar a un pez por su capacidad de volar, me enseñaste a que si se quiere algo hay que comprometerse para conseguirlo, pero sobre todo gracias por formar parte de mi vida y por aguantar todas mis locuras.

Quiero dar un agradecimiento especial a mi director Esteban Guerrero Ramírez por aventurarse conmigo en esta tesis (no sabía en lo que se metía), gracias por la paciencia, pero sobre todo por ser un gran amigo, por favor cuídese porque ahora lo considero parte de mi familia de amigos.

A Enrique Guzmán Ramírez, por formar parte de este proyecto, gracias por los consejos y los conocimientos compartidos, por hacer más divertida la elaboración de esta tesis, con las bromas al profesor Esteban y a mí, pero sobre todo gracias por brindarme su amistad, espero seguir contando con ella.

A los sinodales:

Jesús Linares, por compartir sus conocimientos a lo largo de la licenciatura y maestría, por dedicarme tiempo, pero sobre todo por brindarme su amistad, porque no solo se dedicó a impartir sus clases, sino también se preocupó por ayudarme de forma personal y eso es algo que le agradezco de corazón.

Edgardo Yescas, por dedicar tiempo para la revisión de mi documento, por contribuir al enriquecimiento de este trabajo, y sobre todo por el apoyo brindado no solo como sinodal, sino también como amigo, espero esta amistad perdure mucho tiempo.

Marco Contreras, por compartir sus conocimientos y por tomarse el tiempo necesario para revisar mi documento y contribuir para mejorarlo, gracias por brindarme su amistad y consejos.

A los profesores del Instituto de Electrónica y Mecatrónica y el Instituto de Matemáticas que me impartieron clases en la carrera y en la maestría.

Doy un agradecimiento especial a aquellos profesores que en momentos difíciles estuvieron conmigo brindándome su apoyo, a Jorge Luis Barahona, Alejandro Ramírez, Heriberto Hernández, Juan Ramón Tijerina, y solo por mencionar algunos, porque si no, no termino, gracias por sus consejos, sobre todo por la amistad que surgió a lo largo de estos años.

A mis amigos chispas pero son muchos,

Bueno empecemos, no se enojen si no menciono a todos pero créanme que siempre los tengo presentes, a Cesar Sigüenza y Jorge Gustavo, porque a pesar de la distancia tenemos una amistad que perdurará hasta cuando usen bastón, conste que fue su promesa eh gracias por considerarme parte de su familia claro su hermana menor (porque ustedes son viejitos y me tienen que cuidar es un trato firmado con sangre, bueno tinta roja pues para que no se asusten); Porfirio gran amigo y compañero de equipo durante la carrera, Mayrette, Imelda, Evelyn, Iván, Rodrigo, Lalo, Fredy, Norberto, Jannet, Adrián Méndez amigos de aventuras.

A Celes, Carmen, Olivia, Tania, Nacho, Mario, Cornelio, Magdiel, Edilberto, Misael, gracias por brindarme su amistad y compartir momentos muy gratos, por compartir experiencias a lo largo de la maestría, espero que aunque tomemos caminos diferentes la amistad no se rompa.

Me faltaron más nombres, una disculpa, pero ya saben que no es por ser grosera sino que si los menciono a todos, me harán falta hojas.

Gracias a todas las personas mencionadas y no mencionadas, por formar parte de mi vida y mis aventuras.

Gracias a CONACYT, por el apoyo económico, porque sin esta ayuda no hubiese sido posible continuar con mis estudios de maestría.

Índice

| | |
|--|------|
| RESUMEN | V |
| DEDICATORIA | VII |
| AGRADECIMIENTOS | IX |
| ÍNDICE..... | XIII |
| ÍNDICE DE FIGURAS | XVII |
| ÍNDICE DE TABLAS | XXI |
| 1 INTRODUCCIÓN..... | 1 |
| 1.1 PLANTEAMIENTO DEL PROBLEMA | 2 |
| 1.2 JUSTIFICACIÓN | 3 |
| 1.3 HIPÓTESIS | 4 |
| 1.4 OBJETIVOS | 4 |
| 1.4.1 Objetivo general..... | 4 |
| 1.4.2 Objetivos secundarios | 4 |
| 1.5 DESCRIPCIÓN DE LA PROPUESTA | 4 |
| 1.5.1 Análisis y diseño del convertidor CD/CD reductor en paralelo | 5 |

| | | |
|---------|--|----|
| 1.5.2 | Diseño del esquema de control | 5 |
| 1.5.3 | Simulación | 5 |
| 1.5.4 | Implementación..... | 5 |
| 1.6 | CONTRIBUCIONES | 7 |
| 1.6.1 | Publicaciones generadas | 7 |
| 1.7 | ESTRUCTURA DEL DOCUMENTO | 8 |
| 2 | MARCO TEÓRICO..... | 9 |
| 2.1 | CONVERTIDORES CD/CD..... | 9 |
| 2.1.1 | Convertidor reductor convencional..... | 10 |
| 2.1.2 | Convertidor reductor en paralelo | 14 |
| 2.2 | CONTROL MEDIANTE RECHAZO ACTIVO DE PERTURBACIONES..... | 16 |
| 2.2.1 | Planitud diferencial | 17 |
| 2.2.2 | Observador Proporcional Integral Generalizado (GPI) | 17 |
| 2.3 | ESTADO DEL ARTE..... | 20 |
| 3 | HERRAMIENTAS UTILIZADAS..... | 25 |
| 3.1 | HERRAMIENTAS EDA HARDWARE | 25 |
| 3.2 | HERRAMIENTAS EDA SOFTWARE..... | 28 |
| 3.2.1.2 | Simulink..... | 29 |
| 3.3 | ARITMÉTICA UTILIZADA..... | 35 |
| 3.3.1 | Aritmética en punto fijo | 35 |
| 3.3.2 | Aritmética en punto flotante | 36 |
| 4 | DISEÑO Y MODELADO MATEMÁTICO DEL SISTEMA | 37 |
| 4.1 | DISEÑO DEL CONVERTIDOR..... | 37 |
| 4.1.1 | Elección de los componentes | 40 |
| 4.2 | DISEÑO DEL ESQUEMA DE CONTROL..... | 41 |
| 4.2.1 | Modelado matemático del convertidor reductor en paralelo | 41 |
| 4.2.2 | Diseño del observador..... | 45 |
| 4.2.3 | Diseño de los controladores | 46 |
| 4.3 | DINÁMICA DEL ERROR DE ESTIMACIÓN | 47 |
| 4.4 | ANÁLISIS DE ESTABILIDAD EN LAZO CERRADO..... | 48 |
| 5 | RESULTADOS..... | 53 |
| 5.1 | RESULTADOS DE SIMULACIÓN EN SIMULINK..... | 53 |
| 5.1.1 | Modelado del sistema no perturbado | 53 |
| 5.1.2 | Simulación del sistema no perturbado | 55 |
| 5.1.3 | Simulación del sistema perturbado | 57 |
| 5.1.4 | Modelado en System Generator..... | 58 |
| 5.2 | RESULTADOS DE SIMULACIÓN EN SYSTEM GENERATOR..... | 61 |
| 5.2.1 | Resultado de simulación en System Generator sistema perturbado | 65 |

| | | |
|-------|--------------------------------------|----|
| 5.3 | RESULTADOS EXPERIMENTALES | 68 |
| 5.3.1 | Pruebas en lazo abierto | 68 |
| 5.3.2 | Pruebas en lazo cerrado | 70 |
| 6 | CONCLUSIONES Y TRABAJOS FUTUROS..... | 75 |
| 6.1 | CONCLUSIONES..... | 75 |
| 6.2 | TRABAJOS FUTUROS..... | 76 |
| 7 | BIBLIOGRAFÍA | 77 |

Índice de figuras

| | |
|--|----|
| Figura 1.1. Diagrama a bloques del sistema. | 6 |
| Figura 2.1. Convertidor reductor convencional. | 10 |
| Figura 2.2. Circuito equivalente interruptor cerrado. | 11 |
| Figura 2.3. Circuito equivalente interruptor abierto. | 11 |
| Figura 2.4. Forma de onda en MCC: a) Voltaje sobre el inductor, b) Corriente de fuente de alimentación,..... | 13 |
| Figura 2.5. a) Voltaje en el inductor, b) Corriente en el inductor, en MCD..... | 14 |
| Figura 2.6. Configuraciones de los convertidores. | 15 |
| Figura 2.7. Convertidor reductor en paralelo..... | 15 |
| Figura 3.1. Arquitectura de un FPGA..... | 27 |
| Figura 3.2. Entorno Matlab..... | 28 |
| Figura 3.3. Entorno Simulink. | 29 |
| Figura 3.4. ISE Desing Suite. | 30 |
| Figura 3.5. Diagrama de implementación de algoritmo DSP..... | 31 |
| Figura 3.6. Diagramas de flujo de Matlab/Simulink/System Generator. | 32 |
| Figura 3.7. Entrada de datos Simulink a Xilinx..... | 33 |
| Figura 3.8. Salida de datos Xilinx a Simulink. | 33 |
| Figura 3.9. Bloque System Generator..... | 34 |
| Figura 3.10. Bloque de suma y resta..... | 34 |
| Figura 3.11. Bloque de multiplicación. | 34 |

| | |
|---|----|
| Figura 3.12. Bloque BlackBox..... | 35 |
| Figura 3.13. Representación de punto flotante. | 36 |
| Figura 4.1. Convertidor reductor en paralelo..... | 41 |
| Figura 5.1. Convertidor reductor en paralelo sin perturbación. | 53 |
| Figura 5.2. Módulo del observador externo..... | 54 |
| Figura 5.3. Módulo del observador interno..... | 54 |
| Figura 5.4. Módulo del controlador externo. | 55 |
| Figura 5.5. Control desplegado interno..... | 55 |
| Figura 5.6. Voltaje de salida. | 56 |
| Figura 5.7. Corriente en la carga..... | 56 |
| Figura 5.8. Corriente i_1 , en el primer inductor..... | 56 |
| Figura 5.9. Corriente i_2 , en el segundo inductor..... | 56 |
| Figura 5.10. Convertidor reductor en paralelo perturbado..... | 57 |
| Figura 5.11. Voltaje de salida del sistema perturbado. | 57 |
| Figura 5.12. Corriente de carga del sistema perturbado. | 58 |
| Figura 5.13. Corriente i_1 del sistema perturbado. | 58 |
| Figura 5.14. Corriente i_2 del sistema perturbado..... | 58 |
| Figura 5.15. Modelo del sistema completo. | 60 |
| Figura 5.16. Modelo digital del Observador GPI..... | 60 |
| Figura 5.17. Modelo digital de los controladores. | 61 |
| Figura 5.18. Bloque de PWM. | 61 |
| Figura 5.19. Voltaje de salida del convertidor convencional..... | 62 |
| Figura 5.20. Corriente de carga del convertidor convencional. | 62 |
| Figura 5.21. Corriente en el inductor del convertidor convencional, $L = 980.7\mu H$ | 62 |
| Figura 5.22. Corriente en el inductor del convertidor convencional, $L = 2mH$ | 62 |
| Figura 5.23. Corriente en el mosfet del convertidor convencional. | 63 |
| Figura 5.24. Voltaje en el mosfet del convertidor convencional. | 63 |
| Figura 5.25. Voltaje de salida del convertidor en paralelo. | 63 |
| Figura 5.26. Corriente de carga del convertidor en paralelo..... | 64 |
| Figura 5.27. Corriente i_1 en el primer inductor del convertidor en paralelo. | 64 |
| Figura 5.28. Corriente i_2 en el segundo inductor del convertidor en paralelo..... | 64 |
| Figura 5.29. Rizo de corriente i_1 del convertidor en paralelo..... | 64 |
| Figura 5.30. Corriente en el mosfet del convertidor en paralelo..... | 65 |
| Figura 5.31. Voltaje en el mosfet del convertidor en paralelo..... | 65 |
| Figura 5.32. Voltaje de salida medido y estimado del sistema perturbado..... | 65 |
| Figura 5.33. Corriente i_1 del sistema perturbado..... | 66 |
| Figura 5.34. Corriente i_2 del sistema perturbado..... | 66 |
| Figura 5.35. Corriente de carga del sistema perturbado. | 66 |
| Figura 5.36. Error de estimación de voltaje. | 67 |
| Figura 5.37. Señal de control u_1 | 67 |

| | |
|---|----|
| Figura 5.38. Señal de control u_2 | 67 |
| Figura 5.39. Plataforma experimental del convertidor en paralelo. | 68 |
| Figura 5.40. Circuito del convertidor reductor en paralelo. | 68 |
| Figura 5.41. Voltaje de salida en lazo abierto. | 69 |
| Figura 5.42. Voltaje del sensor en lazo abierto. | 69 |
| Figura 5.43. Corriente i_1 en lazo abierto. | 69 |
| Figura 5.44. Diagrama a bloques para programar el FPGA. | 70 |
| Figura 5.45. Circuito en lazo cerrado. | 70 |
| Figura 5.46. Voltaje de salida en lazo cerrado..... | 71 |
| Figura 5.47. Voltaje del sensor en lazo cerrado..... | 71 |
| Figura 5.48. Corriente i_1 en lazo cerrado. | 71 |
| Figura 5.49. Voltaje de salida en lazo cerrado, sistema perturbado. | 72 |
| Figura 5.50. Voltaje en el sensor en lazo cerrado, sistema perturbado. | 72 |
| Figura 5.51. Corriente i_1 en lazo cerrado, sistema perturbado. | 72 |

Índice de tablas

| | |
|--|----|
| Tabla 2.1. Clasificación de convertidores..... | 10 |
| Tabla 4.1. Parámetros del convertidor..... | 39 |
| Tabla 4.2. Parámetros de diseño del convertidor..... | 40 |
| Tabla 4.3. Ganancias del esquema de control..... | 47 |
| Tabla 5.1. Recursos utilizados por el FPGA..... | 73 |

Capítulo 1

Introducción

La electrónica de potencia ha tenido un gran avance tecnológico en los últimos años, dando lugar a una gran cantidad de aplicaciones a nivel industrial. Los convertidores electrónicos juegan un papel muy importante dentro del área de la electrónica de potencia, puesto que son los encargados de la conversión y el control de la energía eléctrica; para lograr lo anterior, es necesario utilizar una técnica de control adecuada y el uso de dispositivos semiconductores activos en modo de conmutación, en conjunto con otros dispositivos pasivos como los diodos, inductores y capacitores [1], [2]. En particular, los convertidores CD/CD conmutados son algunos de los circuitos más utilizados por su alta eficiencia de conversión de potencia y salida de voltaje flexible. En este contexto, el convertidor reductor es una alternativa apropiada para la regulación de voltaje en distintas aplicaciones, debido a su sencillez, bajas pérdidas y una alta eficiencia de conversión de energía. Además, la facilidad para controlar su voltaje de salida garantiza su uso en el diseño de fuentes de alimentación reguladas y controladores de motores de CD. Sin embargo, en aplicaciones que demandan altas potencias es necesario el uso de inductores cuyo valor de inductancia es elevado, por tal motivo este tipo de convertidores generalmente se restringen a aplicaciones de baja y mediana potencia.

Con la finalidad de incrementar el manejo de potencia en éstos convertidores, varios trabajos siguen una línea de investigación en donde se hace uso de la conexión en paralelo de convertidores reductores. Este tipo de configuración constituye una solución interesante para incrementar la capacidad de potencia de los mismos, puesto que permite distribuir el flujo de corriente entre diversos módulos, reduciendo así el esfuerzo de corriente en los interruptores.

En particular mediante la conexión en paralelo se logra, entre otras características: aumentar la fiabilidad y modularidad del sistema, repartir la carga y las pérdidas asociadas a la conversión, y manejar voltajes bajos con altas densidades de corriente, por mencionar algunas. Sin embargo para asegurar la eficiencia en estos convertidores es necesario asegurar un equilibrio en el flujo de las corrientes entre cada convertidor conectado y mantener la regulación del voltaje a la salida. En este sentido, en la presente se muestran los resultados del diseño e implementación en un FPGA de un esquema de control de rechazo activo a perturbaciones, para la regulación del voltaje de salida y el equilibrio en las corrientes de dos convertidores reductores conectados en paralelo.

1.1 Planteamiento del problema

El uso del convertidor reductor convencional, o en su versión síncrona se restringe a aplicaciones con baja capacidad de potencia. Para solventar esto en la actualidad se estudia la posibilidad de incrementar los niveles de potencia mediante la conexión de dos o más convertidores básicos, cuyas entradas y salidas se pueden conectar en distintas configuraciones como:

- Entrada paralelo-salida serie
- Entrada paralelo-salida paralelo
- Entrada serie-salida paralelo
- Entrada serie-salida serie.
- Conexión en cascada.

La configuración entrada paralelo-salida paralelo o también llamada conexión en paralelo, es una de las conexiones más utilizadas actualmente, dentro sus principales aplicaciones se encuentran: las fuentes de alimentación dual (42V/14V) en donde se exigen potencias en el orden de los 5kW, los módulos reguladores de voltaje (VRM) donde se requieren voltajes de alimentación bajos y una alta demanda de corriente, y otra aplicación interesante es su posible aplicación en el control de motores de CD de potencia media [3].

Por otro lado, para lograr un buen funcionamiento del convertidor en paralelo se requiere de técnicas de control que permitan regular el voltaje de salida del convertidor y equilibrar las corrientes del mismo. Además, el control debe ser capaz de disminuir el efecto de las perturbaciones provocadas al conectar cargas desconocidas a la salida del convertidor, manteniendo el voltaje de salida deseado y el equilibrio en las corrientes. Tradicionalmente el problema del control de este tipo de convertidores ha sido solucionado mediante técnicas de entrelazado las cuales consisten en realizar un desfaseamiento de la señal de control en cada una de las fases del convertidor, además de integrar algoritmos complejos para lograr la ecuilización de las corrientes. Entre las técnicas de control más utilizadas para los convertidores en paralelo son: el control por modos deslizantes, el control por histéresis, controladores PID, técnicas de modulación por ancho de pulso y controles mediante lógica difusa (*Fuzzy control*).

Sin embargo, los efectos indeseados provocados por perturbaciones internas y externas, son uno de los principales problemas al aplicar este tipo de controladores, dado que estos no integran un método para minimizar estos efectos adecuadamente. En este sentido, existen un gran número de propuestas de técnicas de control cuyo objetivo es minimizar los efectos de dichas perturbaciones a partir de observadores que estiman la perturbación y controladores, que minimizan sus efectos. Este tipo de esquemas de control requiere para su funcionamiento un gran número de operaciones matemáticas ejecutadas de forma simultánea en tiempo real, siendo esto uno de los principales problemas cuando se quieren llevar a la práctica en una aplicación real.

1.2 Justificación

Para mejorar el desempeño del convertidor CD/CD paralelo se plantea la utilización de la técnica de control de rechazo activo de perturbaciones. Esta técnica de control consiste en cancelar de forma activa, los efectos de las perturbaciones en las salidas del sistema, mediante una acción de control, basándose ya sea en mediciones de estos efectos o en sus estimaciones. En resumen, este paradigma establece que es posible eliminar los efectos indeseables sobre la salida antes de aplicar la realimentación [4]. Dentro de las ventajas que presenta esta técnica de control con respecto a los controladores clásicos y modernos se encuentran: que no requiere del conocimiento exacto de la planta, presenta buen rechazo a las perturbaciones y requiere menos parámetros de sintonización.

Por otro lado, debido a la cantidad de operaciones matemáticas que requiere el CRAP para su implementación, se dificulta la implementación de forma analógica, por lo tanto, se justifica el uso de sistemas digitales que faciliten su implementación. Así mismo, el control en un sistema digital es una tarea altamente demandante y requiere de procesamiento en tiempo real. Un sistema en tiempo real es aquel que procesa la información entrante en un periodo de tiempo especificado y finito. La velocidad de procesamiento requerido en un sistema de control depende de la rapidez de respuesta del sistema a controlar. En este sentido muchos problemas pueden resolverse mediante el uso de una computadora, sin embargo ejecutar operaciones de medición y control en una computadora estándar puede causar un fallo en el sistema debido a múltiples causas: realización de tareas en segundo plano, actualización de gráficos, ejecución de antivirus, retardo de comunicación con la tarjeta de adquisición de datos, etc. Lo anterior hace evidente el uso de sistemas empujados para la implementación de controladores digitales.

Actualmente para el diseño de aplicaciones de control basados en el procesamiento digital de señales se pueden adoptar tres tipos de soluciones: el uso de procesadores digitales de señales (DSP, *Digital Signal Processing*), FPGAs y circuitos de aplicación específica (ASIC, *Application Specific Integrated Circuit*). Un DSP utiliza un enfoque algorítmico, esto quiere decir que la ejecución de las instrucciones que realiza es de forma secuencial, lo que ocasiona que el tiempo de ejecución de algoritmos complejos sea mayor en comparación con los ASICs y FPGAs, por otro lado un ASIC trabaja a velocidades mayores que los FPGAs, tienen un consumo menor de potencia y pueden soportar sistemas de mayor complejidad. Sin embargo,

un FPGA tiene la ventaja de ser reprogramable lo que añade una gran flexibilidad al flujo del diseño reduciendo costos y tiempo de desarrollo además de tener la capacidad de evaluar distintos procesos de manera concurrente, esta característica lo hace el dispositivo más adecuado para llevar a cabo la implementación del control CRAP, debido al gran paralelismo en la ejecución de las operaciones que este requiere.

1.3 Hipótesis

Mediante el uso de la técnica de Control de Rechazo Activo de Perturbaciones basado en observadores GPI, es posible regular el voltaje de salida de un convertidor CD/CD reductor de dos fases y lograr el equilibrio en las corrientes que circulan entre los mismos.

1.4 Objetivos

1.4.1 Objetivo general

Realizar el diseño y construcción de un convertidor CD/CD tipo reductor de dos fases, controlado mediante la técnica CRAP, basada en observadores GPI, para regular el voltaje de salida y balancear las corrientes de fase. La implementación será llevada a cabo en un FPGA utilizando System Generator para el modelado de la ley de control.

1.4.2 Objetivos secundarios

- Realizar el análisis matemático y diseño del convertidor de dos fases en modo de conducción continuo.
- Realizar la simulación del convertidor para observar el funcionamiento del circuito en lazo abierto.
- Diseñar el controlador CRAP basado en el modelo obtenido del convertidor CD/CD reductor en paralelo.
- Realizar la simulación, del controlador aplicado al convertidor en Matlab/Simulink, con el fin de observar el comportamiento completo del sistema.
- Modelar mediante System Generator las ecuaciones del controlador.
- Integrar el diseño del esquema de control, el PWM modelado en HDL y el sistema de adquisición de datos en un FPGA.
- Verificar que el control implementado en el FPGA conserve las características de robustez mostradas en la simulación.

1.5 Descripción de la propuesta

Para dar solución al problema planteado se propone el uso de la técnica CRAP para la regulación del voltaje de salida y el equilibrio de las corrientes que circulan entre las fases de un convertidor CD/CD reductor en paralelo. La técnica propuesta incluye observadores GPI que estiman las perturbaciones internas como es el caso de la variación de parámetros en los elementos que componen el convertidor, y las perturbaciones externas que son variaciones de

cargas conectadas a la salida del sistema, en este caso para simular estas variaciones se utilizó una carga lineal resistiva. Para la implementación de esta técnica de control se utilizó una plataforma de diseño basada en un FPGA.

Para cumplir con el objetivo, la metodología de desarrollo que se siguió se divide en 4 etapas:

1.5.1 Análisis y diseño del convertidor CD/CD reductor en paralelo

En esta etapa se diseñó el circuito electrónico correspondiente del convertidor, se determinaron los valores del capacitor, el resistor y las inductancias con las especificaciones deseadas. Así mismo, a partir de las ecuaciones del modelado dinámico del sistema, se realizó el análisis para determinar las propiedades que caracterizan al sistema (controlabilidad, observabilidad y planitud diferencial).

1.5.2 Diseño del esquema de control

En esta etapa se diseñó el esquema de control CRAP, basado en observadores GPI. Haciendo uso de la teoría sobre la que está fundamentada esta técnica de control.

1.5.3 Simulación

En esta etapa realizaron las simulaciones correspondientes del modelo matemático obtenido en las dos primeras fases, utilizando como herramienta de apoyo el programa Matlab/Simulink y System Generator, donde el circuito del convertidor se modeló mediante el Toolbox SimPowerSystem, el cual emula el comportamiento realístico del circuito, dando como resultado un punto de comparación con los datos obtenidos al llevar a cabo la implementación.

1.5.4 Implementación

En esta etapa se llevó a cabo la construcción de la plataforma experimental del sistema la cual se compone de tres elementos principales; el convertidor CD/CD reductor en paralelo, el controlador implementado en un FPGA y el sistema de adquisición de datos, (ver Figura 1.1).

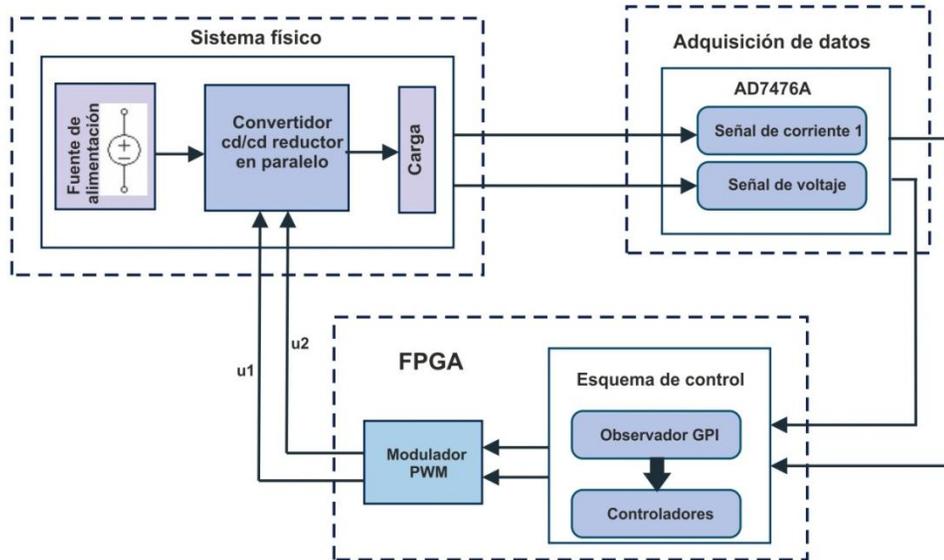


Figura 1.1. Diagrama a bloques del sistema.

1.5.4.1 Implementación del convertidor CD/CD reductor en paralelo

La construcción del circuito del convertidor se realizó conforme a las características de diseño en el modo de conducción continuo obtenidas en la primera etapa. Para el diseño del circuito se tomó en cuenta un circuito adicional que se encargará de activar y desactivar a los interruptores (MOSFET), a este circuito se le conoce como circuito excitador de compuerta.

1.5.4.2 Implementación del controlador

El controlador fué implementado utilizando como herramienta principal System Generator el cual se ubica en las librerías de Matlab/Simulink, la tarjeta en la cual se llevó a cabo dicha implementación es la Nexys 4 de la compañía Digilent Inc., basada en un FPGA Artix-7 de la compañía Xilinx, como herramienta EDA-CAD el ambiente de desarrollo integrado (IDE, *Integrated Development Environment*) ISE Desing Suite 14.5 y como dispositivo de adquisición de datos, se utilizó el dispositivo AD7476A, de la misma compañía.

Para el modelado del controlador se seguirá la metodología de diseño descendente (*top-down*). Esta metodología inicia visualizando al sistema a diseñar con un nivel de abstracción alto y posteriormente se separa en módulos jerárquicamente inferiores, los cuales pueden ser también divididos hasta llegar a un nivel de abstracción donde los elementos pueden ser modelados a través de las primitivas ofrecidas por la herramienta de diseño. El controlador consta de tres elementos principales en el primer nivel de abstracción los cuales son; el modulador PWM, el controlador del sistema de adquisición de datos y la ley de control.

- El modulador PWM. Consta básicamente de un circuito contador ascendente que fungirá como generador de señal diente de sierra y un comparador.

- El controlador del sistema de adquisición. Permitió la adquisición de información de voltaje y corriente proveniente de los sensores del convertidor, mediante una interfaz SPI con el dispositivo PmodAD1.
- Ley de control. Se subdivide en operaciones aritméticas, las cuales son agrupadas para modelar las ecuaciones del algoritmo de control.

1.5.4.3 Sistema de adquisición de datos

Este sistema permite obtener la información de los sensores de corriente y voltaje provenientes del convertidor. El sistema está compuesto por el dispositivo PmodAD1, el cual está integrado por dos convertidores analógico digital (AD7476A) de 12 bits independientes, con una frecuencia de muestreo de un millón de muestras por segundo.

1.6 Contribuciones

- La implementación de la técnica CRAP basada en observadores GPI aplicada a convertidores reductores en paralelo.
- La implementación del algoritmo de control en forma discreta mediante System Generator de Xilinx, herramienta de prototipado rápido, la cual trabaja bajo la plataforma de Matlab/Simulink. Con la utilización de esta herramienta se puede estudiar el desempeño por separado de cada etapa del sistema. Además, haciendo un análisis comparativo con las simulaciones realizadas en tiempo continuo en Matlab/Simulink, se logra tener un mejor control en los parámetros del sistema dando como resultado una mejor respuesta. Sin olvidar que Matlab/Simulink facilita el modelado del sistema debido a que permite manejar un nivel alto de abstracción.
- En la mayoría de los trabajos realizados mediante la utilización de System Generator, se han enfocado a obtener resultados mediante simulaciones y/o Co-simulaciones en el entorno de Matlab/Simulink, en la cual se emula el comportamiento de forma virtual, haciendo una aproximación del funcionamiento que se espera obtener de forma experimental. En este sentido, otra aportación interesante de este trabajo es la implementación del esquema de control en el FPGA de forma experimental, aplicado a un convertidor reductor en paralelo.

1.6.1 Publicaciones generadas

Un derivado de este trabajo de investigación es la participación en el *Anual Seminar on Automation, Industrial Electronics and Instrumentation* (SAAEI'14), organizado por el grupo de Automática y Electrónica Industrial (GAEI) de la Universitat Rovira i Virgili, la Université Abdelmalek Essaadi, y la Université Mohamed V, en la ciudad de Marruecos España. Con el artículo:

González-García I., Guerrero-Ramírez E. and Guzmán-Ramírez E. “Convertidor reductor cd/cd en paralelo controlado mediante rechazo activo de perturbaciones basado en observadores

GPI', *Anual Seminar on Automation, Industrial Electronics and Instrumentation* (SAAEI'14), Marruecos España, 2014.

1.7 Estructura del documento

La organización de este documento de tesis consta de 6 capítulos, los cuales se describen de la siguiente manera; el capítulo 1 se basa en una breve introducción, el capítulo 2 cubre los fundamentos teóricos, en el capítulo 3 se describen las herramientas utilizadas para el desarrollo de este trabajo, el capítulo 4 muestra el modelado matemático que se utilizó para obtener la ley de control, así como también el diseño del convertidor reductor, el capítulo 5 muestra los resultados de simulaciones realizadas y los resultados experimentales, finalmente el capítulo 6 muestra las conclusiones y los posibles trabajos futuros.

Capítulo 2

Marco teórico

El objetivo de este capítulo es dar un panorama general sobre el convertidor reductor convencional y su modo de operación, así como también hacer hincapié en el convertidor reductor en paralelo, debido a que este convertidor es el que se estudiara en este trabajo de investigación. Además se abordaran los fundamentos teóricos sobre la propiedad de planitud diferencial, el control mediante rechazo activo de perturbaciones y el observador GPI.

2.1 Convertidores CD/CD

Los convertidores CD/CD son los circuitos más utilizados en electrónica de potencia. Dentro de sus principales aplicaciones se encuentran: las fuentes de alimentación conmutadas, sistemas de alimentación ininterrumpibles (UPS, *Uninterruptible Power Supply*), impulsores de motores de CD aplicados a tracción eléctrica (trolebuses), sistemas de iluminación que usan balastos electrónicos, etc. La evolución de los dispositivos semiconductores de potencia (interruptores) ha hecho posible el diseño de fuentes de alimentación con mayor eficiencia, comparadas con las fuentes de alimentación que utilizan reguladores lineales. Los convertidores son clasificados en dos tipos, los que poseen aislamiento galvánico y los que no lo poseen. Estos últimos se derivan de los convertidores sin aislamiento galvánico; es decir, se les añade un elemento magnético, un transformador de alta frecuencia que puede cumplir dos funciones: almacenar energía y convertir los niveles de voltaje y corriente, en la tabla 1 se muestra la clasificación antes mencionada.

Tabla 2.1. Clasificación de convertidores.

| Sin aislamiento Galvánico | Con aislamiento Galvánico |
|--------------------------------|---------------------------|
| Buck (reductor) | Forward |
| Boost (elevador) | Flyback |
| Buck-boost (reductor-elevador) | Push-pull |
| Cuk | Half-bridge |
| SEPIC | Full-bridge |

2.1.1 Convertidor reductor convencional

Este tipo de convertidores reciben el nombre de reductores o también llamados *Step-Down*, debido a que su voltaje de salida es menor que el voltaje de entrada [5], [6], este circuito forma parte de la familia de convertidores de segundo orden y su estructura es sencilla, dado que únicamente utiliza dos dispositivos semiconductores de potencia y dos elementos de almacenamiento de energía, los cuales forman un filtro paso bajas, además de la fuente de alimentación y la carga; dicho convertidor se observa en la Figura 2.1.

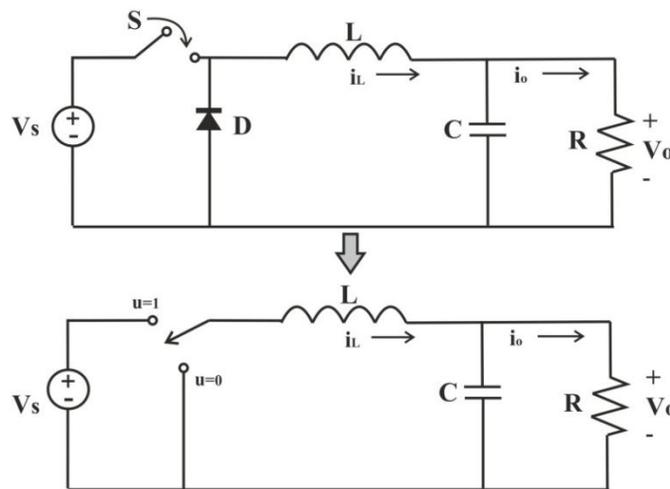


Figura 2.1. Convertidor reductor convencional.

El principio de funcionamiento del convertidor se basa en la operación de un interruptor el cual es conmutado a una determinada frecuencia $f = 1/T$, donde T representa el periodo de conmutación. Durante su operación se distinguen dos modos, modo de conducción continua (MCC), y modo de conducción discontinua (MCD), el modo en que opera el convertidor se determina mediante la corriente que circula a través de la bobina [7], [8], [9]. El interruptor es el encargado de conectar y desconectar la fuente de alimentación al inductor, como se muestra en la Figura 2.2, si el interruptor está cerrado, la corriente fluye a través del inductor alimentando la carga y el capacitor comienza a cargarse.

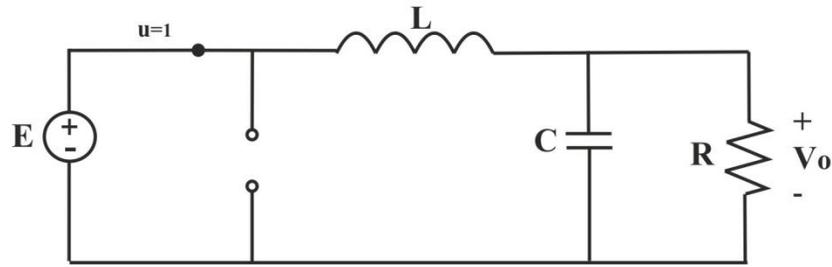


Figura 2.2. Circuito equivalente interruptor cerrado.

El análisis matemático del circuito con el interruptor cerrado (ver Figura 2.2), se lleva a cabo mediante un análisis de malla aplicando la ley de voltaje de Kirchhoff (LVK) y un análisis nodal usando la ley de corriente de Kirchhoff (LCK), teniendo como resultado el sistema de ecuaciones diferenciales (2.1).

$$L \frac{di_L}{dt} = E - v_o$$

$$C \frac{dv_o}{dt} = i_L - \frac{v_o}{R}$$
(2.1)

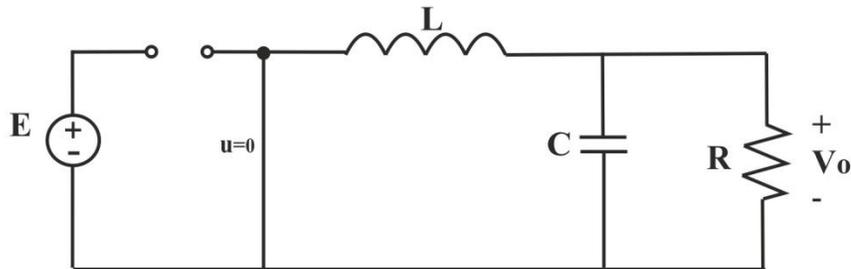


Figura 2.3. Circuito equivalente interruptor abierto.

En base a la Figura 2.3, se realiza el análisis con el interruptor abierto, donde la corriente almacenada en el inductor empieza a fluir a través del diodo y de este modo alimenta a la carga R ; se sigue un procedimiento similar al anterior, mediante el cual se obtiene el sistema de ecuaciones diferenciales (2.2).

$$L \frac{di_L}{dt} = -v_o$$

$$C \frac{dv_o}{dt} = i_L - \frac{v_o}{R}$$
(2.2)

Por tanto, manipulando algebraicamente la ecuación (2.1) y la ecuación (2.2) se obtiene el modelo matemático promedio del convertidor, el cual queda representado de la siguiente manera:

$$\begin{aligned}L \frac{di_L}{dt} &= -v_o + Eu \\ C \frac{dv_o}{dt} &= i_L - \frac{v_o}{R}\end{aligned}\tag{2.3}$$

Donde i_L denota la corriente que circula en el inductor, v_o es el voltaje en las terminales del capacitor de salida y $u \in \{0,1\}$, toma los valores en el conjunto discreto. En el modelado del convertidor R representa la resistencia, L el inductor, C el capacitor y E el voltaje de entrada del convertidor. A continuación se dará una breve explicación de los dos modos de conducción en los que opera el convertidor.

2.1.1.1 Modo de conducción continuo

Para que el convertidor reductor trabaje en modo de conducción continuo es necesario que la corriente sea mayor que cero durante el periodo de conmutación. Este modo consiste en dos estados, primero cuando el interruptor se cierra y el diodo se abre, momento en el cual el inductor almacena energía y el segundo cuando el interruptor se abre y el diodo se cierra, momento en el cual el inductor se descarga; a este modo de conmutación se le asocia el hecho de que el diodo y el interruptor nunca llegaran a conmutar al mismo tiempo, sin embargo la ley de control que se aplique a estos convertidores, es la que determina el periodo de conmutación en cada uno de ellos.

Cuando el interruptor se encuentra cerrado, el voltaje de salida es menor que el de entrada por lo que la corriente en el inductor se mantiene de forma creciente durante este intervalo de tiempo, haciendo que la corriente que circula a través del interruptor sea igual a la del inductor. Mientras que cuando el interruptor pasa de cerrado a abierto se genera un aumento de voltaje, conocido como sobretensión, lo que provoca la conducción del diodo, en este intervalo de tiempo la corriente en el inductor comienza a decrecer sin llegar a ser cero, esto sucede hasta que el interruptor se vuelve a cerrar y comience un nuevo periodo de conmutación [7], [8], [10]. En la Figura 2.4 se muestran las principales formas de onda de los elementos del convertidor, en la Figura 2.4a) se aprecia el voltaje a través del inductor, en 2.4b) se muestra la corriente que suministra la fuente de alimentación, esta corriente es la misma que circula en el interruptor, la Figura 2.4c) se muestra la corriente que circula a través del diodo, siendo la misma corriente que pasa en el inductor cuando el interruptor está apagado, y por último en la Figura 2.4d), se muestra la corriente que circula en el inductor. Como puede observarse en la figura, la corriente nunca llega a ser cero.

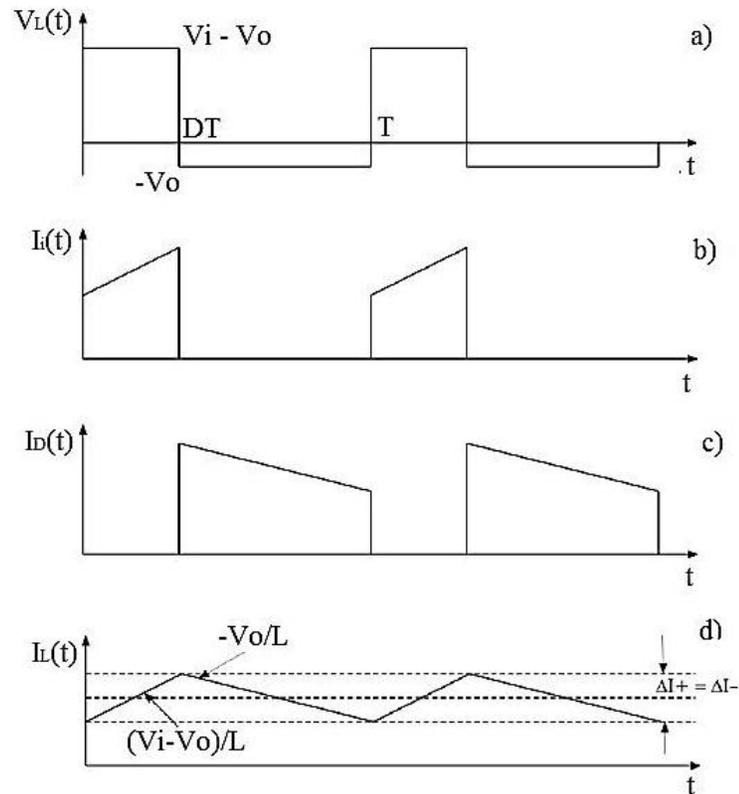


Figura 2.4. Forma de onda en MCC: a) Voltaje sobre el inductor, b) Corriente de fuente de alimentación, c) Corriente en el diodo, d) Corriente en el inductor.

2.1.1.2 Modo de conducción discontinuo

El convertidor reductor trabaja en modo discontinuo únicamente si la corriente en el inductor llega a ser nula en un instante. Si en el régimen de funcionamiento estacionario se disminuye la carga, se disminuirá la corriente en el diodo permaneciendo constante el rizado de la corriente y el voltaje de salida, con lo que llegará el momento en que la corriente en el inductor sea cero durante un intervalo de tiempo pequeño [7], [11]. En la Figura 2.5 se muestran algunas condiciones de carga del convertidor, la corriente de salida es igual a la corriente del inductor $i_o = i_L$, por tanto si disminuye i_o también disminuye i_L ; es decir, en las Figuras 2.5a) y 2.5b) se tienen 3 casos, en el caso (1) se muestra la corriente de carga que establece el modo de conducción continua sobre el inductor, en (2) la corriente i_L se anula al final del ciclo de conmutación y se denomina modo de conducción crítico, es decir la corriente promedio en el inductor es exactamente la mitad de la variación de corriente en el mismo. En el caso (3) el convertidor pasa a modo de conducción discontinuo, el inductor trata de invertir el sentido de la corriente antes de finalizar el tiempo de conmutación, pero la presencia del diodo lo impide, forzando a permanecer una corriente nula hasta que inicie el próximo ciclo de conmutación; esto quiere decir que al cortocircuitarse el diodo, el voltaje v_o es el mismo que circula en el diodo por lo tanto el voltaje en el inductor se anula, cabe mencionar que en estado estacionario esto debe cumplirse.

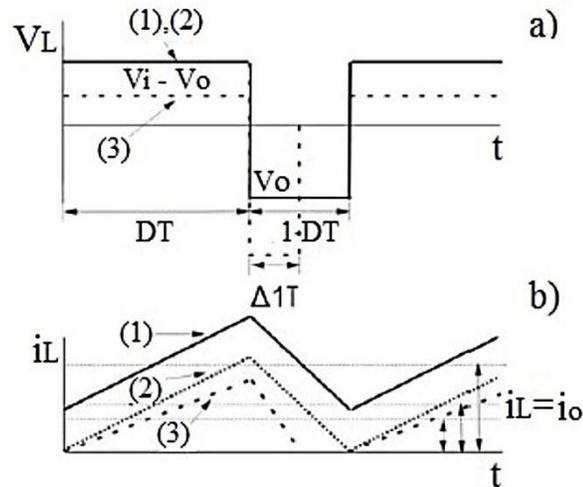


Figura 2.5. a) Voltaje en el inductor, b) Corriente en el inductor, en MCD.

2.1.2 Convertidor reductor en paralelo

Debido a que el convertidor convencional tiene una limitación de potencia, surge la necesidad de utilizar distintas formas de conexión entre los convertidores. Estas configuraciones pueden observarse en la Figura 2.6, las cuales son: la configuración entrada serie-salida serie, entrada serie-salida paralelo, entrada paralelo-salida serie, entrada paralelo-salida paralelo y la conexión en cascada. Es importante mencionar que este tipo de configuraciones se pueden aplicar a cualquier topología de convertidores, no son exclusivas del convertidor reductor, además estas conexiones se pueden generalizar para n convertidores. Sin embargo este trabajo se concentra en la configuración entrada paralelo-salida paralelo.

Los convertidores reductores pueden ser controlados de tal forma que reduzcan en gran medida las pérdidas por conducción y presenten una eficiencia alta. Sin embargo éste deberá tener la habilidad para transferir de manera rápida la energía de la entrada a la salida, esto implica la necesidad de utilizar valores de inductancias pequeñas. Por otro lado, utilizar inductancias pequeñas ocasiona que los rizados de corriente sean comparables a los picos de voltaje durante los transitorios de carga y no es conveniente que el convertidor trabaje de esta manera, además, se necesita una capacitancia de filtro grande para reducir los rizados de voltaje de salida en régimen de estado estable del convertidor y para suministrar corriente a la carga cuando el inductor no puede transferirla. Para solucionar estos inconvenientes, en los últimos años se ha optado por entrelazar varios convertidores del mismo tipo, logrando reducir el rizado y la capacidad de filtrado a la salida, a estas topologías entrelazadas se les conoce como convertidores multifase o multi-inductor.

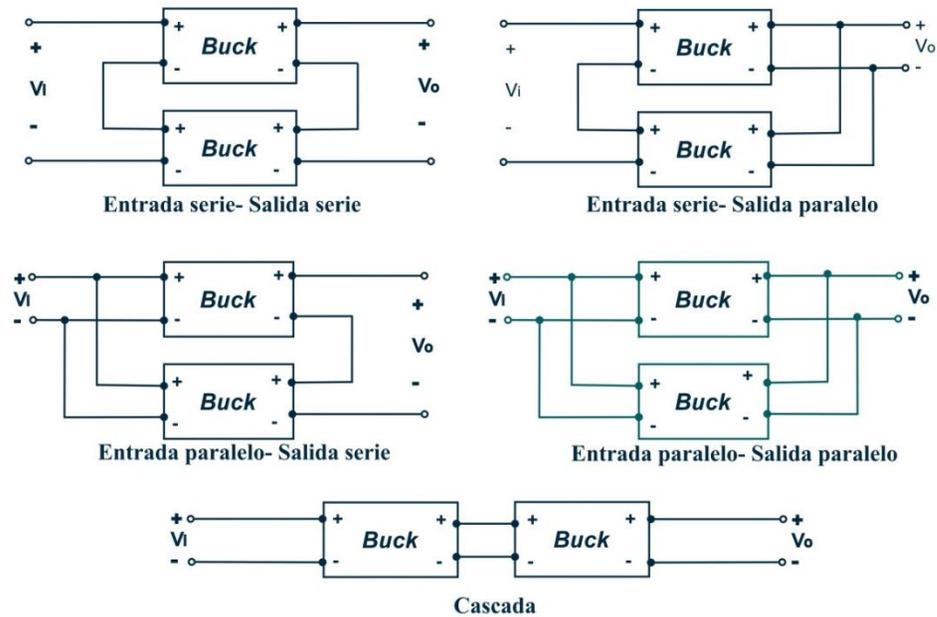


Figura 2.6. Configuraciones de los convertidores.

Un convertidor en paralelo consiste en colocar varios convertidores del mismo tipo compartiendo la misma fuente de alimentación y la misma carga. Por el hecho de poner varios convertidores en paralelo se consigue distribuir las pérdidas y la gestión térmica entre más componentes, permitiéndole manejar mayor potencia con respecto a las soluciones que nos brindaría un convertidor de una sola fase. La idea original del esquema de regulación en paralelo fue introducida por primera vez en los convertidores CD/CD conmutados y esta idea se adoptó para ser aplicada a los convertidores de capacidades conmutadas [12], [13], [14], [15]. En la Figura 2.7, se muestra el convertidor en paralelo de m fases.

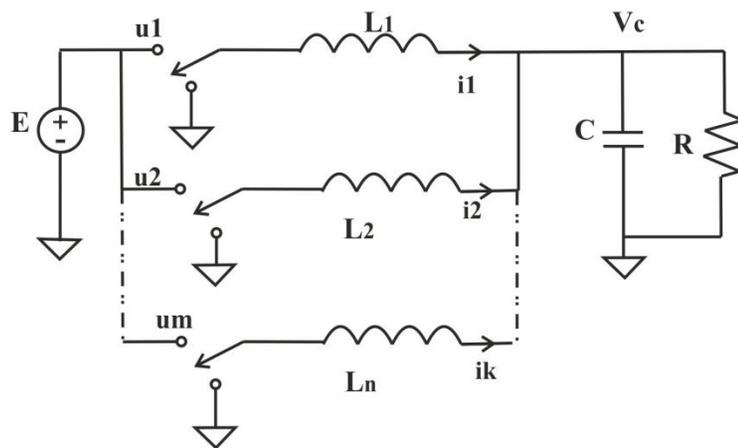


Figura 2.7. Convertidor reductor en paralelo.

En esta topología, al igual que en el convertidor de una sola fase, se obtiene su modelado matemático mediante las leyes de Kirchhoff, del cual se deriva el siguiente conjunto de ecuaciones diferenciales:

$$\begin{aligned}
L \frac{di_1}{dt} &= -v_c + E u_1 \\
L \frac{di_k}{dt} &= -v_c + E u_m \\
&\vdots \\
C \frac{dv_c}{dt} &= i_1 + \dots + i_k - \frac{v_c}{R}
\end{aligned} \tag{2.4}$$

Donde m es el número total de fases, i_k es la corriente circulante en el k -ésimo inductor, v_c es el voltaje en bornes del capacitor de salida y la variable u_m toma los valores en el conjunto $u_m \in \{0,1\}$. En el modelado del convertidor se tienen inductores iguales y además poseen el mismo valor de resistencia de pérdidas R_L , además el voltaje de entrada E es común a todas las fases [13], [16].

2.2 Control mediante rechazo activo de perturbaciones

El CRAP tiene una larga historia desde el primer tercio del siglo XIX, en Francia, con las prescripciones prácticas del Ingeniero Jean Victor Poncelet en el control de enclaves industriales mediante lo que él llamaba el “principio de invarianza”. El CRAP consiste en minimizar en forma activa, mediante la señal de control, los efectos de las perturbaciones en las salidas del sistema, basándose bien en mediciones de estos efectos o en sus estimaciones. En resumen, este paradigma establece que es posible eliminar los efectos indeseables sobre la salida antes de aplicar la realimentación [4], [17].

Este esquema de control ha sido ignorado en la mayoría de los libros de texto, uno de sus máximos exponentes fue el profesor Georghe Vladimirovich Shipanov en Moscú, sin embargo fue el profesor Jinqing Han quien desarrolló esta metodología y le dio uso en aplicaciones académicas, logró un sin número de desarrollos industriales y patentes realizando modificaciones a este método, actualmente empieza a tener una formalización adecuada gracias a los trabajos desarrollados en [18], [19] y [20], donde los autores utilizan el CRAP mediante un Observador de Estados Extendidos (ESO, *Extended State Observer*), este observador es usado para estimar perturbaciones internas y/o externas y su subsecuente cancelación, este observador se basa en una configuración no lineal y es complementado con una retroalimentación de estados no lineal que dificulta su implementación. En contraste, la utilización del CRAP utilizando un Observador GPI permite una estimación más eficiente de las perturbaciones, además de no requerir el conocimiento exacto de los parámetros de la planta, el controlador realiza estimaciones suficientemente precisas de términos aditivos, tanto endógenos como exógenos, de la dinámica existente en el sistema. La estimación de los datos de entrada-salida se lleva a cabo en tiempo real para lograr que el error de estimación se reduzca al mínimo [21]. Este esquema de control tiene una característica esencial para ser aplicada a un sistema, éste debe ser diferencialmente plano, antes de aplicarle una perturbación,

procurando que todas las variables del sistema, incluyendo la entrada de control, se puedan expresar en términos de las funciones diferenciales de la salida plana [22]. Uno de los primeros trabajos presentados sobre el tema de rechazo a perturbaciones fue el de control basado en acomodo de perturbaciones (CAP) [23], escrito por el profesor C. D. Johnson, cabe mencionar que a lo largo del tiempo trabajos teóricos y prácticos han ido evolucionando.

Las estimaciones que el observador prevé se utilizan para facilitar la cancelación de la mismas de una forma aproximada, al mismo tiempo que se estiman las variables relacionadas con las salidas planas medidas, la técnica de control constituye un método aproximado puesto que se sujeta a una evolución de forma lineal y perturbada del error de reconstrucción de las variables y de la perturbación; esta dinámica lineal perturbada es ajustada mediante altas ganancias, lo que vuelve al sistema sensible a ruidos provocados por la planta y por las mediciones [22].

El tema sobre el que se basa este trabajo de investigación es estimar las perturbaciones que puedan afectar al sistema mediante un observador, sin embargo, antes de hablar sobre los observadores, se dará una breve reseña de la propiedad de planitud diferencial que los sistemas deben poseer para poder aplicar la técnica de control CRAP basado en observadores GPI.

2.2.1 Planitud diferencial

La planitud diferencial es una propiedad de algunos sistemas dinámicos controlados que permite trivializar las tareas de planeación de trayectorias, sin resolver ecuaciones diferenciales, mientras que de manera opcional reduce el problema de diseño de control retroalimentado, a aquel de un conjunto de sistemas lineales desacoplados invariantes en el tiempo. La propiedad de planitud permite una parametrización completa de todas las variables del sistema (estados, entradas, salidas) en términos de un conjunto finito de variables independientes, denominadas las salidas planas, y un número finito de sus derivadas temporales [24], [25]. La planitud diferencial es equivalente a la controlabilidad, centrándose en este tema, surge la inquietud de estudiar sistemas que posean esta propiedad.

Planitud diferencial en el contexto de los sistemas de control se debe al trabajo del profesor Michael Fliess y sus colegas Jean Lévine, Philippe Martin y Pierre Rouchon, existe una publicación que fue considerada fundamental en el año de 1995 [26], esta habla sobre la planitud de sistemas no lineales y a la ausencia de esta propiedad, esta se asoció a la idea de defecto; a partir de entonces en la literatura se han realizado una cantidad considerable de artículos que se relacionan con la propiedad de planitud diferencial y la aplicación de esta en distintas áreas como es el caso de [27], [28], [29], [30], [31], [23], [32], [33], [34], [35], [36] [37], [38] solo por mencionar algunos.

2.2.2 Observador Proporcional Integral Generalizado (GPI)

La teoría de esquemas de observación GPI para sistemas lineales está basada en integraciones iterativas del error de observación [39].

Los esquemas de observación GPI han demostrado ser robustos con respecto a perturbaciones acotadas de tipo polinomial, como se aprecia en [40]. A principios del año 2011, en [22], se proponen controladores basados en observadores lineales para el control robusto de una amplia clase de sistemas no lineales diferencialmente planos, sean estos monovariantes o multivariantes. Se establece primero el modelo dinámico entrada–salida plana, simplificándolo a un modelo de carácter no fenomenológico que solamente considera como elementos claves en el diseño del controlador el orden de integración del sistema y el factor de ganancia de entrada, en el caso monovariante y los órdenes de los subsistemas de integración de Kronecker (derivadas de mayor orden de las salidas planas) y la matriz de ganancias del vector de entradas en el caso multivariante. El resto de las no linealidades, dependientes del estado o de naturaleza exógena, son consideradas, en general, como perturbaciones desconocidas pero acotadas que toman valores en el tiempo. Los observadores GPI, incluyen modelos internos que representan polinomios en el tiempo, cuya actualización es de índole automática, permitiendo aproximaciones arbitrariamente cercanas a las perturbaciones desconocidas. El diseño del controlador se reduce entonces a lograr la minimización de las perturbaciones aditivas a la vez de imponer una dinámica lineal en lazo cerrado mediante retroalimentación de estados estimados, los cuales se obtienen directamente del mismo observador GPI propuesto.

En el diseño de sistemas de control, las acciones integrales son útiles para alcanzar el estado de equilibrio de precisión. Wojciechowski [41], propuso por primera vez el observador proporcional integral, de una sola entrada, una sola salida (SISO, *Single Input Single Output*), en sistemas lineales invariantes en el tiempo, posteriormente esta idea fue generalizada para sistemas lineales multi-variables. Dado que este tipo de observadores ofrecen más grados de libertad en su diseño que el tipo de observadores proporcionales puros, esto ha atraído la atención de un número considerable de investigadores.

En la referencia [22], se considera el siguiente sistema no lineal, perturbado y suave, de una entrada y una salida, denotada por la ecuación (2.5).

$$y^{(n)} = \psi(t, y, \dot{y}, y^{(n-1)}) + \phi(t, y)u + \zeta(t) \quad (2.5)$$

El sistema no perturbado $\zeta(t) \equiv 0$ es diferencialmente plano o simplemente plano, dado que todas las variables del sistema incluyendo las entradas de control pueden expresarse en términos de funciones diferenciales de las salidas planas y de un número finito de sus derivadas temporales. Se toma como cierto que $\zeta(t)$ es acotada de forma absoluta y uniforme, esto quiere decir que es una función escalar de L_∞ , en forma similar, se supone que para todas las soluciones acotadas $y(t)$, obtenidas por medio de las entradas de control u , lo más suave posible y acotadas de manera uniforme [22], la planitud del sistema, en particular, permite diseñar trayectorias de referencia de las salidas planas $y^*(t)$, que garantizan, al menos nominalmente, esta suposición.

Aunque se pueden extender los resultados para funciones cuyas ganancias ϕ , sean dependientes de derivadas de $y(t)$ con respecto al tiempo, consideramos la ganancia ϕ , perfectamente conocida y función explícita del tiempo y de la salida plana y .

Esta suposición hace que nuestros resultados sean, en general, semi-globales puesto que, en general, existen condiciones iniciales que pudiesen violar la hipótesis. Cuando $\phi(t, y(t))$ es constante, los resultados son ciertamente globales.

La solución del problema se puede llevar a cabo en un contexto totalmente lineal, si se considera el modelo no lineal como un sistema lineal perturbado, como el que se muestra a continuación:

$$y^{(n)} = v + \xi(t) \quad (2.6)$$

Donde, $v = \phi(t, y)u$ es perfectamente conocida, y $\xi(t)$ es una función del tiempo completamente desconocida pero uniforme y absolutamente acotada, como se muestra en (2.7).

$$\xi(t) = \psi\left(t, y(t), \dot{y}(t), \dots, y^{(n-1)}(t)\right) + \varsigma(t) \quad (2.7)$$

El modelo de la perturbación $\xi(t)$ adquiere la característica de ser de actualización automática cuando se incorpora como parte de un observador lineal asintótico cuyo error de estimación es forzado a converger, uniformemente, a una pequeña vecindad de cero. En consecuencia, podemos suponer, de manera confiable, que la función residual $r(t)$, y sus derivadas con respecto al tiempo $r^{(p)}(t)$, se tornan uniforme y absolutamente acotadas y son, también, de actualización automática. Para precisar esto, designamos mediante y_j , a una estimación de $y^{(j-1)}$ para $j = 1, 2, \dots, n$. Se tiene el siguiente resultado para el controlador basado en un observador GPI:

$$u = \frac{1}{\phi(t, y)} \left[[y^*(t)]^n - \sum_{j=0}^{n-1} (k_j [y_{j+1} - (y^*(t))^{(j)}]) - \hat{\xi}(t) \right] \quad (2.8)$$

Donde y_j^* es la trayectoria deseada y los k_j , $j = 1, 2 \dots n$ son los parámetros de sintonización del controlador.

El esquema de control basado en observadores GPI lleva el error de seguimiento de las variables de fase asintótica y exponencialmente a una vecindad suficientemente pequeña del origen en el espacio de estado del error de seguimiento, como se puede ver en (2.9).

$$e_y^{(k)} = y^{(k)} - [y^*(t)]^{(k)}, k = 0, 1, \dots, n - 1 \quad (2.9)$$

La vecindad puede ser tan pequeña como se desee de acuerdo a una selección apropiada de los parámetros de ganancia del controlador $\{k_0, \dots, k_{n-1}\}$. Más aún, los errores de estimación:

$$\tilde{e}^{(i)} = y^{(i)} - y_{i+1}, i = 0, \dots, n \quad (2.10)$$

Y los errores de estimación de las variables de fase de la perturbación: $z_j - \xi^{(j-1)}(t)$, $j = 1, \dots, p$ convergen asintóticamente y exponencialmente, a una vecindad pequeña del origen del error de reconstrucción de estado, la cual puede ser suficientemente pequeña gracias a la selección adecuada de los parámetros $\{\lambda_0, \dots, \lambda_{p+n-1}\}$.

$$\begin{aligned} \hat{\xi}(t) &= z_1 \\ \dot{y}_1 &= y_2 + \lambda_{p+n-1}(y - y_1) \\ \dot{y}_2 &= y_3 + \lambda_{p+n-2}(y - y_1) \\ &\vdots \\ \dot{y}_n &= \phi(t, y)u + y_{n-1} + z_1 + \lambda_{p-1}(y - y_1) \\ \dot{z}_1 &= z_2 + \lambda_{p-1}(y - y_1) \\ &\vdots \\ \dot{z}_{(p-1)} &= z_p + \lambda_1(y - y_1) \\ \dot{z}_p &= \lambda_0(y - y_1) \end{aligned} \quad (2.11)$$

Con una buena sintonización de las ganancias en los observadores, podrán seguir estrechamente los estados de la planta aumentada.

2.3 Estado del arte

En años recientes han sido reportados diferentes trabajos relacionados con el modelado y control de convertidores reductores convencionales y en paralelo, aplicando diversas topologías y estrategias de control, así como también algunos trabajos relacionados con este trabajo de investigación.

Luo *et al.* [42] presentan el diseño de observadores para estimar la corriente de carga en el convertidor CD/CD reductor multifase. Dado que el valor de la carga es variante con el tiempo, se aplica un método de control adaptable para estimar los cambios en la carga. El observador propuesto puede ser utilizado en otras topologías que requieran sensar la corriente. Los autores presentan resultados de simulación y resultados experimentales que prueban el funcionamiento del observador realizado, el cual fue implementado en un DSP.

Así mismo, Peterchev [43] desarrolló la arquitectura de un controlador PWM digital aplicado a un módulo de regulación de voltaje multifase (VRM, *Voltage Regulation Module*). Los autores proponen un método pasivo de distribución de corriente entre los módulos y se analiza la respuesta transitoria del controlador con retraso distinto de cero; además se diseña un convertidor analógico digital (ADC, *Analog Digital Converter*), para detectar el cambio de

voltaje a la salida del VRM. La arquitectura del PWM digital se implementa en un Circuito Integrado (IC, *Integrated Circuit*), utilizando el esquema multiplexor-oscilador de anillo.

En el año 2006, Álvarez [44] desarrolló un algoritmo de control optimizado con lógica difusa para controlar un convertidor síncrono multifase de 1.6kW. Como puede verse en la referencia. Los autores utilizaron la herramienta de software de Matlab/Simulink para verificar el algoritmo de control difuso, junto con el modelo no lineal de la etapa de potencia del convertidor. Posteriormente, este controlador se implementó en un arreglo de compuertas programables en campo (FPGA) Spartan 3. La meta de este trabajo fue desarrollar un controlador difuso en tiempo real.

Dongsheng [45] presenta el diseño de un convertidor CD/CD tipo reductor de capacidades conmutadas, con un esquema de regulación digital “*interleaving*”. Dicho convertidor presenta excelente robustez ante variaciones de la carga, además el rizo de corriente a la entrada y el rizo de voltaje a la salida se reducen significativamente. Mediante la utilización de un controlador totalmente digital, el cual emplea un algoritmo de control por histéresis.

Merello y Eirea [12] presentan los resultados de simulación de convertidores CD/CD reductores de capacidades conmutadas con regulación multifase, implementando dos topologías de control: “Histéresis” y “PWM”. Se comparan dichos controles en referencia al rizo en el voltaje de salida, la eficiencia de conversión de potencia y los transitorios en el voltaje de salida ante variaciones de carga.

Dingxin *et al.* [46] hacen el análisis del convertidor reductor en modo continuo basado en la linealización por retroalimentación de la teoría de la geometría diferencial. Posteriormente, se presenta el índice de rendimiento lineal cuadrático en la teoría de control basado en pasividad. Los coeficientes de realimentación de estado se optimizan usando la teoría de control óptimo. Se muestra que el controlador es robusto ante cambios de la carga y variación de parámetros. Las formas de onda obtenidas mediante un intenso trabajo de simulación muestran que el control del sistema presenta un buen desempeño estático y dinámico.

Biel y Fossas [47] abarcan parte del trabajo de Hoon Lee, Andrey Malinin, and Vadim I. Utkin, “*Chattering Suppression in Multiphase Power Systems*,” publicado en *International Journal of Control*, donde Hoon Lee mostró la ventaja de utilizar un convertidor de 4 fases comparado con un convertidor de medio puente. El uso de convertidores multifase, con un desfase apropiado entre ellas, permite reducir el *chattering* al nivel deseado en la frecuencia de conmutación en la llamada “cancelación de onda (rizo)” ó “cancelación de armónica”. El objetivo de esta aplicación es obtener una estrategia de control alternativa a la modulación por ancho de pulso (PWM), puesto que el control mediante modos deslizantes brinda más beneficios que el PWM, debido a la capacidad que tiene para lograr una respuesta deseable independientemente de los cambios que surjan en los parámetros.

Zhang en [48] propone una técnica de control digital para la distribución de corriente de un convertidor reductor CD/CD síncrono de dos fases con 6V de voltaje de entrada y 1.3V de 0-20A a la salida del convertidor, donde el ancho de pulso y los desajustes o pérdidas en la

resistencia se compensan de forma digital para lograr una distribución equitativa entre las corrientes sin necesidad de ser sensadas.

Mohamed *et al.* [49] se concentran más en el modelo, análisis y simulación de una arquitectura para el convertidor CD/CD reductor. La arquitectura se considera una solución técnicamente viable para un sistema eléctrico de doble voltaje para los automóviles en un futuro cercano. La topología de convertidor CD/CD entrelazado se eligió debido a las ventajas que este presenta como reducción en el filtro, rápida repuesta dinámica, y distribución de energía. El control consiste en regular el voltaje mediante la modulación por ancho de pulso (PWM) con un control proporcional-integral-derivativo (PID), con lo cual se obtiene una buena estabilidad, robustez, rápida y equilibrada distribución de la corriente, además que se permite respetar los estándares de automoción. La eficacia de convertidor reductor se verifica a través de los resultados que se obtienen mediante una simulación, utilizando Matlab / Simulink.

Ramos, aplica la técnica de control en modos deslizantes para incrementar la robustez frente a variaciones del voltaje de entrada, de la carga y del voltaje de referencia en un convertidor reductor multifase. Con el objetivo de garantizar una distribución correcta de potencia entre fases, se modifican adecuadamente las superficies de conmutación para lograr el equilibrio de corrientes. De este modo, el control propuesto permite regular el voltaje de salida, lograr una correcta distribución de corrientes y minimizar el rizado de las mismas en el nodo de conexión de la carga. El diseño se valida mediante resultados de simulación. Se obtuvieron las condiciones de diseño de los parámetros de las superficies de conmutación y se evalúan las condiciones de funcionamiento. Los resultados de simulación confirmaron las posibilidades de dicha técnica, como se explica en [13].

Martínez *et al.* [50] proponen un nuevo enfoque para el observador GPI aplicado a mediciones con ruido, basado en una extensión integral del sistema y el modelo del observador; con este enfoque es posible estimar completamente perturbaciones desconocidas pero acotadas, además de los estados del sistema. El observador GPI es extendido a tareas de seguimiento de trayectorias, con un simple control de cancelación de perturbaciones más un compensador PD. Se presentan resultados numéricos del sistema en lazo cerrado.

Sira-Ramírez *et al.* [21] utiliza la técnica de rechazo activo de perturbaciones para regular la respuesta de un convertidor de potencia CD/CD reductor afectado por demandas exógenas de corriente desconocidas variantes en el tiempo. Se utiliza el observador GPI para estimar y cancelar las señales de perturbación variantes en el tiempo. Dado el sistema compuesto por el convertidor reductor controlado y el motor de CD, se desea que el movimiento del eje del motor siga el perfil de una referencia suave de velocidad dada, en presencia de un par de carga variante en el tiempo desconocido actuando en el motor. Los resultados de este sistema monovariante, son extendidos al desacople de la trayectoria de control de seguimiento de velocidad angular de dos motores de CD idénticos, también sujetos a variaciones independientes de par de carga variantes en el tiempo desconocidos. Los resultados de este trabajo son presentados mediante la simulación. Bajo este mismo principio en [51], Linares-

Flores *et al.*, se propone el control del convertidor Reductor-Elevador alimentando un motor de corriente directa de imanes permanentes. La presencia de entradas arbitrarias del par de carga y la falta la medición directa de la variable de velocidad angular del motor da lugar al Observador GPI basado en el controlador mediante rechazo activo de perturbaciones el cual es sintetizado sobre las bases de consideraciones de pasividad. El observador GPI estima simultáneamente la velocidad angular y la entrada de perturbación exógena del par bajo un esquema de cancelación en línea, conocido como control mediante rechazo activo de perturbaciones. El esquema de control propuesto no utiliza sensores (*sensorless*) y presenta características de robustez agregadas a la tradicional metodología de moldeo de energía más inyección de amortiguamiento. La realización discreta del control de conmutación de la ley de control de realimentación continua diseñada se acompaña por medio del tradicional esquema de modulación PWM. Adicionalmente, se establece una entrada a la propiedad de estabilidad de estados del sistema en lazo cerrado. Los autores presentan resultados de simulación y experimentales.

Yescas-Mendoza *et al.* [52] proponen la regulación de velocidad angular en motores de CD de imán permanente, accionados mediante un convertidor CD/CD tipo reductor sustancialmente perturbado. La presencia del par de entrada constante y desconocido, la variación de parámetros internos del sistema, y la presencia de ruido en las variables medidas da lugar a un controlador de rechazo activo de perturbaciones basado en un observador GPI. El observador GPI estima simultáneamente la variable de velocidad angular y el parámetro de par de carga aplicado al eje. Las estimaciones obtenidas por el observador se usan como un esquema de control de cancelación de incertidumbres en línea complementada por un controlador lineal retroalimentado *backstepping*, el cual evita medir la variable de velocidad angular para operar. La implementación de la ley de control promedio para la activación/desactivación periódica del interruptor electrónico se consigue mediante un esquema tradicional de modulación de ancho de pulso PWM. La efectividad del controlador propuesto basado en el observador GPI se verifica experimentalmente a través de una plataforma.

Como se puede observar, la mayoría de las aplicaciones descritas anteriormente tratan a los convertidores en paralelo como un sistema monovisible entrelazado y se enfocan a utilizar técnicas de control clásico y moderno, implementados de forma analógica y digital. Además se hace uso de algoritmos complejos que permiten equilibrar las corrientes. Sin embargo, ninguno de los trabajos mencionados reporta el manejo de los convertidores en paralelo como sistemas multivariable. Por tanto, el presente trabajo de tesis propone el análisis de estos convertidores como un sistema multivariable y controlado mediante rechazo activo a perturbaciones, basado en observadores GPI, e implementado en un FPGA.

Capítulo 3

Herramientas utilizadas

El objetivo de este capítulo es dar un panorama general de las herramientas de software y Hardware que fueron utilizadas durante el desarrollo de este trabajo. Dentro de las herramientas se encuentran Matlab/Simulink, System Generator de Xilinx, ISE Design Suite como herramientas de software y el FPGA como herramienta de hardware y algunas funciones principales de los módulos que fueron utilizados en el desarrollo de este trabajo.

Para llevar a cabo el diseño de este trabajo de investigación es necesario hacer uso de las herramientas de Automatización del Diseño Electrónico (EDA, *Electronic Design Automation*), la cuales son formadas por el conjunto de herramientas tanto en hardware como en software, las cuales son empleadas en el diseño de sistemas electrónicos. Existen lenguajes que describen de forma estandarizada el hardware, tal es el caso de VHDL y Verilog, los cuales permiten la descripción de diseños portables de herramientas de distintas compañías. Las herramientas EDA hardware facilitan el diseño y la implementación de prototipos, unido a esto actualmente existe una gran demanda en el mercado en cuanto a tecnología configurable se refiere. Sin embargo, en este apartado se describen las herramientas EDA hardware y software que se eligieron para llevar a cabo la implementación del control propuesto para el convertidor reductor en paralelo

3.1 Herramientas EDA hardware

Los FPGAs aparecen en el Mercado en 1985 con una idea central: permitir realizar un circuito integrado a medida, sin los riesgos económicos asociados a las otras opciones tecnológicas,

estos aparecieron para competir con los dispositivos lógicos complejos programables (CPLD, *Complex Programmable Logic Device*) para reemplazar circuitos digitales discretos; aunado a esto el incremento de su tamaño, velocidad y capacidades, los FPGA comenzaron a abordar funciones con mayor complejidad, hasta implementar sistemas mediante chips (SOCs, *System On Chip*); introduciendo operaciones como multiplicadores empotrados en sistemas reservados para chips DSP, el uso de FPGAs en aplicaciones computacionales de alto rendimiento llamados HPC (*High Performance Computing*) en lugar de utilizar los microprocesadores, tal es el caso de la transformada rápida de Fourier (FFT, *Fast Fourier Transform*), es importante mencionar que la complejidad del diseño con FPGA en comparación con el diseño de software tiene ciertas limitaciones, sin embargo conforme van apareciendo nuevas herramientas de diseño, las limitaciones van desapareciendo gradualmente [53].

Hoy los FPGAs están presentes en campos tan diversos como la automoción, la electrónica de consumo, o la investigación espacial. La tecnología FPGA tiene una aplicación horizontal en todas las industrias que requieren computación de alta velocidad; ejemplo de ello es la visión por computadora, reconocimiento de voz, criptografía, bioinformática, emulación hardware de computadora, redes neuronales, entre otras [54].

La arquitectura básica de un FPGA consiste de una matriz de bloques lógicos, integrados por tablas de búsqueda (LUT, *Look-up Tables*) y Flip-Flops, bloques de entrada/salidas y recursos de interconexión programables (ver Figura 3.1). Cada familia de FPGA difiere una de otra en la estructura y funcionalidad de los bloques lógicos, el sistema de interconexión, y los recursos de arquitectura fija de aplicación específica que incluye.

Bloques lógicos configurables. Estos bloques lógicos configurables (CLB, *Configurable Logic Blocks*) están distribuidos en forma matricial en el dispositivo y son recursos que permiten al usuario implementar funciones lógicas.

Bloques configurables de entrada/salida. La matriz de CLBs, está rodeada por un anillo de bloques de interfaz, denominada bloques configurables de entrada/salida. Dichos bloques controlan las entradas y salidas de datos entre los pines de entrada/salida y la lógica interna.

Recursos de interconexión programables. Están formados por un conjunto de líneas y/o interruptores programables que permiten el intercambio de información entre los bloques lógicos internos, entre éstos y los bloques de entrada/salida. Adicionalmente, incluyen matrices de interconexión, elementos lógicos que facilitan la comunicación entre las líneas globales de interconexión.

Recursos de Arquitectura fija de aplicación específica. En la actualidad muchos FPGAs incluyen en su arquitectura recursos de propósito específico y de estructura fija (no configurable). Permiten configurar una función óptima dentro del FPGA, tal como módulos RAM, sumadores, multiplicadores, etc.

En este trabajo de investigación se utilizó la tarjeta nexys 4 la cual cuenta con un FPGA Artix7-XC7A100T-1CSG324C de la compañía Xilinx; para la implementación del esquema de control, la cual cuenta con las siguientes características:

- 101440 celdas lógicas.
- Bloques Lógicos Configurables (CLBs) contiene 15850 slices, cada uno con cuatro LUTs de 6 entradas, 8 Flip-Flops y una distribución máxima de RAM de 1188.
- Cuenta con un total de 4,860 Kbits de bloques de memoria RAM rápida, de 36 Kb; sin embargo, también pueden ser utilizados como bloques independientes de 18 Kb.
- Cuenta con seis administradores de reloj (CTM, *Clock Management Tile*), para controlar las señales de reloj, los cuales están compuestos por un manejador de control de reloj y un lazo de seguimiento de fase (PLL, *Phase Locked Loop*).
- 240 DSP48E1 slices, cada segmento DSP contiene un pre-sumador, un multiplicador de 25x18, un sumador y un acumulador.
- El Artix7 contiene bloques de interfaz para soporte PCI Express x4 de segunda generación, pero no incluye un banco de configuración 0.
- Contiene un reloj interno que trabaja a una velocidad superior a 450MHz.
- Cuenta con un puerto, el cual es un convertidor analógico digital XADC.

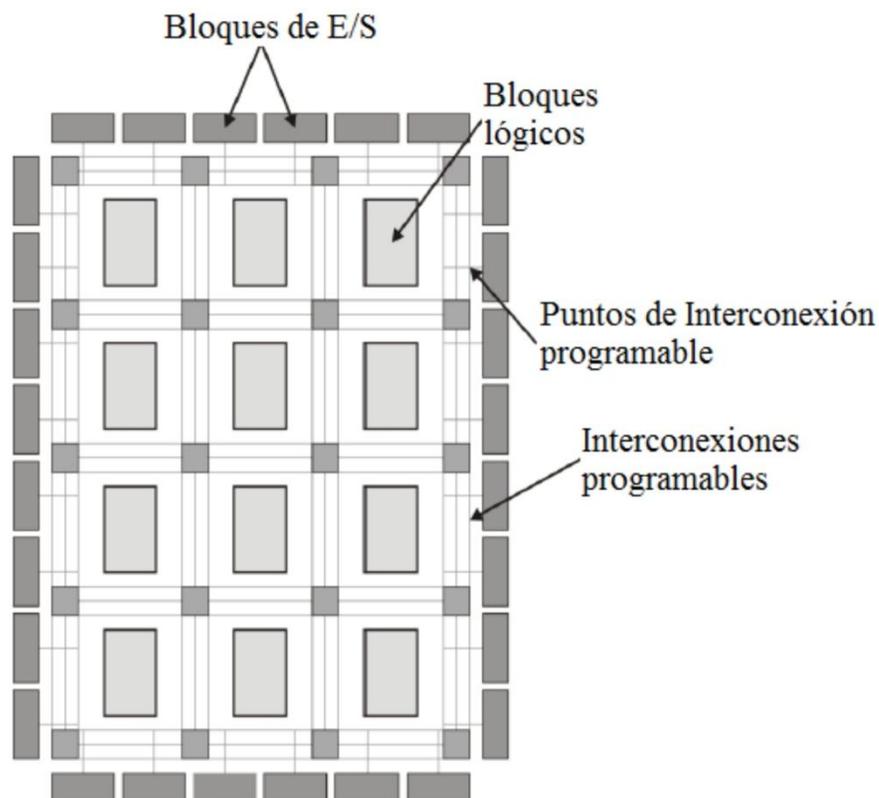


Figura 3.1. Arquitectura de un FPGA.

3.2 Herramientas EDA Software

Estas herramientas están compuestas por programas que permiten que el usuario modele un sistema de forma digital, llevar a cabo la simulación del mismo, la síntesis, la implementación y la configuración física del dispositivo a utilizar. Existen diversos métodos para realizar el modelo de un sistema de forma digital dentro de los más conocidos se encuentran: el diagrama de esquemático, editor de máquinas de estado y lenguaje descriptor de hardware.

3.2.1.1 Matlab

Matlab es un proveedor de un entorno computacional que hace más fácil el solucionar problemas matemáticos de sistemas, para esto Matlab cuenta con una extensa variedad de librerías para funciones matemáticas, procesamiento de señales, comunicaciones, funciones para graficar y visualizar datos, en un entorno cómodo para el usuario [55], (ver Figura 3.2). Este software está orientado hacia el cálculo numérico científico e ingenieril, este cuenta con Toolboxes, especializadas en diferentes áreas dentro de las más destacadas son Simulink, Control System, Robust Control, Signal Processing, Filter Desing, Symbolic Math [56].

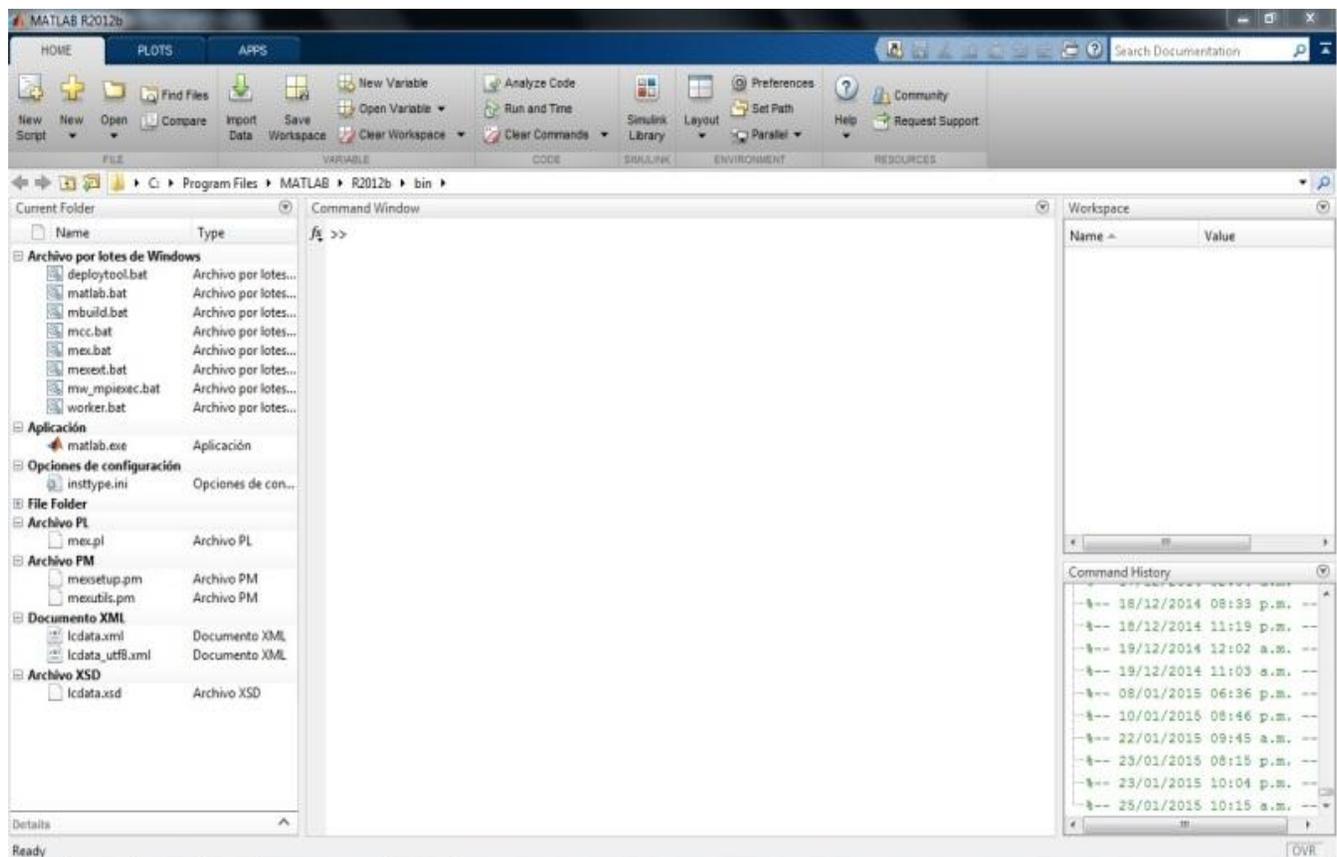


Figura 3.2. Entorno Matlab.

En un entorno universitario se ha convertido en una herramienta instructora y básica para cursos de matemáticas aplicadas así como cursos avanzados en otras áreas, a diferencia de un entorno

industrial en donde se utiliza para investigar y resolver problemas prácticos y cálculos de ingeniería, en aplicaciones típicas como el cálculo numérico, realización de algoritmos, resolución de problemas con formulación matricial, la estadística y la optimización, entre otros. Es importante mencionar que Matlab se utiliza en aplicaciones de estudio, simulación y diseño de sistemas dinámicos y sobre todo de control, como es el caso de este trabajo de investigación para el cual se utilizó esta herramienta.

3.2.1.2 Simulink

Esta librería se encarga de proporcionar un entorno de diseño gráfico para el desarrollo y simulación de sistemas dinámicos, está integrado a Matlab, tiene un editor gráfico, un simulador disparado por evento, Visual Data Flow, Alternativa al uso de lenguajes de programación en C, permite visualizar la dinámica natural de un sistema, contiene librerías de funciones parametrizadas las cuales son bloques para realizar operaciones matemáticas, comunicaciones, destinos, fuentes, DSP, sistemas de control, solo por mencionar algunos, (ver Figura 3.3). Se pueden modelar los sistemas de forma concurrente, es decir ejecuta instrucciones en paralelo de forma similar a la concurrencia de HDL.

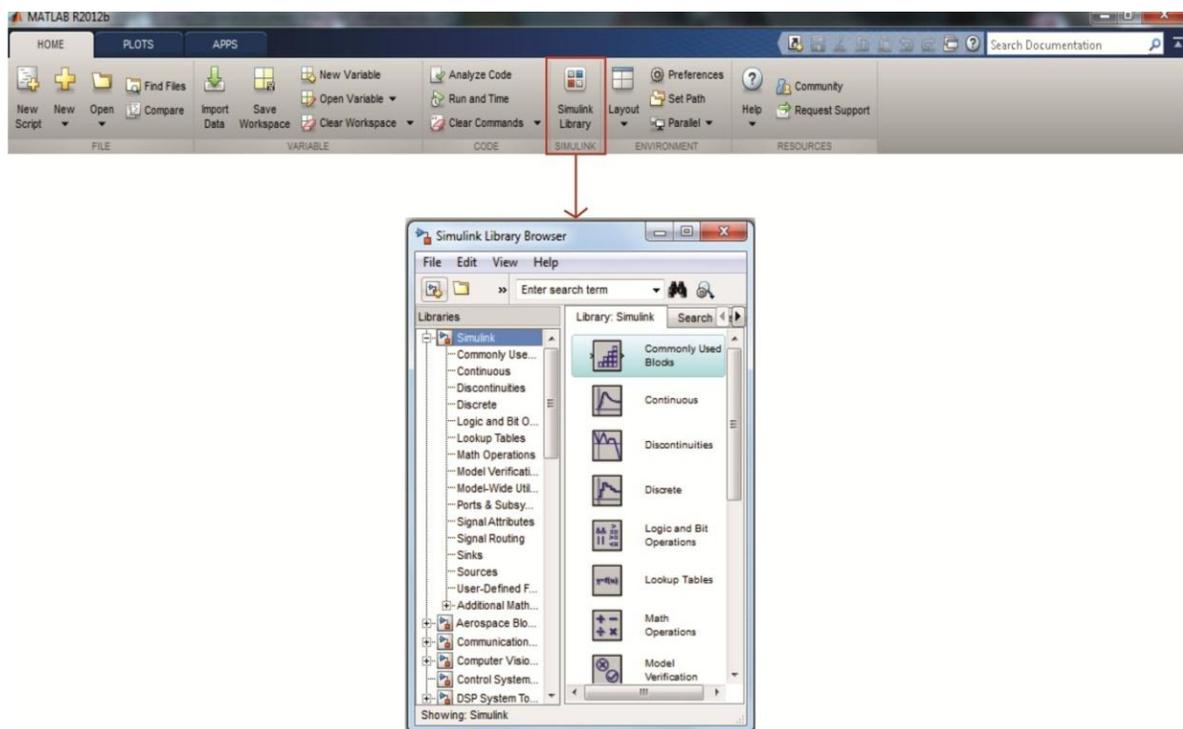


Figura 3.3. Entorno Simulink.

3.2.1.1 ISE Desing Suite

La herramienta ISE Desing Suite (*Integrated Software Environment*) es un software de la empresa Xilinx, permite realizar procesos de diseño, simulación, síntesis del resultado y

configuración del hardware, para sistemas electrónicos reconfigurables como es el caso de los FPGAs; este software posee un entorno EDA, (ver Figura 3.4).

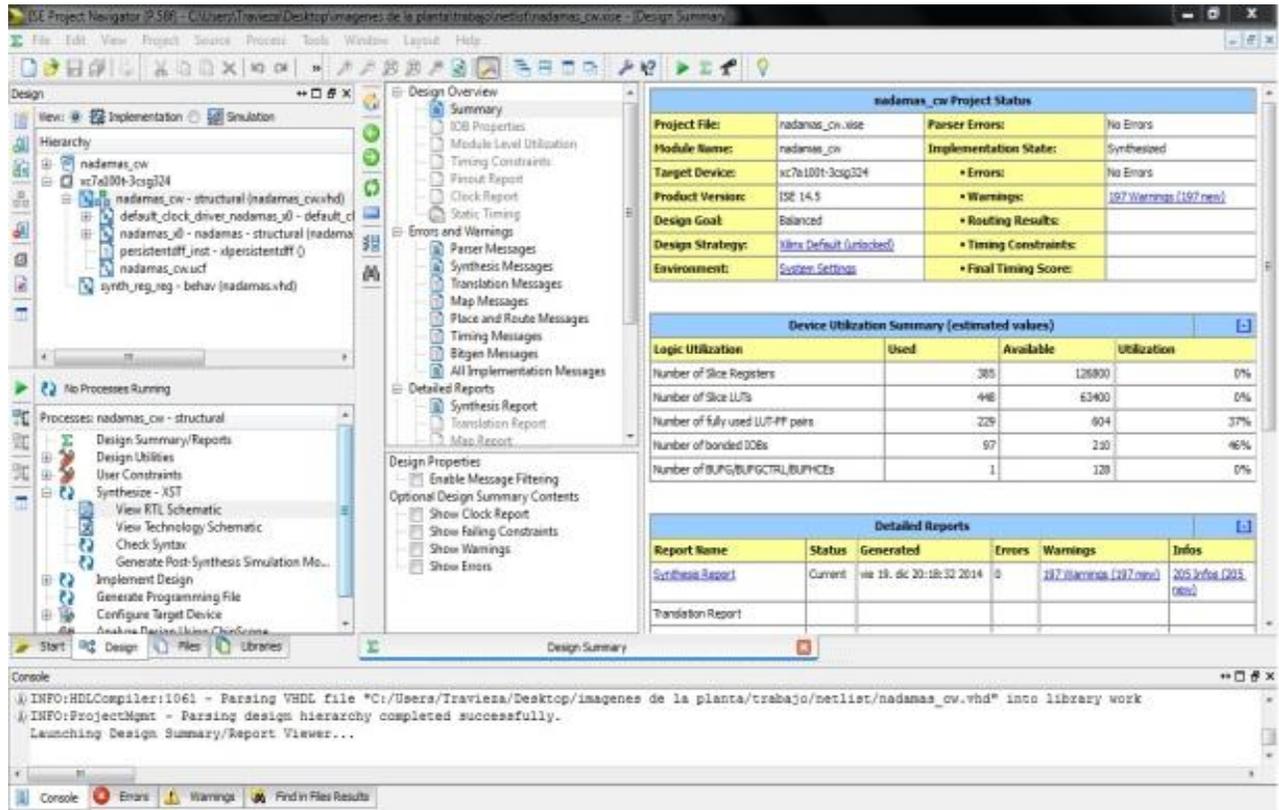


Figura 3.4. ISE Desing Suite.

ISE Design Suite incluye varias herramientas, las más generales se describirán enseguida, es importante mencionar que no importa la versión de ISE que se utilice, todas las versiones cuentan generalmente con las siguientes herramientas:

Project Navigator, se utiliza para gestionar los archivos que se generan durante el proceso de diseño, al mismo tiempo que permite ejecutar diferentes procesos que se llevan a cabo dentro de este, esto va desde una simulación, síntesis, hasta que se genera el archivo de configuración (*bitstream*).

XST Synthesis, esta herramienta de síntesis permite crear conexiones de registros a partir de código HDL o esquemas.

ISE Simulator (ISIM), permite la validación del comportamiento de diseño.

CORE Generator, esta permite que el proceso de diseño se acelere para incluir IP parametrizables. Uno de los aportes importantes de Xilinx es que continuamente agrega mejoras en la infraestructura de software y la metodología para mejorar el tiempo de ejecución, agiliza las integraciones de sistemas, y amplía la interoperabilidad IP, esto a través de la generación de familias de dispositivos y plataformas de diseño dirigido más recientes.

System Generator, este permite realizar diseños y simulaciones de algoritmos con ayuda de la herramienta Matlab/Simulink mediante un conjunto de bloques que poseen distintas funciones, a continuación se dará un panorama más detallado sobre System Generator

3.2.1.1.1 System Generator

Como ya se ha mencionado anteriormente System Generator es una herramienta de diseño de DSP de Xilinx que permite diseñar y simular algoritmos utilizando MATLAB/Simulink y *Stateflow*, esta librería permite utilizar bloques específicos los cuales muestran un alto nivel de abstracción, además que de esta manera se puede programar en lenguaje de alto nivel, es decir, es un flujo de diseño integrado a Simulink, generando directamente el archivo de configuración para el FPGA (.bit), un Toolbox *plug-in* del entorno Simulink, provee bloques de distintas funciones que pueden implementarse en un FPGA, se generan archivos VHDL, simulaciones, IP Cores o *Test benches*. Cuando se utiliza System Generator las metodologías de diseño no son necesarias puesto que ya se tiene una experiencia previa con Xilinx FPGAs o RTL, los diseños se realizan mediante la librería Xilinx Blockset de Matlab/Simulink, todo esto de una forma más amigable para el usuario [57].

El Algoritmo DSP System Toolbox para el diseño de sistemas, permite modelar matemáticamente el comportamiento de un sistema y luego simularlo para predecir y optimizar su rendimiento con precisión. El uso del Toolbox en Simulink, también puede modelar sistemas avanzados, como sistemas de señal mixta y de múltiples dominios, puesto que los algoritmos DSP System Toolbox sirven como bloques de construcción de los sistemas de procesamiento de señal en comunicaciones, como audio, voz, radar, sistemas de control, procesamiento de imágenes y video, aplicaciones industriales y médicas, (ver Figura 3.5).

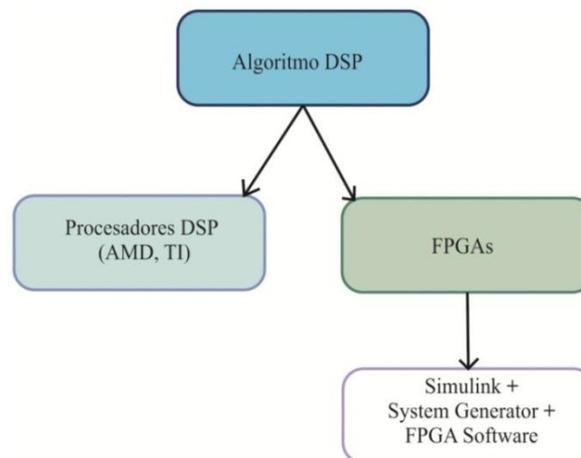


Figura 3.5. Diagrama de implementación de algoritmo DSP.

En Matlab se puede dar una vista panorámica de como interactúa Matlab/Simulink y System Generator; existen cuatro entornos en el desarrollo de proyectos utilizando esta herramienta, el entorno de Matlab, System Generator, simulación en Simulink/ISE y el entorno Xilinx y si se

desea también está el entorno de Co-simulación Hardware/Software, como se observa en la Figura 3.6.

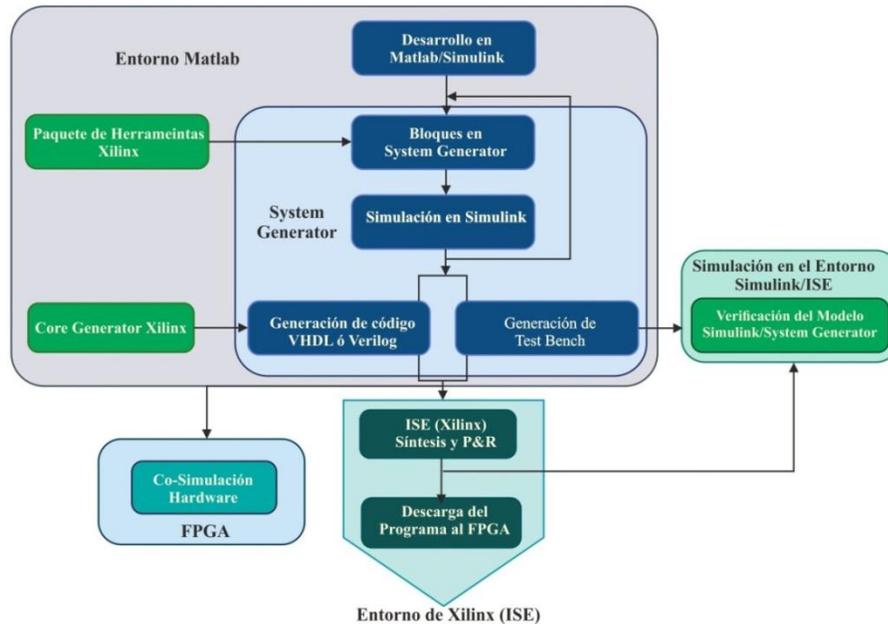


Figura 3.6. Diagramas de flujo de Matlab/Simulink/System Generator.

System Generator es un flujo de diseño integrado a Simulink, generando directamente el archivo de configuración (.bit) del FPGA. Este está integrado por Matlab, Simulink, síntesis en HDL, librerías de DSP, herramientas de implementación del FPGA, simulación en punto flotante de precisión simple o doble y punto fijo, tiene una abstracción aritmética de punto fijo arbitrario, incluyendo cuantización y *overflow*.

La realización de una interfaz entre Simulink y un FPGA es mediante bloques de conversión de datos llamados Gateway In para convertir datos de Simulink a Xilinx y otro llamado Gateway Out para convertir datos de Xilinx a Simulink.

3.2.1.1.2 Bloques de Xilinx

El diseño implementado mediante bloques es más intuitivo y sencillo que el diseño basado en realización de código HDL, esto permite reducir tiempo y ciclos de desarrollo. Sin embargo mientras se trabaja con un mayor nivel de abstracción, el uso de recursos minimiza la eficiencia, esto cambia si se emplea la codificación mediante un nivel de abstracción menor.

Existen más de 90 bloques de construcción proporcionados en Simulink/Blockset Xilinx. Estos bloques son comunes tales como sumadores, multiplicadores y registros. También se incluye un conjunto de bloques de construcción DSP complejos, como los bloques de corrección de error hacia adelante, FFT, filtros y memoria. Estos bloques aprovechan los IP Core Genertor de Xilinx ofreciendo resultados optimizados para el dispositivo seleccionado, algunos de los bloques más utilizados para la realización de este trabajo de investigación se describren a continuación [58].

Bloque Gateway In, controla la conversión desde un número entero representado en double, entero o punto fijo a un número booleano de N-bits, que puede ser con signo (complemento a dos) o sin signo, con o sin punto fijo. Presenta la opción de manejar los bits extras durante la conversión (*overflow*). Este bloque define cuales van a ser las entradas del diseño codificado en HDL por SysGen. Define los estímulos en caso de que la opción de ‘*CreateTestbench*’ haya sido seleccionada. Nombra los correspondientes puertos de entrada de la entidad (*entity*) generada por System Generator, (ver Figura 3.7), este bloque se puede configurar de la siguiente manera:

FIXED: tipo de dato fijo, es un número en punto fijo representado en complemento a dos.

FLOATING: es un número en punto flotante representado sin signo.

BOOLEAN: puede tomar valores ‘1’ o ‘0’. Se usa para controlar señales como LOAD, CS, RESET, etc.



Figura 3.7. Entrada de datos Simulink a Xilinx.

Bloque Gateway Out, convierte los datos de punto fijo del sistema en el FPGA a punto flotante Simulink. Define cuales van a ser los puertos de salida del sistema generado por System Generator. Nombra los correspondientes puertos de salida de la entidad (*entity*) generada por System Generator, (ver Figura 3.8).

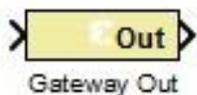


Figura 3.8. Salida de datos Xilinx a Simulink.

Bloque System Generator, cada diagrama realizado por la librería de Xilinx requiere que el bloque System Generator sea colocado en la parte principal del sistema. Este bloque no se conecta, pero controla el proceso de generación del código HDL y de la implementación del sistema, (ver Figura 3.9). Los parámetros del bloque System Generator determina el FPGA a usar, la frecuencia de muestreo, el directorio de trabajo, entre otros. El proceso mediante el cual se genera el archivo para programar el FPGA es transparente para el usuario.

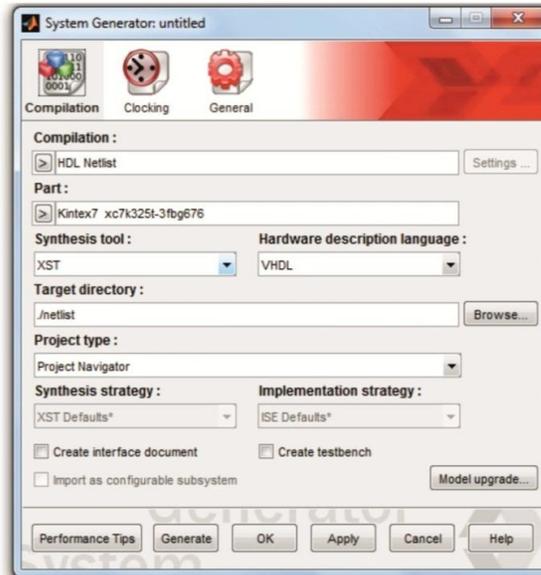


Figura 3.9. Bloque System Generator.

System Generator trabaja con Simulink mediante el uso de los DSP48, este pueden multiplicar dos números de 18 bits y acumular el resultado en un acumulador de 48 bits, expresando todo en complemento a dos, existen distintas opciones para usar los registros disponibles en el DSP48, este bloque es parte de los bloques prediseñados en ASMBL (*Application Specific Modular Blocks*), casi no usa el ruteo del FPGA, solo entradas y salidas, esto se refleja en el bajo consumo de potencia, frecuencias de trabajo muy altas y una implementación en silicio muy eficiente.

Bloque AddSub, Este bloque puede ser configurado para realizar operaciones de sumas o restas, es uno de los más utilizados, en este trabajo, debido a que la mayor parte de las operaciones son de este tipo.

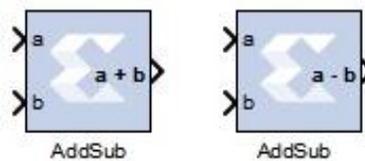


Figura 3.10. Bloque de suma y resta.

Bloque de Multiplicación, las operaciones que requieren multiplicaciones se realizan mediante el bloque Mult.

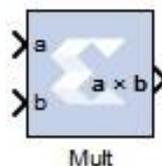


Figura 3.11. Bloque de multiplicación.

Bloque de BlackBox, System Generator proporciona este bloque el cual permite al usuario implementar la funcionalidad del bloque en lenguaje HDL (VHDL o Verilog).



Figura 3.12. Bloque BlackBox.

3.3 Aritmética utilizada

Las aplicaciones que hoy en día se llevan a cabo mediante la ayuda de un DSP, son cada vez más complejas, puesto que algunos procesos se controlan mediante estos dispositivos, cabe mencionar que no se tiene gran eficiencia en cuanto al procesamiento y rango dinámico, puesto que depende de la respuesta del sistema y de una medición adecuada, esto se logra con la ayuda de algoritmos aritméticos los cuales están divididos en dos grupos la aritmética en punto flotante y la aritmética en punto fijo. Es importante ejemplificar que mientras el estándar de resolución trabaja con muestras de 24 bit, los circuitos integrados lo hacen internamente con una longitud de palabra de 48-64 bits o más, si es necesario en algunos casos. La diferencia interna de estos integrados es la arquitectura que poseen para representar de forma digital la señal que se está procesando [59], [60].

3.3.1 Aritmética en punto fijo

Esta aritmética se basa en la representación que tiene una cantidad establecida de dígitos después del punto decimal, los DSP de bajo costo utilizan esta arquitectura debido a que no necesitan de una unidad de punto flotante (FPU, *Floating Point Unit*); en algunos casos este tipo de arquitectura brinda una mejor exactitud y rendimiento. La aritmética en punto fijo se describe de la siguiente manera:

Los bits localizados a la izquierda del punto decimal se denominan bits de magnitud y representan valores enteros, los bits a la derecha del punto decimal representan valores fraccionales es decir potencias inversas de 2, el primer bit fraccional es un medio, el segundo un cuarto y así sucesivamente. Esta aritmética nos permite representar magnitudes grandes reduciendo la precisión después del punto decimal. La pérdida de precisión en estos sistemas se debe a que en operaciones matemáticas en las que el resultado es mayor al orden de los operandos.

Generalmente los procesadores de punto fijo toman los bits de en medio como válidos y desprecian el resto, por lo tanto se pierden los bits menos significativos y los bits más significativos, si esto no se cumpliera el resultado obtenido no sería válido y por lo tanto no puede ser representado en este sistema puesto que habrá una condición de desbordamiento.

3.3.2 Aritmética en punto flotante

La aritmética en punto flotante tiene mayor exactitud y rapidez en la mayoría de las aplicaciones, es la más utilizada para tener una mejor aproximación del número que se desea representar, sin embargo esta requiere de un redondeo debido a su precisión limitada. Se representa mediante una *mantissa* (número entero), multiplicado por una base en este caso es de base 2 elevado a un exponente de tal forma que cualquier número en punto flotante pueda representarse de la siguiente forma un número N es representado por un par M , el signo fraccional es E y el sistema punto flotante R (base 2 por lo general) es decir :

$$N = M * R^E \quad (3.1)$$

Un número representado en punto flotante se dice que es de precisión simple (32 bits) o precisión doble (64 bits), en precisión simple a la *mantissa* se le asignan 23 bits menos significativos (bit 0 al bit 22), el exponente ocupa los siguientes 8 bits (bit 23 al bit 30) y el bit 31 está designado para indicar el signo 0 si es positivo y 1 si el signo es negativo (ver Figura 3.13). En algunas aplicaciones se emplean 128 bits para la representación dependiendo de la magnitud que se utiliza [61], [62], sin embargo, para la implementación de la técnica de control propuesta se trabajó con una representación en punto flotante de precisión simple debido a que no se requiere mayor capacidad de almacenamiento para las operaciones que se realizaron en este.

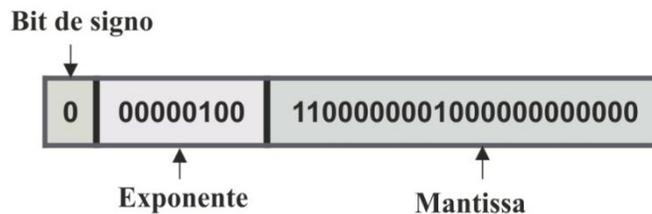


Figura 3.13. Representación de punto flotante.

Un número en punto flotante se puede representar de distintas formas, sin embargo es preferible establecer solo una; el propósito de esto es eliminar los ceros de la izquierda de forma que se mantenga la mayor exactitud posible; las ventajas de representar el número normalizado es que se tiene una buena precisión, se simplifica la implementación, en el caso de R en base 2, donde la implementación del primer 1 se mantiene oculto, ganando con esto un bit extra para la precisión; es decir cuando un valor distinto de cero es representado en base 2 se normaliza, el bit que ese sitúa a la izquierda siempre se conocerá como 1, de esta forma se puede representar el doble de números [63], [64].

Por lo general se toma por cierto que todas las operaciones aritméticas básicas (suma, resta, división, multiplicación) se encuentran normalizadas y por tanto los resultados también, esto para que haya solo una representación permisible para cada número diferente de cero; esto simplifica la comparación de números y se asegura un factor de escala adecuado.

Capítulo 4

Diseño y modelado matemático del sistema

En este capítulo se obtienen los parámetros de diseño del convertidor reductor en paralelo, se obtiene el modelado matemático del mismo, así como el procedimiento para obtener las salidas planas correspondientes. Además, se realiza el diseño del esquema de control de rechazo activo de perturbaciones el cual está basado en observadores GPI. Finalmente se demuestra la controlabilidad del sistema.

4.1 Diseño del convertidor

Para el diseño del convertidor se hace una revisión de algunos conceptos y ecuaciones que describen el funcionamiento del mismo. Además de algunas especificaciones y requerimientos planteados al inicio de este trabajo.

Voltaje de salida del convertidor

El voltaje de salida del convertidor reductor en paralelo es función del ciclo de trabajo D . Este voltaje se determina de la misma manera que un convertidor reductor convencional. Dicho voltaje se obtiene mediante la siguiente relación:

$$V_o = DE \tag{4.1}$$

Potencia de entrada

La potencia de entrada es directamente proporcional al voltaje de entrada, proporcionado por la fuente de alimentación, a la corriente de entrada demandada por el circuito y proporcionada por la misma fuente.

$$P_{in} = EI_i \quad (4.2)$$

Donde P_i es la potencia de entrada, E el voltaje de entrada e I_i es la corriente de entrada.

Potencia de salida

La potencia de salida se obtiene mediante el voltaje de salida y la corriente de salida demandada por la carga que se conecta a la salida del convertidor.

$$P_0 = V_0 I_0 \quad (4.3)$$

$$I_0 = \frac{V_0}{R} \quad (4.4)$$

Donde P_0 es la potencia de salida, V_0 es el voltaje de salida, I_0 es la corriente de salida y R es la resistencia de carga del convertidor.

Corriente promedio en los inductores

En el convertidor paralelo la corriente de salida se divide entre el número de convertidores conectados en paralelo, es importante mencionar que en este tipo de convertidores las inductancias deben ser del mismo valor. En este trabajo se utilizan dos convertidores por lo que la corriente entre ellos se determina de la siguiente manera:

$$I_{L1} = I_{L2} = I_L = \frac{I_0}{2} \quad (4.5)$$

Rizo de corriente en los inductores

La amplitud pico-pico del rizo de corriente, ΔI_{L1} y ΔI_{L2} , se obtiene a partir de:

$$\Delta I_{L1} = \Delta I_{L2} = \Delta I_L = \frac{V_0}{L}(1 - D)T \quad (4.6)$$

Donde L es el valor inductor, V_0 el voltaje de salida, T el periodo de conmutación y D el ciclo de trabajo.

Corriente máxima y mínima de cada uno de los inductores

$$I_{max} = I_L + \frac{\Delta I_L}{2} \quad (4.7)$$

$$I_{min} = I_L - \frac{\Delta I_L}{2} \quad (4.8)$$

Cálculo del valor del inductor

El valor de la inductancia para cada uno de los inductores es obtenido mediante la siguiente ecuación:

$$L_1 = L_2 = L = \frac{V_0}{\Delta I_L} (1 - D)T \quad (4.9)$$

Cálculo del valor del capacitor

Este es obtenido mediante la ecuación (4.10).

$$C = \frac{V_0(1 - D)}{8LF^2\Delta V_0} \quad (4.10)$$

Eficiencia

La eficiencia total del circuito se obtiene mediante la potencia de entrada, la cual es suministrada por la fuente de alimentación, y la potencia de salida que consume en la resistencia de carga.

$$\eta = \frac{P_o}{P_i} \quad (4.11)$$

Donde η denota a la eficiencia del circuito.

En base a las ecuaciones anteriores y a las especificaciones que se muestran en la tabla 4.1, se obtienen los parámetros de diseño que se muestran en la tabla 4.2; considerando un rizo del 10% de la corriente promedio y considerando un rizado de voltaje del 0.1% del voltaje de salida.

Tabla 4.1. Parámetros del convertidor.

| Especificaciones del diseño | Símbolo | Valor |
|-----------------------------|---------|------------|
| Voltaje de entrada | E | 24V |
| Voltaje de salida | V_0 | 12V |
| Potencia | P_0 | 21.5W |
| Frecuencia de conmutación | F | 100kHz |
| Resistencia | R | 7 Ω |

Tabla 4.2. Parámetros de diseño del convertidor.

| Parámetros de diseño | Símbolo | Valor |
|-------------------------------------|--------------|--------------|
| Corriente de salida | I_o | 1.7A |
| Rizo de corriente en los inductores | ΔI_L | 0.085A |
| Rizo de voltaje | ΔV_o | 0.012V |
| Corriente de entrada | I_i | 0.89A |
| Corriente máxima | I_{max} | 1.7425A |
| Corriente mínima | I_{min} | 1.6575A |
| Inductor | L | 705 μ H |
| Capacitor | C | 8.86 μ F |

4.1.1 Elección de los componentes

En la actualidad, los componentes magnéticos juegan un papel muy importante en los sistemas de electrónica de potencia en el almacenamiento de energía y el filtrado de las señales. Como se discutió en la sección de funcionamiento del convertidor en paralelo, el inductor se usa para transformar la energía del voltaje de entrada a la corriente del inductor y para convertir de nuevo de la corriente del inductor al voltaje de salida. En este tipo de convertidores, los dos inductores deben ser iguales con la finalidad de equilibrar las corrientes en los mismos.

Inductancia

De acuerdo al diseño realizado en la sección anterior se obtiene un valor de inductancia de 705 μ H. Sin embargo para reducir aún más su rizo y para asegurar el modo de conducción continuo, es necesario utilizar un inductor con un valor mayor al obtenido. Por ello se propuso utilizar una inductancia de 980.7 μ H. Debido a la frecuencia de conmutación utilizada, dicho inductor fue construido mediante un núcleo de ferrita RM14 e hilo de Litz.

Capacitor

De acuerdo al diseño realizado en la sección anterior se obtiene un capacitor de 8.86 μ F. Con la finalidad de tener un valor de voltaje constante a la salida del convertidor, se utilizó el capacitor DUF-M, $C = 4700\mu F \pm 5\%$.

MOSFET

El MOSFET utilizado en el diseño de este circuito es de tipo incremental canal N SMICROELECTRONICS-STP36NF06, el cual cuenta con las siguientes características: tiene una resistencia de encendido $R_{ds} = 40m\Omega$, soporta una corriente promedio $I_d = 30A$, y soporta un voltaje $V_{ds} = 60V$ cuando no conduce. Con estos parámetros se cumple con los requerimientos impuestos por el circuito.

Diodo

El diodo utilizado en este circuito es el MULTICOMP-MUR1540 de recuperación rápida $t_{rr} = 50ns$, el cual cuenta con las siguientes características: soporta un voltaje de $400V$ cuando no conduce, una corriente promedio $I_f = 15A$ cuando conduce y un voltaje de encendido de $1.3V$. Con estos parámetros se cumple con los requerimientos impuestos por el circuito.

4.2 Diseño del esquema de control

4.2.1 Modelado matemático del convertidor reductor en paralelo

Para obtener el modelo matemático en variables de estado del convertidor reductor en paralelo que se muestra en la Figura 4.1, se hace uso de las leyes de Kirchhoff, por tanto la representación del modelo del convertidor está dada por el siguiente conjunto de ecuaciones diferenciales lineales en (4.12).

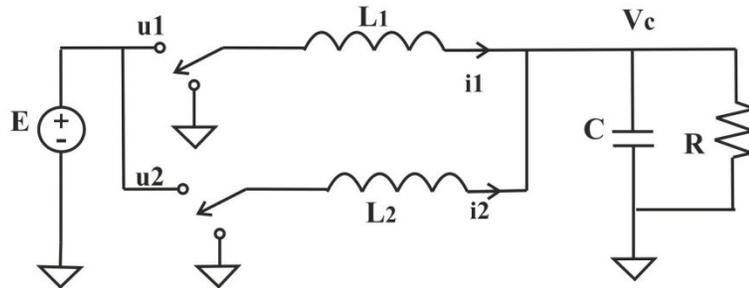


Figura 4.1. Convertidor reductor en paralelo.

$$L \frac{di_1}{dt} = -v_c + Eu_1$$

$$L \frac{di_2}{dt} = -v_c + Eu_2$$

(4.12)

$$C \frac{dv_c}{dx} = i_1 + i_2 - \frac{v_c}{R}$$

Donde $L_1 = L_2 = L$, C y R son la inductancia, capacitancia y resistencia respectivamente, $u_j \in \{0,1\}$, $j = 1,2$ son las entradas de control a los interruptores que se encargan de regular el flujo de corriente en cada rama. Con el fin de mantener el voltaje a la salida del convertidor. Se denota a i_1 , i_2 como las corrientes en las inductancias L_1 y L_2 y v_c como el voltaje de salida en el capacitor. En base a (4.12) se realiza una representación espacio-estado como se muestra en la ecuación (4.13).

$$\begin{aligned}
x_1 &= i_1 ; & x_2 &= i_2 ; & x_3 &= v_c \\
L\dot{x}_1 &= -x_3 + Eu_1 \\
L\dot{x}_2 &= -x_3 + Eu_2 \\
C\dot{x}_3 &= x_1 + x_2 - \frac{x_3}{R}
\end{aligned} \tag{4.13}$$

4.2.1.1 Obtención de las salidas planas

A partir de la ecuación (4.13) se puede observar que el sistema es lineal debido a que puede ser representado de la forma (4.14) [65]:

$$\dot{x} = Ax + Bu, \quad x \in \mathbb{R}^n, \quad u \in \mathbb{R}^m \tag{4.14}$$

Donde;

$$A = \begin{bmatrix} 0 & 0 & -\frac{1}{L} \\ 0 & 0 & -\frac{1}{L} \\ \frac{1}{C} & \frac{1}{C} & -\frac{1}{CR} \end{bmatrix}; \quad B = \begin{bmatrix} \frac{E}{L} & 0 \\ 0 & \frac{E}{L} \\ 0 & 0 \end{bmatrix} \tag{4.15}$$

Dicho sistema puede representarse de forma matricial, como se observa en la ecuación (4.16).

$$\begin{bmatrix} \dot{x}_1 \\ \dot{x}_2 \\ \dot{x}_3 \end{bmatrix} = \begin{bmatrix} 0 & 0 & -\frac{1}{L} \\ 0 & 0 & -\frac{1}{L} \\ \frac{1}{C} & \frac{1}{C} & -\frac{1}{CR} \end{bmatrix} \begin{bmatrix} x_1 \\ x_2 \\ x_3 \end{bmatrix} + \begin{bmatrix} \frac{E}{L} & 0 \\ 0 & \frac{E}{L} \\ 0 & 0 \end{bmatrix} \begin{bmatrix} u_1 \\ u_2 \end{bmatrix} \tag{4.16}$$

Donde la matriz A y la matriz B son de rango completo; A representa la matriz de variables de estado y B la columna de vectores, $B = [b_1, b_2]$. Para determinar si el sistema es controlable, se utiliza la matriz de rango completo de Kalman, la cual es denotada mediante la ecuación (4.17).

$$K_c = [B \quad AB \quad A^2B] \tag{4.17}$$

La matriz de controlabilidad obtenida mediante k_c , se representa en la ecuación (4.18).

$$k_c = \begin{bmatrix} \frac{E}{L} & 0 & 0 & 0 & -\frac{E}{L^2C} & \frac{E}{L^2C} \\ 0 & \frac{E}{L} & 0 & 0 & -\frac{E}{L^2C} & \frac{E}{L^2C} \\ 0 & 0 & \frac{E}{CL} & \frac{E}{CL} & -\frac{E}{L^2CR} & \frac{E}{L^2CR} \end{bmatrix} \tag{4.18}$$

A partir de la matriz de controlabilidad de Kalman, ecuación (4.18), se determina que el rango de la matriz es tres, además de demostrarse que el sistema es controlable, puesto que el determinante de la matriz es distinto de cero; el sistema permite extraer una matriz C de rango completo de $n \times n$, ver ecuación (4.19).

$$C = [b_1, Ab_1, A^{y_1-1}b_1, b_2, Ab_2, \dots, b_m, Ab_m, \dots, A^{y_m-1}b_m] \quad (4.19)$$

En la construcción de C , primero se incluyen todas las columnas de B , y un vector columna de la forma $A^{y_j}b_j$, para cualquier j ; se elimina del conjunto de columnas repetidas, en caso contrario, se conserva el vector y así sucesivamente, hasta la obtener las columnas linealmente independientes. Dicho procedimiento es representado mediante las ecuaciones (4.20) y (4.21).

$$C = [b_1 \quad Ab_1 \quad Ab_2] \quad (4.20)$$

$$b_1 = \begin{bmatrix} \frac{E}{L} \\ 0 \\ 0 \end{bmatrix}; \quad b_2 = \begin{bmatrix} 0 \\ \frac{E}{L} \\ 0 \end{bmatrix}$$

$$C = \begin{bmatrix} \frac{E}{L} & 0 & 0 \\ 0 & 0 & \frac{E}{L} \\ 0 & \frac{E}{LC} & 0 \end{bmatrix} \quad (4.21)$$

Ahora se llevará a cabo el procedimiento para la obtener las salidas planas, este consiste en multiplicar la matriz de salidas planas por la inversa de la matriz de controlabilidad y el vector de las variables de estado X , ver ecuación (4.23) y (4.24).

$$\begin{bmatrix} F_1 \\ F_2 \end{bmatrix} = \begin{bmatrix} 1 & 0 & 0 \\ 0 & 1 & 0 \end{bmatrix} C^{-1} X \quad (4.22)$$

$$\begin{bmatrix} F_1 \\ F_2 \end{bmatrix} = \begin{bmatrix} 1 & 0 & 0 \\ 0 & 1 & 0 \end{bmatrix} \begin{bmatrix} \frac{L^2 C}{E} & 0 & 0 \\ 0 & 0 & \frac{L^2 C}{E} \\ 0 & \frac{L^2 C}{E} & 0 \end{bmatrix} \begin{bmatrix} x_1 \\ x_2 \\ x_3 \end{bmatrix} \quad (4.23)$$

$$\begin{bmatrix} F_1 \\ F_2 \end{bmatrix} = \begin{bmatrix} \frac{L^2 C}{E} x_1 \\ \frac{L^2 C}{E} x_3 \end{bmatrix} \quad (4.24)$$

Por lo tanto las salidas planas son el voltaje de salida representado por x_3 y una de las corrientes x_1 .

4.2.1.2 Parametrización diferencial

Para realizar el diseño del controlador se necesita considerar la perturbación $I(t)$ que se aplicará al sistema, por tanto se agrega el término que la representa como se muestra en la ecuación (4.25). En base a las salidas planas, se obtiene la parametrización diferencial del sistema, la cual consiste en poner todas las variables del sistema, incluyendo las entradas de control, como una función diferencial de estas salidas planas, las cuales son renombradas como F_1 y F_2 , mostrada en la ecuación (4.26).

$$\begin{aligned} L\dot{x}_1 &= -x_3 + Eu_1 \\ L\dot{x}_2 &= -x_3 + Eu_2 \end{aligned} \quad (4.25)$$

$$C\dot{x}_3 = x_1 + x_2 - \frac{x_3}{R} - I(t)$$

$$x_1 = F_1$$

$$L\dot{F}_1 = -F_2 + Eu_1$$

$$L\dot{x}_2 = -F_2 + Eu_2$$

$$x_3 = F_2 \quad (4.26)$$

$$C\dot{F}_2 = F_1 + x_2 - \frac{F_2}{R} - I(t)$$

Se despeja x_2 , para expresar el sistema en términos de las salidas planas y sus derivadas:

$$x_2 = C\dot{F}_2 + \frac{F_2}{R} - F_1 + I(t)$$

$$\dot{x}_2 = C\ddot{F}_2 + \frac{\dot{F}_2}{R} - \dot{F}_1 + \dot{I}(t)$$

$$L(C\ddot{F}_2 + \frac{\dot{F}_2}{R} - \dot{F}_1 + \dot{I}(t)) = -F_2 + Eu_2 \quad (4.27)$$

$$u_1 = \frac{L}{E}\dot{F}_1 + \frac{F_2}{E}$$

$$u_2 = \frac{LC}{E}\ddot{F}_2 + \frac{1}{RE}\dot{F}_2 + \frac{F_2}{E} - \frac{L}{E}\dot{F}_1 + \frac{L}{E}\dot{I}(t) \quad (4.28)$$

4.2.2 Diseño del observador

La relación entre las derivadas de la salida plana de mayor orden y las entradas de control no requiere de extensiones dinámicas, puesto que la matriz obtenida está completamente desacoplada, como se puede ver en la ecuación (4.29).

$$\begin{bmatrix} u_1 \\ u_2 \end{bmatrix} = \begin{bmatrix} \frac{L}{E} & 0 \\ -\frac{L}{E} & \frac{LC}{E} \end{bmatrix} \begin{bmatrix} \dot{F}_1 \\ \dot{F}_2 \end{bmatrix} + \begin{bmatrix} \Phi_1 \\ \Phi_2 \end{bmatrix} \quad (4.29)$$

$$\Phi_1 = \frac{1}{E} F_2$$

$$\Phi_2 = \frac{L}{ER} \dot{F}_2 + \frac{L}{E} \dot{i}(t) + \frac{1}{E} F_2$$

$$\begin{bmatrix} \dot{F}_1 \\ \dot{F}_2 \end{bmatrix} = [A^{-1}] \begin{bmatrix} u_1 \\ u_2 \end{bmatrix} + \begin{bmatrix} \xi_1 \\ \xi_2 \end{bmatrix}$$

$$A = \begin{bmatrix} \frac{L}{E} & 0 \\ -\frac{L}{E} & \frac{LC}{E} \end{bmatrix}$$

$$\begin{bmatrix} \dot{F}_1 \\ \dot{F}_2 \end{bmatrix} = \begin{bmatrix} \frac{E}{L} & 0 \\ \frac{E}{CL} & \frac{E}{CL} \end{bmatrix} \begin{bmatrix} u_1 \\ u_2 \end{bmatrix} + \begin{bmatrix} \xi_1 \\ \xi_2 \end{bmatrix} \quad (4.30)$$

Considerando la matriz desacoplada representada por la ecuación (4.30), la solución del sistema multivariable se reduce a resolver dos sistemas independientes. Debido a que ξ_1 es medible, no se necesita estimar, mientras que ξ_2 sí; por lo tanto, se propone un solo observador GPI el cual encarga de estimar la perturbación total del sistema y el voltaje de salida, éste es representado por la ecuación (4.31):

$$\hat{y}_1 = \hat{F}_2; \quad \dot{\hat{y}}_1 = \dot{\hat{F}}_2 = \hat{y}_2; \quad \ddot{\hat{y}}_1 = \ddot{\hat{F}}_2 = \dot{\hat{y}}_2$$

$$\dot{\hat{y}}_1 = \hat{y}_2 + \lambda_4 (F_2 - \hat{y}_1)$$

$$\dot{\hat{y}}_2 = \frac{E}{LC} (u_1 + u_2) + s_1 + \lambda_3 (F_2 - \hat{y}_1) \quad (4.31)$$

$$\dot{s}_1 = s_2 + \lambda_2 (F_2 - \hat{y}_1)$$

$$\dot{s}_2 = s_3 + \lambda_1 (F_2 - \hat{y}_1)$$

$$\dot{s}_3 = \lambda_0 (F_2 - \hat{y}_1)$$

Donde s_1 representa la entrada de la perturbación $\xi(t)$, por medio de un modelo local de actualización automática, que representa una familia de polinomios de segundo grado, el cual se

toma como modelo interno de la perturbación dependiente del estado. Este término afecta la dinámica entrada-salida.

El error de estimación está definido como $e_{y_1} = F_2 - \hat{y}_1$, y queda representado por la ecuación (4.32), (ver Sección 4.3).

$$e_{y_1}^{(5)} + \lambda_4 e_{y_1}^{(4)} + \lambda_3 \ddot{e}_{y_1} + \lambda_2 \dot{e}_{y_1} + \lambda_1 \dot{e}_{y_1} + \lambda_0 e_{y_1} = \ddot{\xi}_2 \quad (4.32)$$

Los coeficientes del observador se eligen de acuerdo con sus polinomios subyacentes de la parte predominante lineal que regula el comportamiento del error. Se ha elegido un polinomio Hurwitz de quinto grado, de la forma $(s^2 + 2 * \zeta_1 * \omega_1 * s + \omega_1^2)^2 * (s + a_1)$, donde las ganancias quedan representadas como:

$$\begin{aligned} \lambda_0 &= \omega^4 \alpha \\ \lambda_1 &= 4\zeta\omega^3\alpha + \omega^4 \\ \lambda_2 &= 4\zeta\omega^3 + 2\omega^2\alpha + 4\zeta^2\omega^2\alpha \\ \lambda_3 &= 2\omega^2 + 4\zeta^2\omega^2 + 4\zeta\omega\alpha \\ \lambda_4 &= 4\zeta\omega + \alpha \end{aligned} \quad (4.33)$$

4.2.3 Diseño de los controladores

Para el diseño de las señales de control u_1 y u_2 , se propone un control virtual para $\dot{F}_1 = v_1$ y $\ddot{F}_2 = v_2$ que son las derivadas de mayor orden, como se puede ver en la ecuación (4.34) y (4.35).

$$u_1 = \frac{F_2}{E} + \frac{L}{E} v_1 \quad (4.34)$$

$$u_2 = -\frac{F_2}{E} - \frac{L}{E} v_1 + \frac{LC}{E} v_2$$

$$v_1 = -k(F_1 - F_{1d}) \quad (4.35)$$

$$v_2 = -k_1 y_2 - k_0 (y_1 - F_{2d}) - s_1$$

Donde s_1 representa la estimación de las perturbaciones internas y externas del sistema. Las ganancias de los controladores se ajustan de acuerdo a los siguientes polinomios característicos de lazo cerrado.

$$p_{c1} = (s + K)$$

Dónde:

$$K > 0$$

$$P_{c2} = s^2 + 2 * \zeta_1 * \omega_1 * s + \omega_1^2$$

$$k_0 = 2\zeta\omega_1$$

$$k_1 = \omega_1^2$$

(4.36)

(4.37)

Para asegurar la estabilidad del observador y los controladores, se ubican los polos lo suficientemente lejos del eje imaginario en dirección al semiplano izquierdo del plano complejo. Los valores de las ganancias del esquema de control se muestran en la tabla 4.3.

Tabla 4.3. Ganancias del esquema de control.

| Observador | Controladores | |
|------------------|---------------|-----------------|
| | u_1 | u_2 |
| $\omega = 10000$ | | |
| $\zeta = 1$ | --- | $\omega = 4000$ |
| $\alpha = 5000$ | $K = 1100$ | $\zeta = 1$ |

4.3 Dinámica del error de estimación

En base a las ecuaciones (4.30) y (4.31), se realiza una copia de ambos sistemas reescritos en (4.38) y (4.39).

$$\dot{y}_1 = y_2$$

$$\dot{y}_2 = \frac{E}{LC}(u_1 + u_2) + \xi_2$$

(4.38)

$$\hat{y}_1 = \hat{y}_2 + \lambda_4(F_2 - \hat{y}_1)$$

$$\hat{y}_2 = \frac{E}{LC}(u_1 + u_2) + s_1 + \lambda_3(F_2 - \hat{y}_1)$$

(4.39)

$$\dot{s}_1 = s_2 + \lambda_2(F_2 - \hat{y}_1)$$

$$\dot{s}_2 = s_3 + \lambda_1(F_2 - \hat{y}_1)$$

$$\dot{s}_3 = \lambda_0(F_2 - \hat{y}_1)$$

Para determinar el error se realiza la resta de la ecuación (4.38) y (4.39), el resultado de dicha operación queda representado de la siguiente forma:

$$\begin{aligned}
 \dot{e}_{y_1} &= e_{y_2} - \lambda_4 e_{y_1} \\
 \dot{e}_{y_2} &= \xi_2 - s_1 - \lambda_3 e_{y_1} \\
 \dot{s}_1 &= s_2 + \lambda_2 e_{y_1} \\
 \dot{s}_2 &= s_3 + \lambda_1 e_{y_1} \\
 \dot{s}_3 &= \lambda_0 e_{y_1}
 \end{aligned} \tag{4.40}$$

Tomando en cuenta la ecuación (4.40), se realiza la integración de este sistema de ecuaciones diferenciales, teniendo como resultado:

$$\begin{aligned}
 s_3 &= \lambda_0 \int e_{y_1} \\
 s_2 &= \lambda_0 \int \int e_{y_1} + \lambda_1 \int e_{y_1} \\
 s_1 &= \lambda_0 \int \int \int e_{y_1} + \lambda_1 \int \int e_{y_1} + \lambda_2 \int e_{y_1} \\
 e_{y_2} &= \int \xi_2 - \left[\lambda_0 \int \int \int \int e_{y_1} + \lambda_1 \int \int \int e_{y_1} + \lambda_2 \int \int e_{y_1} \right] - \lambda_3 \int e_{y_1} \\
 e_{y_1} &= \int \int \xi_2 - \lambda_0 \int \int \int \int \int e_{y_1} - \lambda_1 \int \int \int \int e_{y_1} - \lambda_2 \int \int \int e_{y_1} - \lambda_3 \int \int e_{y_1} \\
 &\quad - \lambda_4 \int e_{y_1}
 \end{aligned} \tag{4.41}$$

Por tanto la dinámica del error de estimación está dada por la ecuación (4.42), la cual es obtenida al derivar e_{y_1} .

$$\begin{aligned}
 \dot{e}_{y_1} &= \int \xi_2 - \lambda_0 \int \int \int \int e_{y_1} - \lambda_1 \int \int \int e_{y_1} - \lambda_2 \int \int e_{y_1} - \lambda_3 \int e_{y_1} - \lambda_4 e_{y_1} \\
 \ddot{e}_{y_1} &= \xi_2 - \lambda_0 \int \int \int e_{y_1} - \lambda_1 \int \int e_{y_1} - \lambda_2 \int e_{y_1} - \lambda_3 e_{y_1} - \lambda_4 \dot{e}_{y_1} \\
 \dddot{e}_{y_1} &= \dot{\xi}_2 - \lambda_0 \int \int e_{y_1} - \lambda_1 \int e_{y_1} - \lambda_2 e_{y_1} - \lambda_3 \dot{e}_{y_1} - \lambda_4 \ddot{e}_{y_1} \\
 e_{y_1}^{(4)} &= \ddot{\xi}_2 - \lambda_0 \int e_{y_1} - \lambda_1 e_{y_1} - \lambda_2 \dot{e}_{y_1} - \lambda_3 \ddot{e}_{y_1} - \lambda_4 \dddot{e}_{y_1} \\
 e_{y_1}^{(5)} &= \ddot{\xi}_2 - \lambda_0 e_{y_1} - \lambda_1 \dot{e}_{y_1} - \lambda_2 \ddot{e}_{y_1} - \lambda_3 \dddot{e}_{y_1} - \lambda_4 e_{y_1}^{(4)} \\
 e_{y_1}^{(5)} + \lambda_4 e_{y_1}^{(4)} + \lambda_3 \dddot{e}_{y_1} + \lambda_2 \ddot{e}_{y_1} + \lambda_1 \dot{e}_{y_1} + \lambda_0 e_{y_1} &= \ddot{\xi}_2
 \end{aligned} \tag{4.42}$$

4.4 Análisis de estabilidad en lazo cerrado

Haciendo uso de las ecuaciones mostradas en (4.28), (4.34) y (4.35), se reescribe el sistema en las ecuaciones (4.43), (4.44) y (4.45).

$$u_1 = \frac{L}{E} \dot{F}_1 + \frac{F_2}{E} \quad (4.43)$$

$$u_2 = \frac{LC}{E} \ddot{F}_2 + \frac{1}{RE} \dot{F}_2 + \frac{F_2}{E} - \frac{L}{E} \dot{F}_1 + \frac{L}{E} \dot{i}(t)$$

$$\begin{aligned} u_1 &= \frac{L}{E} v_1 + \phi_1 \\ u_2 &= \frac{LC}{E} v_2 + \frac{F_2}{E} - \frac{L}{E} v_1 + \phi_2 \end{aligned} \quad (4.44)$$

$$\phi_1 = \frac{F_2}{E}$$

$$\phi_2 = \frac{1}{RE} \dot{F}_2 + \frac{F_2}{E} + \frac{L}{E} \dot{i}(t)$$

Donde,

$$v_1 = \dot{F}_1^* - k(F_1 - \hat{F}_1^*) \quad (4.45)$$

$$v_2 = \ddot{F}_2^* - k_1(\dot{F}_2 - \dot{\hat{F}}_2^*) - k_0(F_2 - \hat{F}_2^*) + \zeta_2$$

Se realiza un cambio de variable de la forma:

$$\begin{aligned} y_1 &= \hat{F}_2 = \hat{v}_c \\ y_2 &= \dot{\hat{F}}_2 = \dot{\hat{v}}_c \\ y_3 &= \ddot{\hat{F}}_2 = \ddot{\hat{v}}_c \end{aligned} \quad (4.46)$$

Por tanto, el sistema queda representado mediante la ecuación (4.47).

$$\begin{aligned} \dot{y}_1 &= y_2 + \lambda_3(F_2 - y_1) \\ \dot{y}_2 &= y_3 + \lambda_2(F_2 - y_1) \\ \dot{y}_3 &= \frac{E}{LC}(u_1 + u_2) + s_1 + \lambda_1(F_2 - y_1) \end{aligned} \quad (4.47)$$

$$s_1 = \lambda_0(F_2 - y_1)$$

Combinando las ecuaciones (4.41) y (4.43) se obtiene la ley de control como se muestra en las ecuaciones (4.48) y (4.49).

$$\frac{L}{E} \dot{F}_1 + \frac{F_2}{E} = \frac{L}{E} (\dot{F}_1^* - k(F_1 - \hat{F}_1^*) + \phi_1) \quad (4.48)$$

$$\dot{e}_1 + ke_1 = 0$$

$$\frac{LC}{E} \ddot{F}_2 + \frac{1}{RE} \dot{F}_2 + \frac{F_2}{E} - \frac{L}{E} \dot{F}_1 + \frac{L}{E} \dot{i}(t) = \frac{LC}{E} (\ddot{F}_2^* - k_1(\dot{F}_2 - \dot{\hat{F}}_2^*) - k_0(F_2 - \hat{F}_2^*) + \zeta_2) \quad (4.49)$$

$$s_1) + \frac{F_2}{E} - \frac{L}{E} (\dot{F}_1^* - k(F_1 - \hat{F}_1^*)) + \phi_2$$

$$\dot{e}_1 + k e_1 + \ddot{e}_2 + k_1 \dot{e}_2 + k_0 e_2 + (\phi_2 - s_1) = 0$$

Donde, \tilde{e} representa el error de estimación, como se muestra en la ecuación (4.50):

$$\tilde{e} = \phi_2 - s_1 \quad (4.50)$$

Utilizando la transformada de Laplace, el sistema se representa mediante las ecuaciones (4.51) y (4.52).

$$sE_1(s) + kE_1(s) = 0 \quad (4.51)$$

$$sE_1(s) + kE_1(s) + s^2E_2(s) + k_1sE_2(s) + k_0E_2(s) + \tilde{e}(s) = 0 \quad (4.52)$$

Haciendo la transformada inversa de Laplace se tiene que:

$$\dot{E}_1 + kE_1 = 0 \quad (4.53)$$

$$\ddot{E}_2 + k_1\dot{E}_2 + k_0E_2 = \tilde{e}$$

$$w_1 = E_2 \quad (4.55)$$

$$w_2 = \dot{E}_2 = \dot{w}_1$$

$$\dot{w}_2 = \dot{w}_1 = \ddot{E}_2 = -k_1\dot{E}_2 - k_0E_2 + \tilde{e}$$

Se propone una función de Lyapunov para demostrar la estabilidad del sistema, como se muestra en la ecuación (4.53).

$$V = \frac{1}{2}w_1^2 + \frac{1}{2}w_2^2 > 0 \quad (4.56)$$

Derivando la ecuación (4.56) se tiene:

$$\dot{V} = w_1\dot{w}_1 + w_2\dot{w}_2 \quad (4.57)$$

Sustituyendo la ecuación (4.55) en (4.57), se tiene:

$$\dot{V} = w_1w_2 + w_2(-k_1w_2 - k_0w_1 + \tilde{e}) \quad (4.58)$$

Considerando a $k_0 = 1$, y manipulando algebraicamente la ecuación (4.58), se obtiene la ecuación (4.59).

$$\dot{V} = -k_1w_2^2 + w_2\tilde{e} \quad (4.59)$$

Considerando la ecuación (4.59), se ve que es una función definida negativa, por tanto, se dice que el sistema es estable si y solo si, se cumple que $-k_1w_2^2 > w_2\tilde{e}$.

En caso que el error de estimación sea $\tilde{e} = 0$, se dice que es un punto de equilibrio globalmente exponencialmente estable puesto que:

$$\dot{V} = -k_1 w_2^2 < 0 \quad (4.60)$$

En caso contrario, si $\tilde{e} \neq 0$, entonces $w_2 \tilde{e}$ puede describirse mediante la desigualdad de Young la cual establece que si las constantes $p > 1$ y $q > 1$, tal que $(p-1)(q-1) = 1$, con $\varepsilon > 0$ y $(x, y) \in \mathbb{R}^2$, [65], por tanto, se tiene que:

$$xy \leq \frac{\varepsilon^p}{p} |x|^p + \frac{1}{q\varepsilon^q} |y|^q \quad (4.61)$$

Se elige $p = q = 2$ y $\varepsilon^p = 2$, por tanto, la ecuación (4.61), se representa como:

$$xy \leq x^2 + \frac{1}{4} y^2 \quad (4.62)$$

Por lo tanto, la ecuación (4.62) es la desigualdad que se tiene en la ecuación (4.63), con $x = w_2$, $y = \tilde{e}$:

$$w_2 \tilde{e} \leq w_2^2 + \frac{1}{4} \tilde{e}^2 \quad (4.63)$$

En consecuencia la ecuación (4.59), se representa mediante la ecuación (4.64) y se le suma un cero.

$$\dot{V} = -(1 - \emptyset)k_1 w_2^2 - k_1 w_2^2 + w_2 \tilde{e} \leq -k_1 w_2^2 + |w_2|^2 + \frac{1}{4} |\tilde{e}|^2 < 0, \quad 0 < \emptyset < 1 \quad (4.64)$$

$$k_1 w_2^2 \geq |w_2|^2 + \frac{1}{4} |\tilde{e}|^2 \geq w_2 \tilde{e} \quad (4.65)$$

Dada la desigualdad en la ecuación (4.65) es posible encontrar una cota que permita demostrar que el error de seguimiento es exponencialmente estable a cero, siempre que el error de estado sea mayor o igual al error de estimación, haciendo uso de las ganancias elegidas para el observador y el controlador, se asegura la estabilidad de la ley control, por tanto:

$$\emptyset \gamma_{\max} k_1 w_2^2 \geq \emptyset \gamma k_1 w_2^2 \geq \emptyset \gamma_{\min} k_1 w_2^2 \quad (4.66)$$

$$\emptyset \gamma_{\max} k_1 w_2^2 \geq w_2^2 + \frac{1}{4} \tilde{e}^2 \quad (4.67)$$

$$\emptyset \gamma_{\max} k_1 |w_2|^2 \geq |w_2|^2 + \frac{1}{4} |\tilde{e}|^2 \quad (4.68)$$

Realizando las manipulaciones algebraicas correspondientes, la ecuación (4.68) se representa mediante la ecuación (4.69).

$$|w_2| \geq \frac{|\tilde{e}|}{2\sqrt{\emptyset \gamma_{\max} k_1 - 1}}, \quad \emptyset \gamma_{\max} k_1 > 1 \quad (4.69)$$

Capítulo 5

Resultados

Se realizaron simulaciones que brindan un panorama virtual de la posible respuesta que tendrá el sistema una vez que el controlador sea implementado, por último se llevó a cabo la implementación del sistema y se obtuvieron resultados de forma experimental.

5.1 Resultados de simulación en Simulink

5.1.1 Modelado del sistema no perturbado

Mediante la herramienta Matlab/Simulink se desarrollaron los diagramas a bloques de la etapa de potencia con los valores calculados en el diseño del convertidor en paralelo. En la Figura 5.1 se muestra el diagrama sin perturbación externa del convertidor.

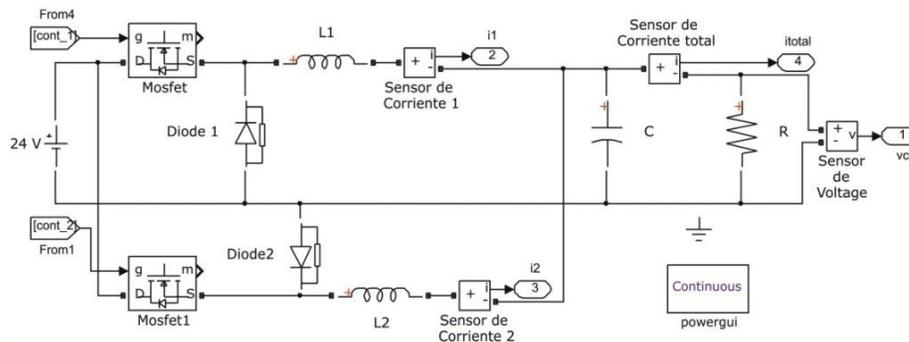


Figura 5.1. Convertidor reductor en paralelo sin perturbación.

La Figura 5.2 muestra el bloque del observador GPI, mismo que se desarrolló con base a la ecuación (4.29), mediante un conjunto de bloques MATLAB Function ubicados en la librería de Matlab/Simulink, (ver Figura 5.3).

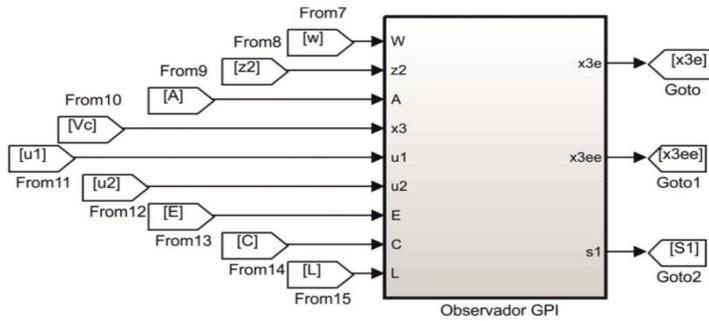


Figura 5.2. Módulo del observador externo.

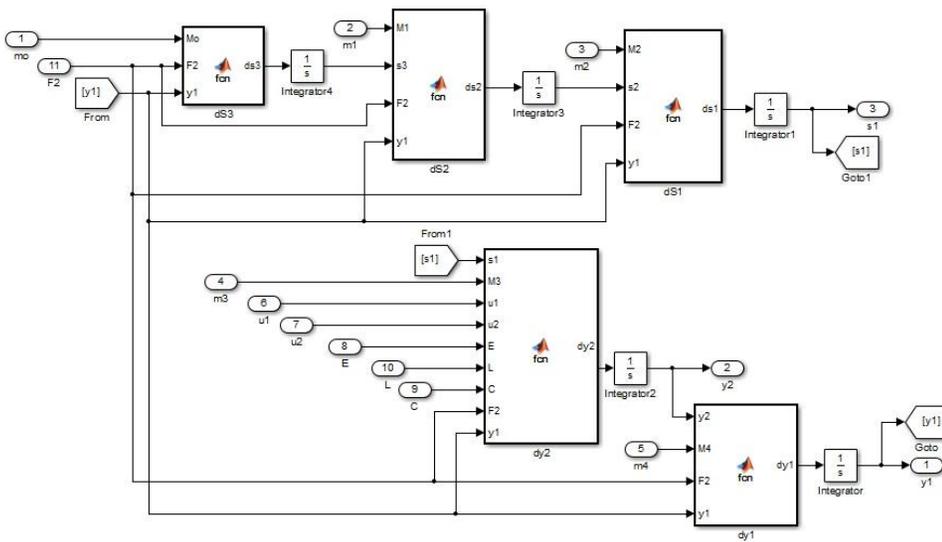


Figura 5.3. Módulo del observador interno.

La Figura 5.4 representa el bloque del controlador del convertidor basado en la ecuación (4.32); al igual que el bloque del observador, éste también se implementó con ayuda de los bloques MATLAB Function de Matlab/Simulink como se puede ver en la Figura 5.5.

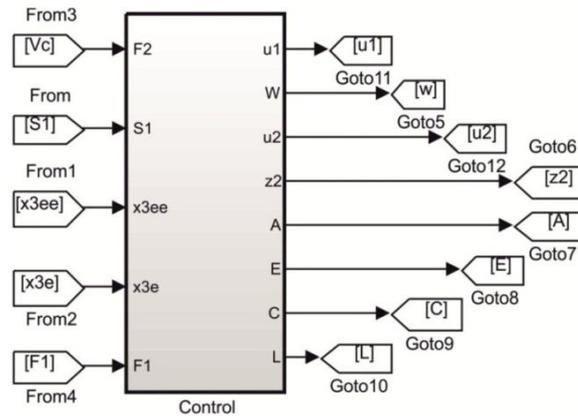


Figura 5.4. Módulo del controlador externo.

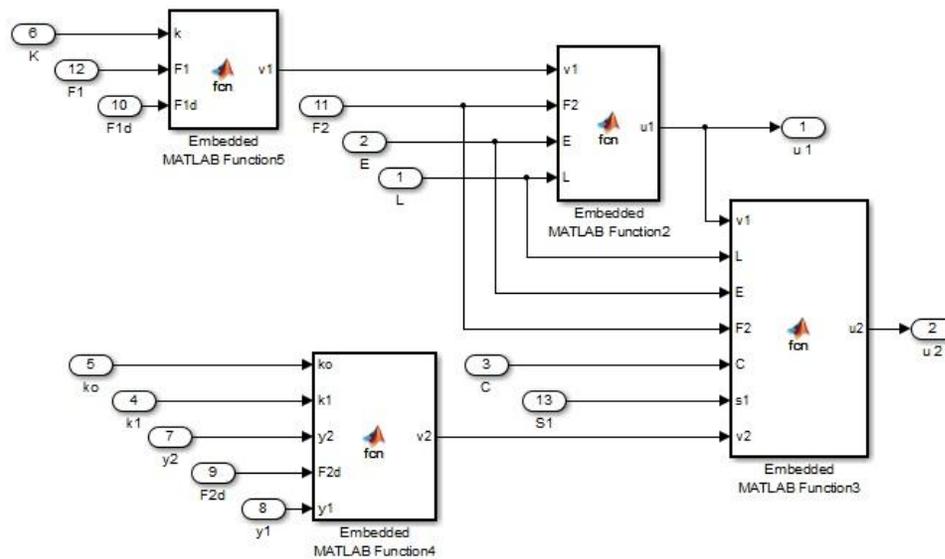


Figura 5.5. Control desplegado interno.

5.1.2 Simulación del sistema no perturbado

Los resultados de simulación en tiempo continuo, se obtuvieron de acuerdo a los parámetros de diseño del convertidor obtenidos en el capítulo 4, Sección 4.1, donde se requiere un voltaje de salida regulado de 12V con una demanda de corriente de 1.7A, distribuida de manera equitativa en cada una de las fases del convertidor. A continuación se muestra el resultado de la simulación del sistema sin perturbar, en la Figura 5.6 se muestra el voltaje de salida deseado con un tiempo de establecimiento de aproximadamente 5ms en donde alcanza el voltaje de referencia deseado. La Figura 5.7 describe la corriente total demandada por la carga a la salida del convertidor de 1.7A. Por ultimo las Figuras 5.8 y 5.9, reflejan la distribución de corriente en cada fase del convertidor, alcanzando la referencia deseada de 0.85A, y manteniendo el equilibrio, con la finalidad de que no se vea reducida la eficiencia.

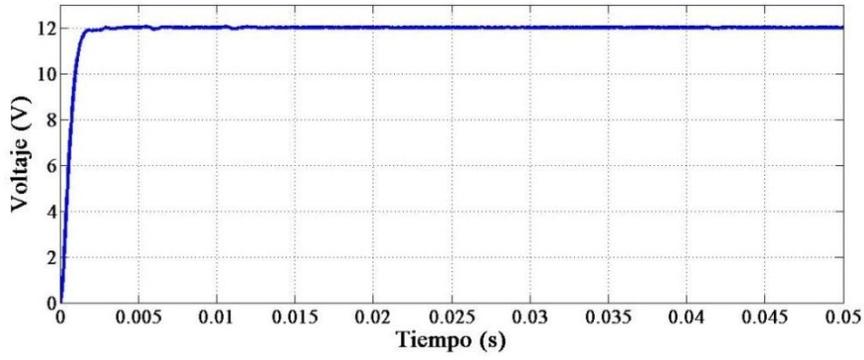


Figura 5.6. Voltaje de salida.

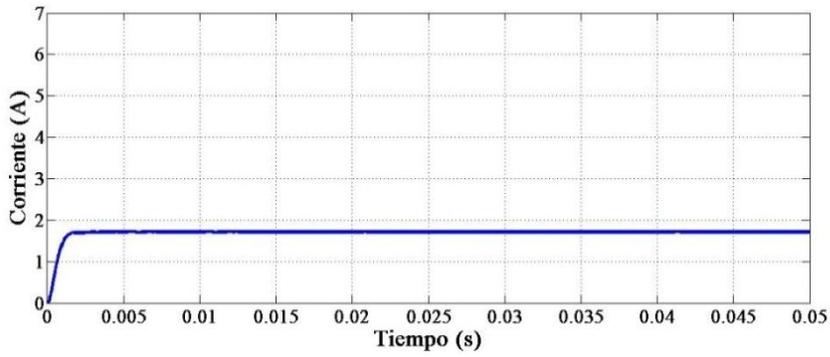


Figura 5.7. Corriente en la carga.

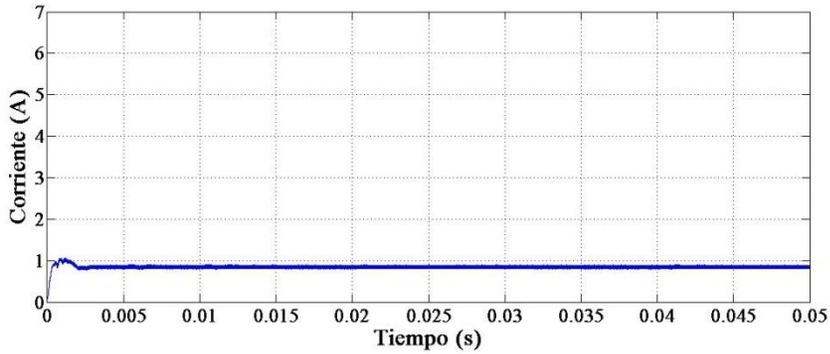


Figura 5.8. Corriente i_1 , en el primer inductor.

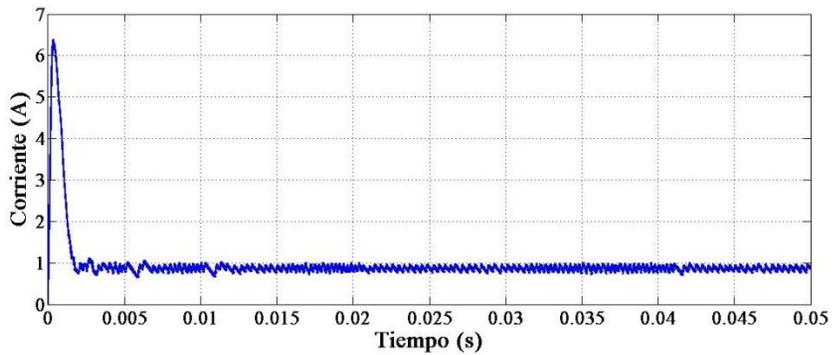


Figura 5.9. Corriente i_2 , en el segundo inductor.

5.1.3 Simulación del sistema perturbado

En la Figura 5.10, se muestra el diagrama donde se aplica una perturbación utilizando una fuente de corriente variante en el tiempo, cuya ecuación se representa mediante la siguiente expresión matemática $I(t) = 0.1 + 0.1\sin(2\pi ft)$, es importante mencionar, que el esquema de control que se implementa hace al sistema robusto ante la perturbación externa aplicada y la variación de parámetros en los dispositivos del convertidor.

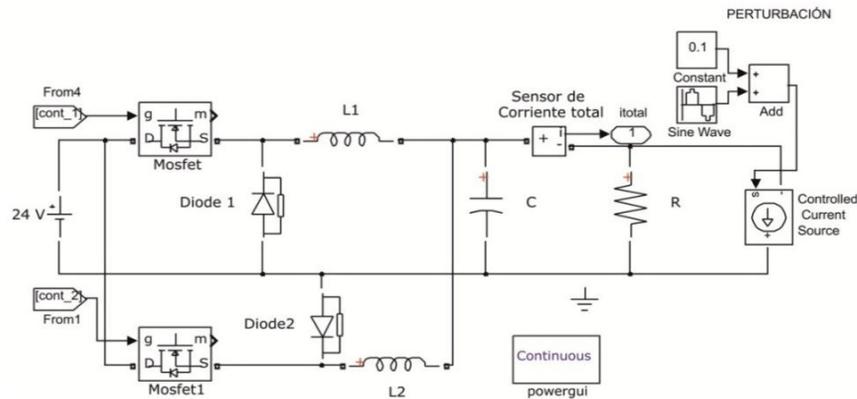


Figura 5.10. Convertidor reductor en paralelo perturbado.

Las gráficas que ejemplifican la perturbación aplicada son similares a las gráficas sin perturbación, en la Figura 5.11 se muestra que el voltaje de salida mantiene su valor de referencia a pesar de la perturbación aplicada, de igual forma la corriente en el inductor 1 se mantiene en el valor de referencia deseada, (ver Figura 5.12), esto debido a que ambas son las salidas planas del sistema. Sin embargo, la corriente en el inductor 2 absorbe la perturbación aplicada reflejándose en la corriente de carga como se observa en las Figuras 5.13 y 5.14.

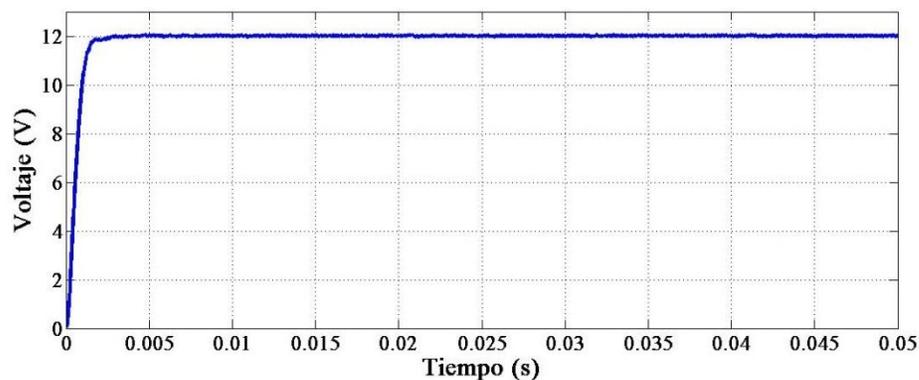


Figura 5.11. Voltaje de salida del sistema perturbado.

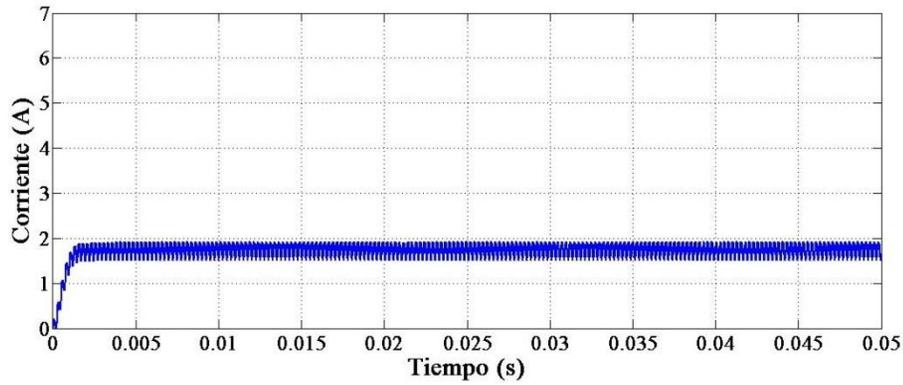


Figura 5.12. Corriente de carga del sistema perturbado.

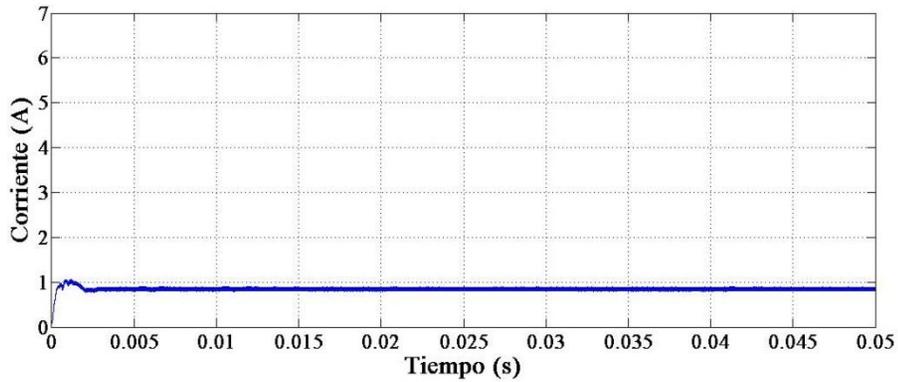


Figura 5.13. Corriente i_1 del sistema perturbado.

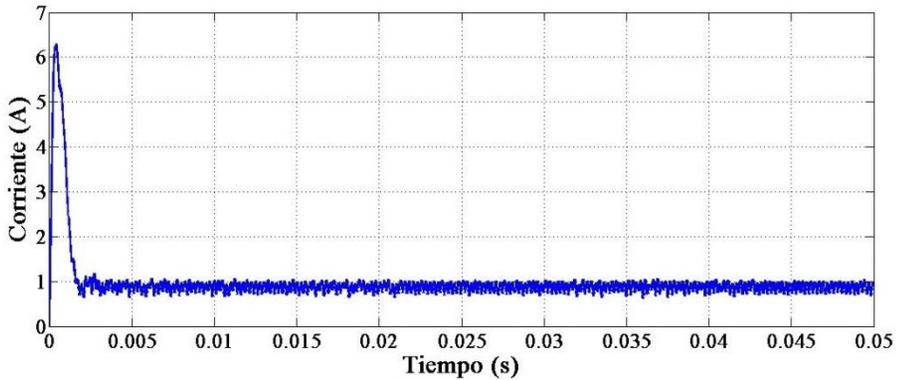


Figura 5.14. Corriente i_2 del sistema perturbado.

5.1.4 Modelado en System Generator

Para implementar el algoritmo de control en el FPGA es necesario discretizar el conjunto de ecuaciones que lo representan, esta discretización se llevó a cabo mediante el método de aproximación de *Euler hacia atrás* o también llamado *método implícito* el cual está dado por la siguiente expresión:

$$\frac{dy}{dt}(t_i) = f(t_i, y(t_i)) \cong \frac{y(t_i) - y(t_{i-1})}{T} \quad (5.1)$$

$$\dot{y} \approx \frac{y(i) - y(i-1)}{T}$$

Donde $y(i)$ es la muestra actual, $y(i-1)$ es la muestra anterior y T es el periodo de muestreo. Al aplicar este método, el sistema queda representado en su forma discreta como se muestra en la ecuación (5.2) y (5.3):

Observador GPI

$$\hat{y}_1(i) = \hat{y}_1(i-1) + T[\hat{y}_2(i) + \lambda_4[F_2(i) - \hat{y}_1(i)]]$$

$$\hat{y}_2(i) = \hat{y}_2(i-1) + T\left[\frac{E}{LC}[u_1 + u_2] + \lambda_3[F_2(i) - \hat{y}_1(i)] + s_1(i)\right]$$

$$s_1(i) = s_1(i-1) + T[\lambda_2[F_2(i) - \hat{y}_1(i)] + s_2(i)]$$

$$s_2(i) = s_2(i-1) + T[\lambda_1[F_2(i) - \hat{y}_1(i)] + s_3(i)]$$

$$s_3(i) = s_3(i-1) + T[\lambda_0[F_2(i) - \hat{y}_1(i)]]$$
(5.2)

Controladores

$$u_1(i) = \frac{1}{E}F_2(i) + \frac{L}{E}v_1(i)$$

$$u_2(i) = -\frac{1}{E}F_2(i) - \frac{L}{E}v_1(i) + \frac{LC}{E}(v_2(i) - s_1(i))$$

$$v_1 = -k(F_1(i) - F_{1d}(i))$$

$$v_2 = -k_1\hat{y}_2(i) - k_0(\hat{y}_1(i) - F_{2d}(i))$$
(5.3)

Siendo $\hat{y}_1(i)$ el voltaje estimado y $\hat{y}_2(i)$ la derivada del voltaje estimado.

Ahora bien, una vez discretizado el sistema, se lleva a cabo la implementación del esquema de control CRAP para el convertidor en System Generator, mediante diagramas de bloques ubicados en Simulink/Xilinx Blockset. En la Figura 5.15 se muestra un panorama general del diagrama de bloques del sistema completo, en el cual se tiene el bloque de control, el observador GPI, la etapa de potencia, y el bloque que contiene las constantes utilizadas en el desarrollo del esquema de control.

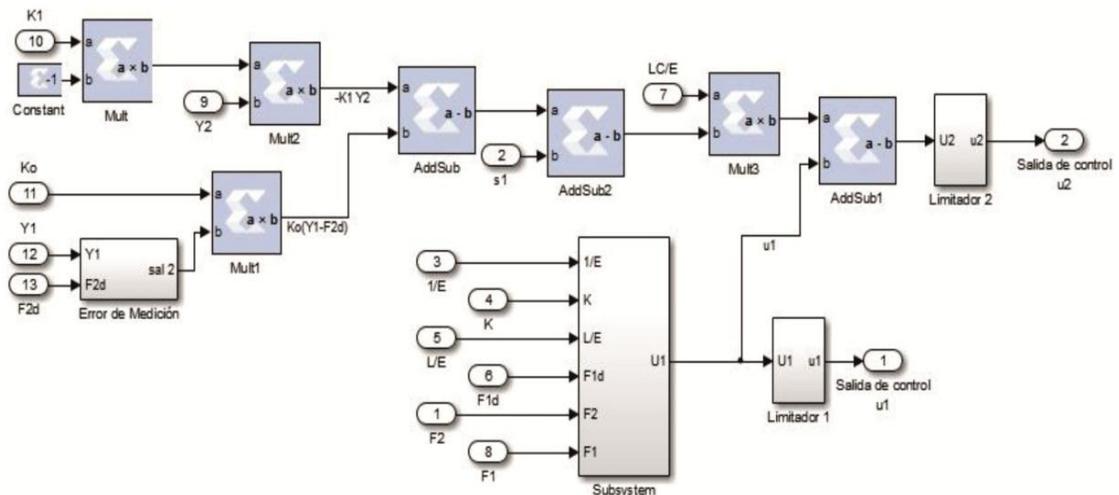


Figura 5.17. Modelo digital de los controladores.

En la Figura 5.18 se muestra la etapa del PWM, misma que hará conmutar a los interruptores de la etapa de potencia.

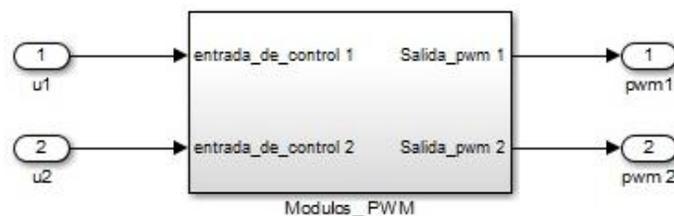


Figura 5.18. Bloque de PWM.

5.2 Resultados de simulación en System Generator

Con la finalidad de llevar a cabo un análisis comparativo del comportamiento de los convertidores reductores convencional y paralelo se realizaron simulaciones utilizando la herramienta de System Generator, cuyas graficas se muestran enseguida. Es importante mencionar que estas simulaciones se llevaron a cabo sin perturbación externa.

Primero se realizó la simulación del convertidor convencional cuyos resultados se explican a continuación, en la Figura 5.19 se muestra el voltaje de salida y en la Figura 5.20 la corriente de carga. La corriente que pasa a través del inductor muestra un rizado grande (ver Figura 5.21) mismo que se trató de reducir al aumentar el valor del inductor al doble del valor propuesto como puede observarse en la Figura 5.22, sin embargo el rizo de corriente sigue siendo considerable. En la Figura 5.23 se muestra la forma de onda de la corriente que pasa a través del mosfet con un pico de 2.3A aproximadamente y un promedio de 1.7A que en este caso coincide con la corriente de la carga. En la Figura 5.24 se muestra el voltaje que soporta el mosfet cuando no conduce cuyo valor es el de la fuente de alimentación.

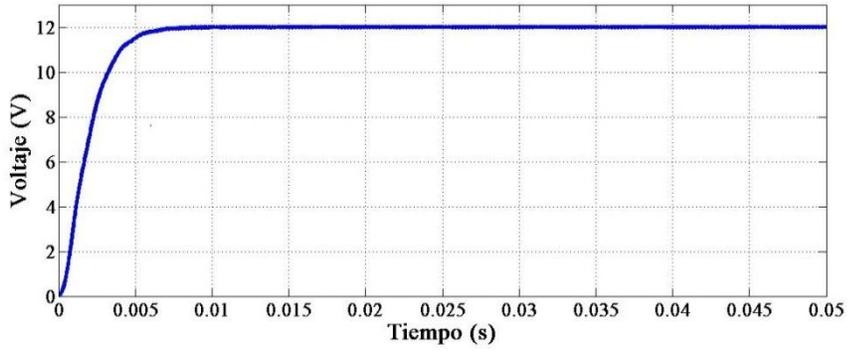


Figura 5.19. Voltaje de salida del convertidor convencional.

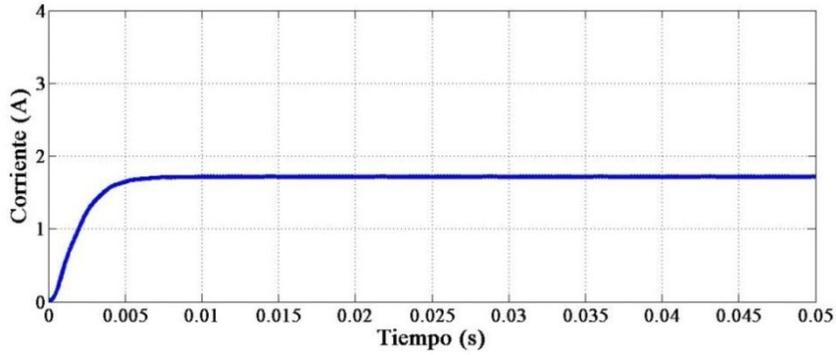


Figura 5.20. Corriente de carga del convertidor convencional.

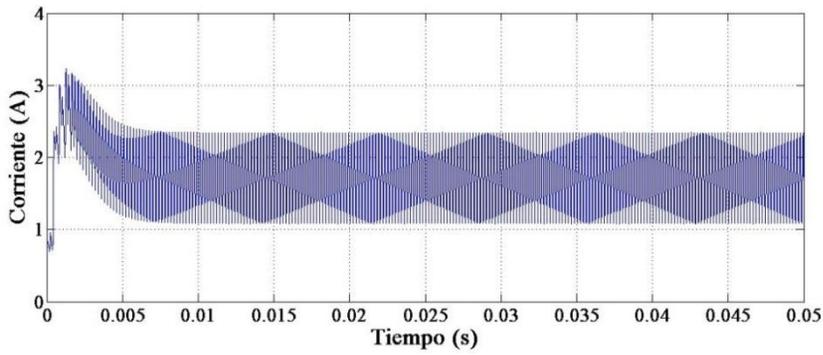


Figura 5.21. Corriente en el inductor del convertidor convencional, $L = 980.7\mu H$.

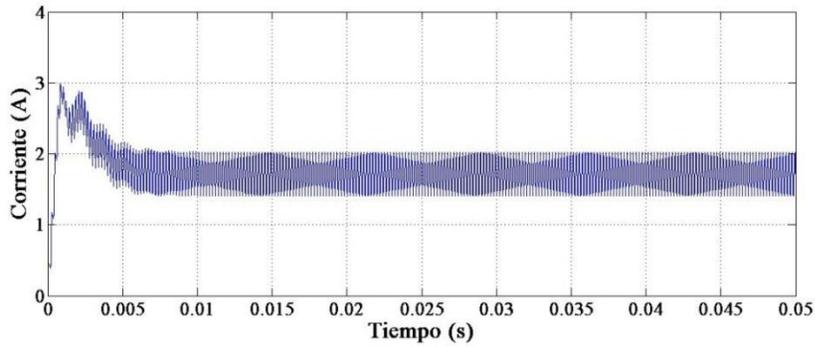


Figura 5.22. Corriente en el inductor del convertidor convencional, $L = 2mH$.

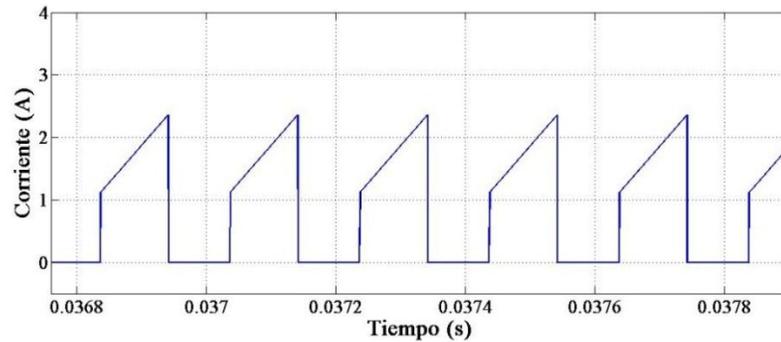


Figura 5.23. Corriente en el mosfet del convertidor convencional.

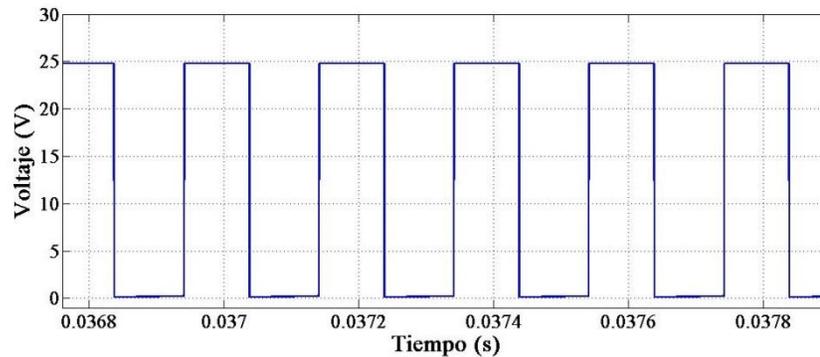


Figura 5.24. Voltaje en el mosfet del convertidor convencional.

Por lo que respecta al convertidor en paralelo, en las Figuras (5.25, 5.26 y 5.31), se observa un comportamiento similar en lo que se refiere al voltaje a la salida, corriente de carga y el voltaje que soporta el mosfet. La principal diferencia entre ambos convertidores radica en la corriente que se distribuye en cada fase del convertidor en paralelo, puesto que ésta es repartida de forma equitativa como se observa en las Figuras 5.27 y 5.28, el rizo de corriente i_1 que circula en el inductor 1 se muestra en la Figura 5.29. Así mismo en la Figura 5.30 se muestra la corriente que circula en el mosfet mostrando una disminución en el pico y la corriente promedio, siendo ésta la mitad del pico de corriente que pasa a través del mosfet del convertidor convencional.

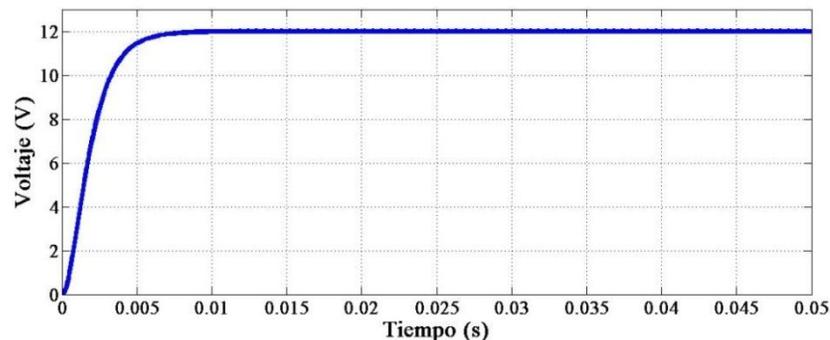


Figura 5.25. Voltaje de salida del convertidor en paralelo.

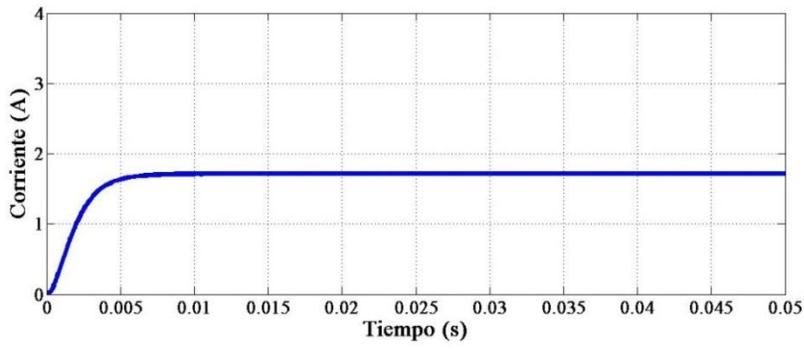


Figura 5.26. Corriente de carga del convertidor en paralelo.

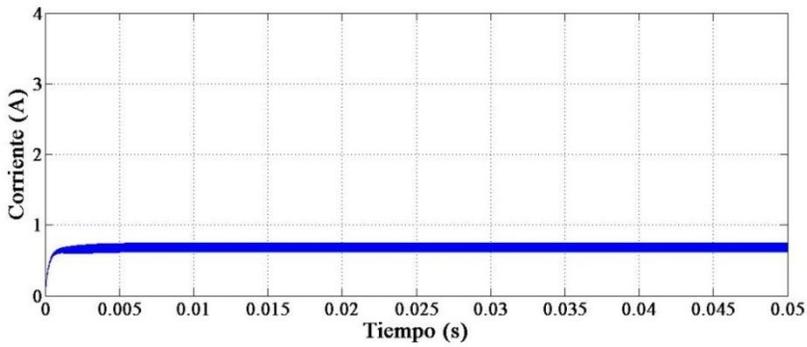


Figura 5.27. Corriente i_1 en el primer inductor del convertidor en paralelo.

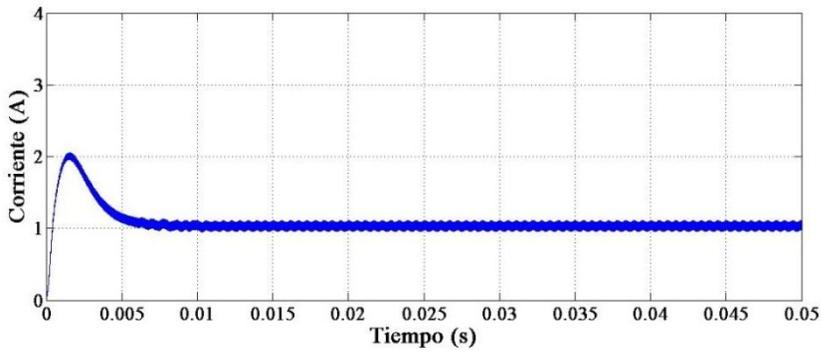


Figura 5.28. Corriente i_2 en el segundo inductor del convertidor en paralelo.

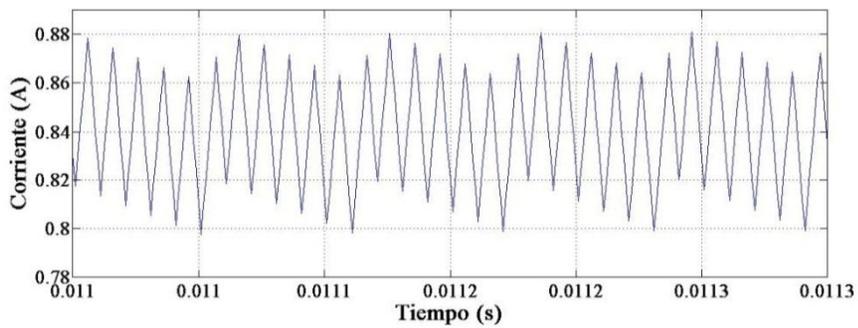


Figura 5.29. Rizo de corriente i_1 del convertidor en paralelo.

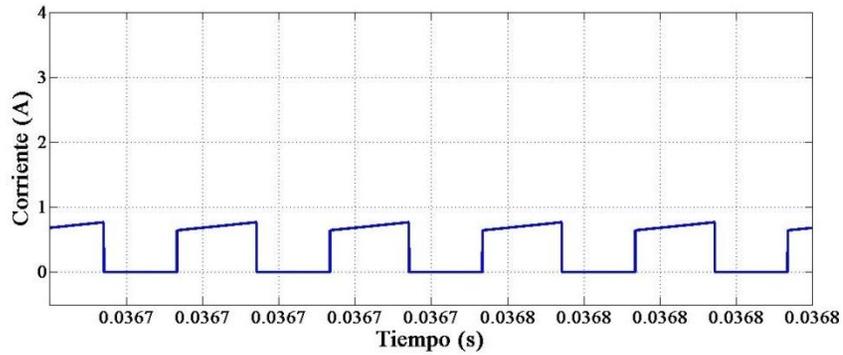


Figura 5.30. Corriente en el mosfet del convertidor en paralelo.

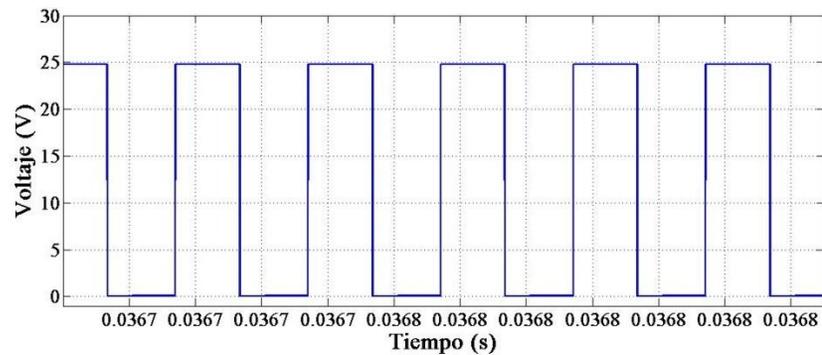


Figura 5.31. Voltaje en el mosfet del convertidor en paralelo.

5.2.1 Resultado de simulación en System Generator sistema perturbado

En este apartado se hace la representación gráfica de la respuesta del sistema al ser sometido a una perturbación utilizando una fuente de corriente variante en el tiempo, cuya expresión matemática es: $I(t) = 0.1 + 0.1\sin(2\pi ft)$; la Figura 5.32 muestra el voltaje medido y el voltaje estimado mediante el observador GPI, ambas señales alcanzan el voltaje de salida deseado, es importante resaltar el funcionamiento del observador, debido a que sigue fielmente a la señal medida.

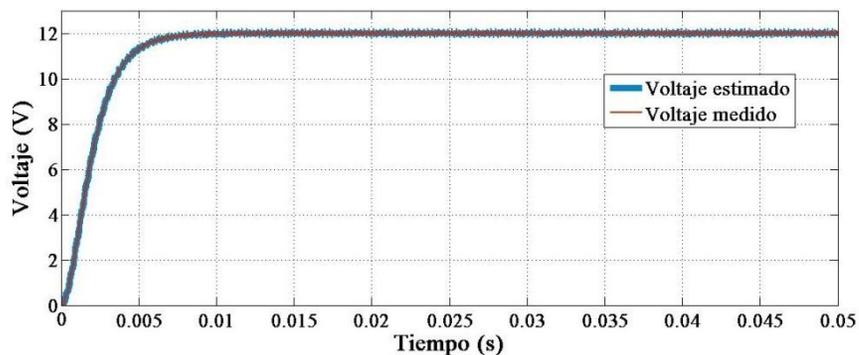


Figura 5.32. Voltaje de salida medido y estimado del sistema perturbado.

En la Figura 5.33 se muestra la corriente i_1 que pasa a través de uno de los inductores, así mismo en la Figura 5.34 se observa la corriente i_2 en el segundo inductor, cada fase del convertidor alcanza la referencia deseada de 0.85A, sin embargo en la corriente i_2 se resalta un pequeño rizo, como se mencionó anteriormente esto se debe a la perturbación a la que se sometió el sistema, cabe resaltar que esta corriente no es una de las salidas planas y por tanto absorbe la perturbación haciendo que la corriente i_1 no sufra cambio alguno, sin embargo la corriente de carga si refleja el efecto que esta perturbación provoca en i_2 , (ver Figura 5.35).

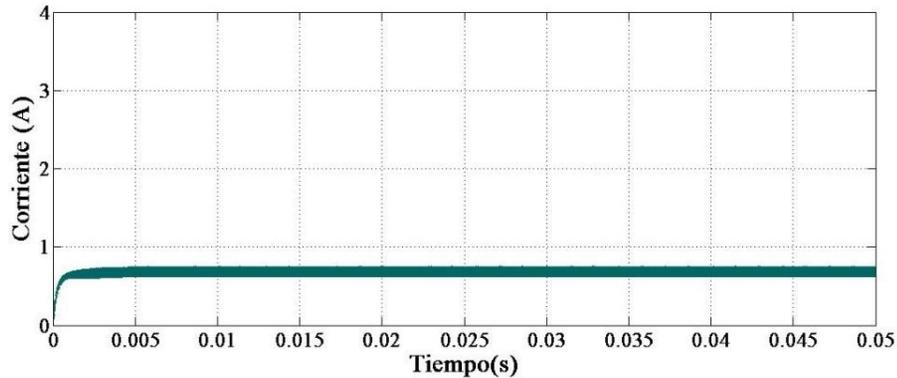


Figura 5.33. Corriente i_1 del sistema perturbado.

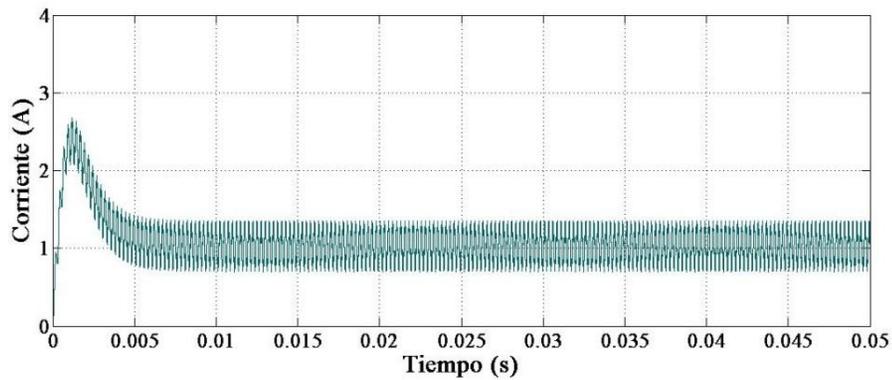


Figura 5.34. Corriente i_2 del sistema perturbado.

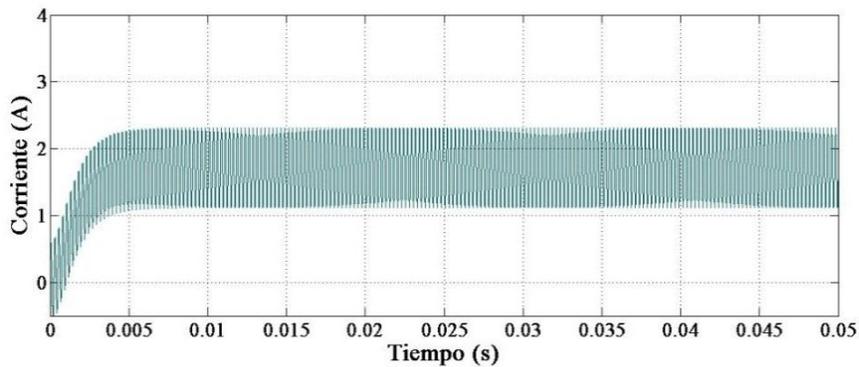


Figura 5.35. Corriente de carga del sistema perturbado.

En la Figura 5.36 se muestra el error de estimación del voltaje al momento de implementar el esquema de control, como se puede ver el error oscila alrededor de cero, de esta forma se demuestra la eficiencia del observador, ya que lo que se busca es minimizar al máximo las perturbaciones aplicadas al convertidor.

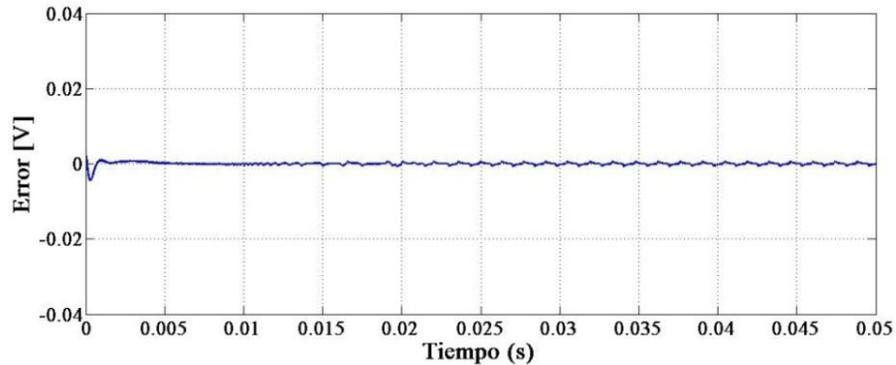


Figura 5.36. Error de estimación de voltaje.

De igual forma en las Figuras 5.37 y 5.38 se muestran las señales de control las cuales se encargan de generar las señales PWM, mismas que hacen conmutar a cada uno de los mosfet en un intervalo de tiempo determinado.

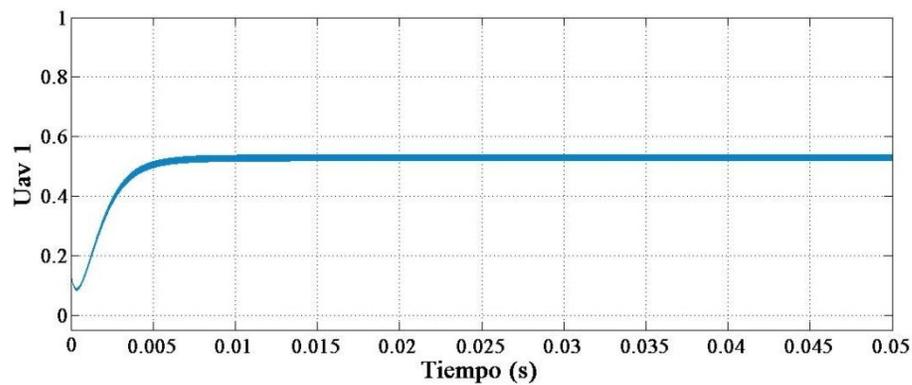


Figura 5.37. Señal de control u_1

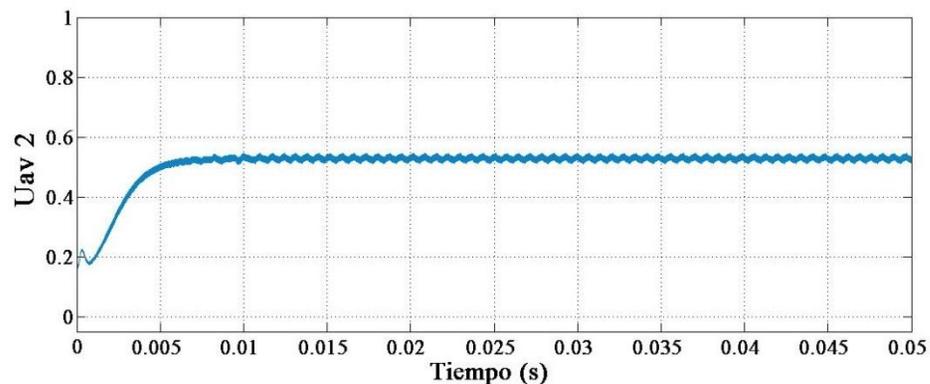


Figura 5.38. Señal de control u_2 .

5.3 Resultados Experimentales

En la Figura 5.39 se muestra el circuito implementado, el cual consta de la etapa de conmutación compuesta por los integrados (PC923 y el IR2117), la etapa de potencia (convertidor en paralelo), un sensor de corriente (NT-15), una resistencia de carga y un filtro pasa bajas (inductor y capacitor).

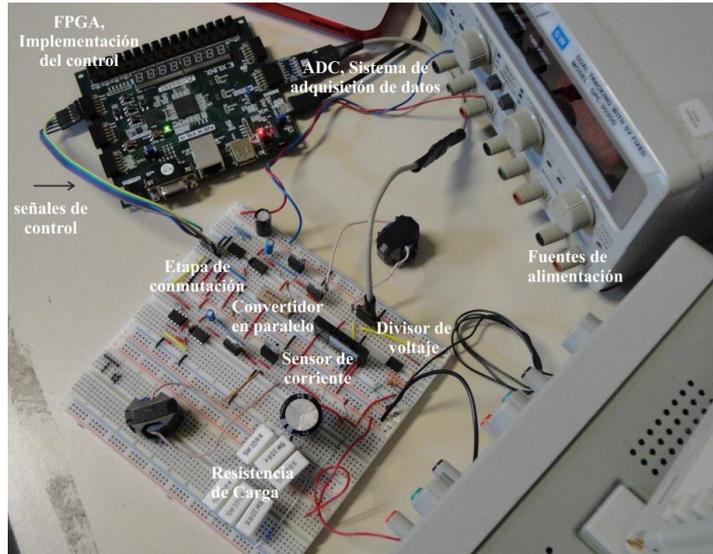


Figura 5.39. Plataforma experimental del convertidor en paralelo.

5.3.1 Pruebas en lazo abierto

Para la realización de pruebas en lazo abierto se utilizó la herramienta System Generator, en la cual se generó un PWM digital, y se implementó con ayuda de un FPGA, al circuito del convertidor en lazo abierto mostrado en la Figura 5.40.

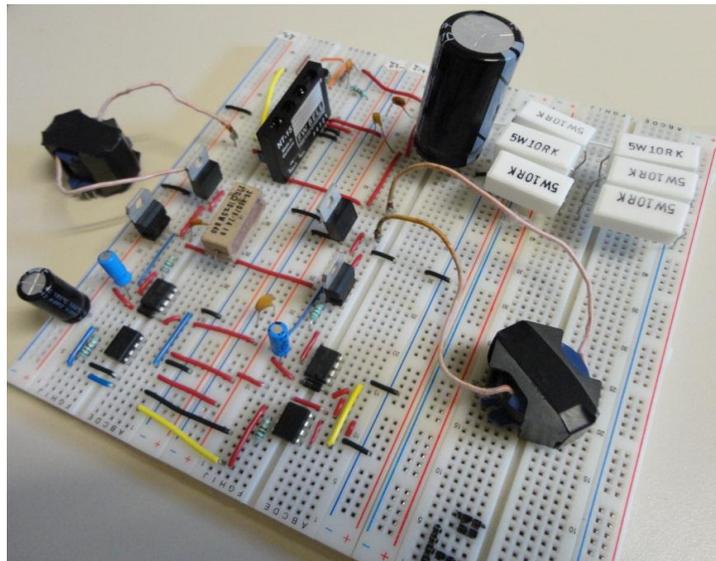


Figura 5.40. Circuito del convertidor reductor en paralelo.

Para esta prueba se considera un ciclo de trabajo de 0.5, dando como resultado un voltaje de salida de 11.5V, cuyo valor difiere de la referencia de voltaje deseada de 12V, debido a que el sistema se encuentra trabajando en lazo abierto (ver Figura 5.41).

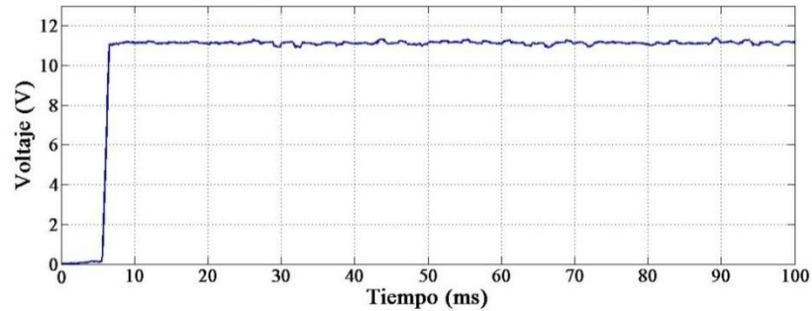


Figura 5.41. Voltaje de salida en lazo abierto.

De igual forma, la medición de corriente en una de las ramas del convertidor se realizó mediante el uso de un sensor de corriente, los resultados fueron graficados en la Figura 5.42 mostrando el voltaje en el sensor, y en la Figura 5.43 se muestra la corriente i_1 que corresponde al voltaje medido por el mismo, la corriente circulante en el segundo inductor i_2 no fue sensada, sin embargo por los resultados obtenidos se deduce que esta segunda corriente es superior a i_1 .

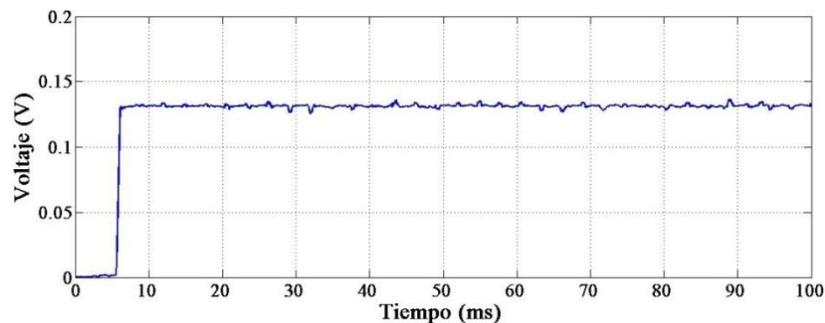


Figura 5.42. Voltaje del sensor en lazo abierto.

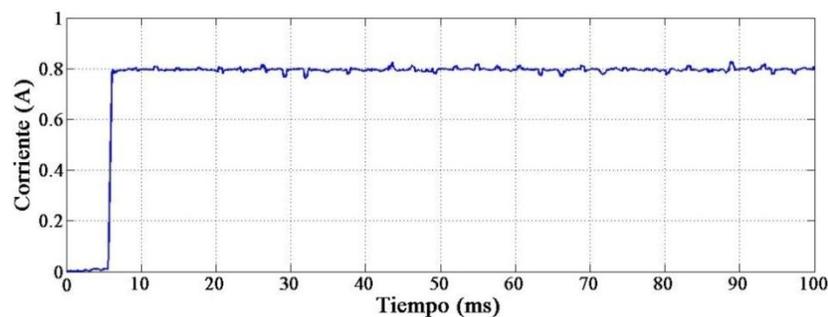


Figura 5.43. Corriente i_1 en lazo abierto.

5.3.2 Pruebas en lazo cerrado

Una vez realizadas las pruebas en lazo abierto, se procedió a cerrar el lazo con la finalidad de probar el desempeño del convertidor mediante la técnica de control propuesta, haciendo uso de la herramienta Simulink/System Generator para generar proyecto en el entorno ISE Desing Suite, mediante el cual se genera el (.bit) que será descargado al FPGA mediante la herramienta IMPACT perteneciente a ISE Desing Suite. La retroalimentación del sistema se lleva a cabo mediante un ADC, el cual recibe las señales que entrega el convertidor (voltaje de salida y corriente sensada i_1), que serán utilizadas por el algoritmo de control y de esta forma se logra regular el voltaje de salida y el equilibrio en las corrientes i_1 e i_2 , (ver Figura 5.44 y 5.45).

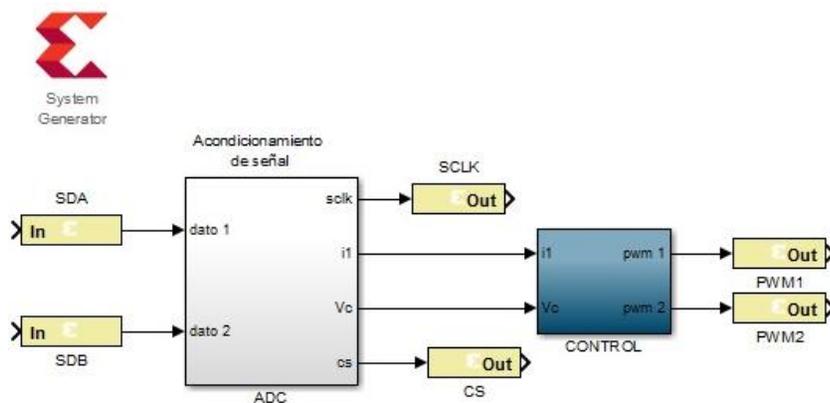


Figura 5.44. Diagrama a bloques para programar el FPGA.



Figura 5.45. Circuito en lazo cerrado.

5.3.2.1 Sistema sin perturbación

Los resultados en lazo cerrado de la implementación del control se muestra en la Figura 5.46, se puede ver que el sistema logra alcanzar la referencia deseada de 12V, mostrando así la eficiencia de la técnica de control aplicada al convertidor reductor en paralelo, es importante mencionar que esta medición es realizada sin aplicar perturbación alguna.

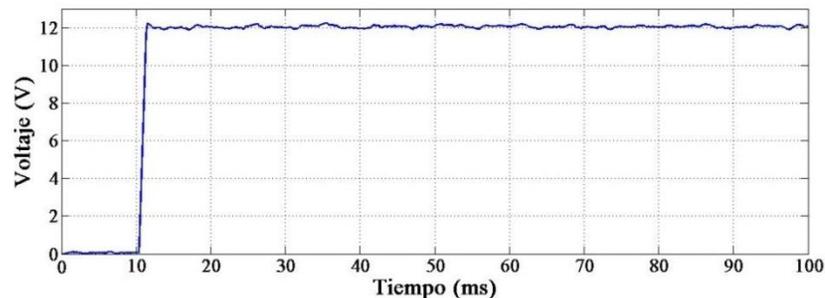


Figura 5.46. Voltaje de salida en lazo cerrado.

Para medir la corriente en el inductor 1 se utiliza un sensor de corriente, el cual genera un voltaje proporcional a la corriente medida. En la Figura 5.47 se muestra la señal de voltaje medida mediante este sensor y en la Figura 5.48 se muestra la corriente i_1 real que pasa a través de este inductor la cual tiene un valor de 0.85A que corresponde a la señal de corriente deseada. Como consecuencia la corriente i_2 debe tener el mismo valor que la corriente i_1 .

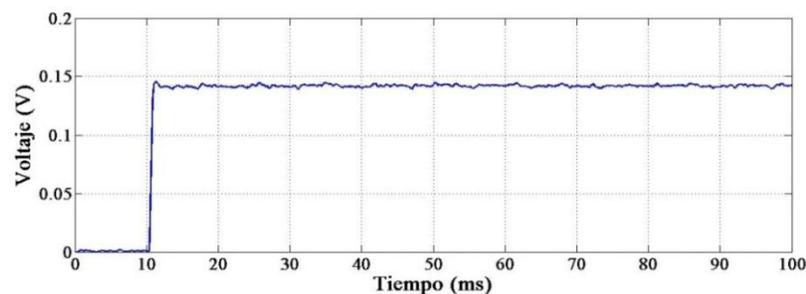


Figura 5.47. Voltaje del sensor en lazo cerrado.

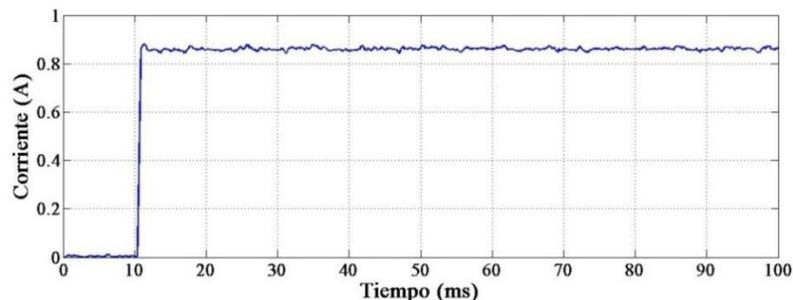


Figura 5.48. Corriente i_1 en lazo cerrado.

5.3.2.2 Sistema perturbado

Con la finalidad de probar la robustez del controlador, se le aplicó al sistema un cambio repentino de carga (una resistencia en paralelo, $R = 60\Omega$) en aproximadamente en $11ms$, cómo se puede ver en la Figura 5.49, se observa que el sistema tarda $70ms$ en recuperarse. De igual forma, en la Figura 5.50 se muestra un comportamiento similar en la corriente i_1 . Sin embargo, esta perturbación se vería reflejada en la corriente i_2 , pero no fue medida.

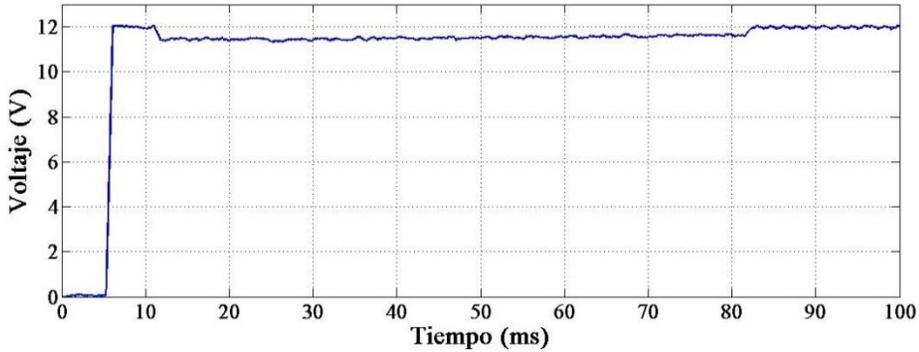


Figura 5.49. Voltaje de salida en lazo cerrado, sistema perturbado.

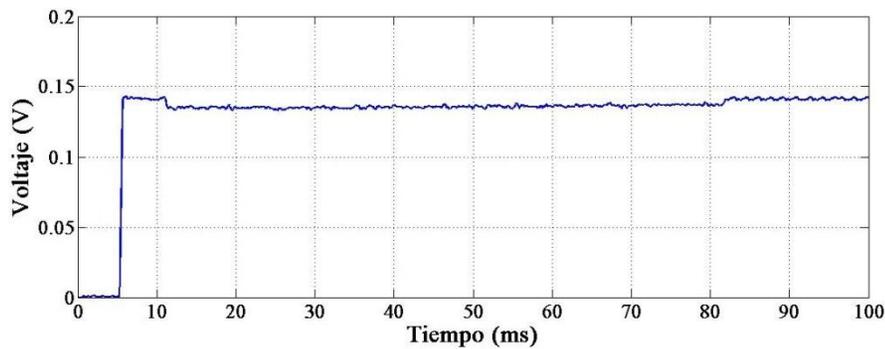


Figura 5.50. Voltaje en el sensor en lazo cerrado, sistema perturbado.

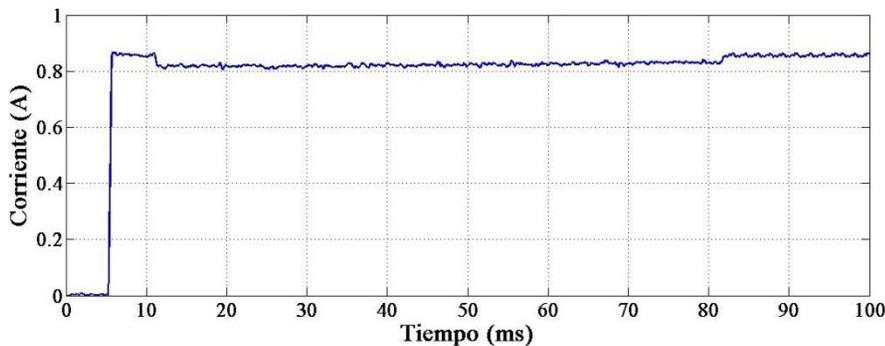


Figura 5.51. Corriente i_1 en lazo cerrado, sistema perturbado.

5.3.2.3 Eficiencia del sistema

Para obtener la eficiencia del sistema es necesario realizar el cálculo de la potencia de entrada y la potencia de salida. La potencia de entrada se obtiene mediante el voltaje de alimentación de la fuente y la corriente proporcionada por la misma.

$$E = 24V$$

$$I_i = 0.9A$$

$$V_0 = 12V$$

$$I_0 = 1.7A$$

Con los datos resultados obtenidos experimentalmente se tiene una eficiencia de:

$$\eta = \frac{v_o I_o}{v_{in} I_{in}} \times 100 ; \eta = \frac{(12)(1.7)}{(24)(0.9)} \times 100 = 94.44\%$$

5.3.2.4 Recursos utilizados por el FPGA

Los recursos utilizados por el FPGA mediante la implementación de la técnica de control se muestran en la siguiente tabla.

Tabla 5.1. Recursos utilizados por el FPGA.

| Nombre del recurso | Usados | Disponibles | Porcentaje utilizado |
|------------------------------|--------|-------------|----------------------|
| Slice Registers | 838 | 126,800 | 1% |
| Slice LUTs | 20,301 | 63,400 | 32% |
| LUT-FF pairs | 584 | 20,541 | 2% |
| Pines IOBs | 7 | 210 | 3% |
| BUFG/BUFGCTRLs | 2 | 32 | 6% |
| ILOGICE2/ILOGICE3/ISERDESE2s | 2 | 300 | 1% |
| OLOGICE2/OLOGICE3/OSERDESE2s | 2 | 300 | 1% |
| DSP48E1s | 144 | 240 | 60% |

Capítulo 6

Conclusiones y trabajos futuros

En este capítulo se presentan de forma general las conclusiones de este trabajo de tesis, así como también se hará mención de las principales aportaciones del mismo y algunos trabajos que puedan continuar con esta línea de investigación.

6.1 Conclusiones

- Los objetivos que se plantearon para este trabajo de investigación, fueron logrados, puesto que se muestran los resultados obtenidos de forma experimental, mostrando la robustez de la técnica CRAP basada en observadores GPI, aplicada al convertidor CD/CD reductor en paralelo, para estimar la dinámica desconocida de éste, además de las perturbaciones externas, mostrando que la dinámica de la planta y perturbaciones pueden ser estimadas en tiempo real basado en los datos de entrada y salida de la planta.
- Se realizó el estudio analítico del convertidor reductor en paralelo y del esquema de control, obteniendo las salidas planas del sistema, de forma matemática, mediante las ecuaciones diferenciales que representan el modelo promedio, como puede verse en el capítulo 4.
- El control fue implementado en un FPGA, obteniendo resultados de forma experimental, y mostrando una respuesta satisfactoria, puesto que se logró regular el voltaje y equilibrar las corrientes del convertidor en paralelo, la variable estimada es muy cercana a su valor real, por tanto el error de estimación se acerca mucho a cero, aun con la presencia de la carga constante.

6.2 Trabajos futuros

Basado en este trabajo de tesis, se plantean los siguientes trabajos futuros:

- Diseñar un convertidor en el cual la potencia de salida se incremente y se justifique el uso de los convertidores en paralelo. Dado que en el trabajo realizado se limitó la potencia de salida del convertidor, puesto que el objetivo principal fue probar el algoritmo de control y la implementación en el FPGA haciendo uso de la herramienta System Generator. Una vez asimilada dicha herramienta será posible una implementación con una potencia mayor.
- Aplicar la técnica de control mediante rechazo activo de perturbaciones basado en observadores GIP a otras configuraciones de convertidores.
- Aplicar la técnica de rechazo activo de perturbaciones al control de motores mediante convertidores electrónicos de potencia. Ya que estos operan en ambientes perturbados e incertidumbre paramétrica.

Bibliografía

- [1] Consoli A., Gennaro F., Cavallaro C., and Testa A., "A Comparative Study of Different Buck Topologies for High Efficiency Low Voltage Applications," in *Power Electronics Specialists Conference, PESC 99 30th Annual IEEE*, vol. 1, Charleston, SC, pp. 60-65, 1999.
- [2] Veerachary M., "Performance Improvement of Voltage-Mode Controlled Interleaved Buck Converters," *Journal of Power Electronics*, pp. 5(2): 104–108, 2005.
- [3] Garcés Miguel P., "Análisis y control de convertidores continua-continua para módulos reguladores de baja tensión," Universitat Rovira I Virgili, tesis de doctorado 978-84-692-9757-5, 2009.
- [4] Sira-Ramírez H., "Control mediante Rechazo Activo de Perturbaciones: Perspectiva Histórica y Nuevos Horizontes," in *Congreso Nacional de Control Automatico 2012*, Ciudad del Carmen, Campeche, México, p. 12, 2012.
- [5] Fosas E. and Olivar G., "Study of Chaos in the Buck Converter," *IEEE transactions on circuits and Systems-I fundamental Theory and applications*, vol. 43, pp. 13-25, Enero 1996.
- [6] Fang Chung-Chieh, "Exact orbital stability analysis of static and dynamic ramp compensations in DC-DC Converters," in *Industrial Electronics, 2001. Proceedings. ISIE*

2001. *IEEE International Symposium on* , vol. 3, Pusan, pp. 2124-2129, 2001.
- [7] Batarseh Issa, *Power Electronic Circuits*, John Wiley & Sons Inc, Ed.: WILEY, 2004.
- [8] Rashid Muhammad H., *Power Electronics Handbook*. USA: Academic Press, 2001.
- [9] Rashid Muhammad H., *Electrónica de Potencia Circuitos, Dispositivos y Aplicaciones*, Tercera ed. México: Pearson Educación, 2004.
- [10] Hart Daniel W., *Electronica de Potencia*, Primera ed. Madrid, España: Prentice Hall, Pearson Educación, 2001.
- [11] Vilchis Estrada J. C., "Análisis de Estructuras Multifase para Mejorar la Eficiencia en Convertidores Buck Síncronos para la Tecnología LPIA-INTEL," Departamento de Ingeniería Electrónica, Centro Nacional de Investigación y Desarrollo Tecnológico, Cuernavaca, Morelos, tesis de maestría 2009.
- [12] Merello A. and Eirea G., "Control de Convertidores DC/DC de Capacidades Conmutadas con Esquema de regulación Multi-Fase," Facultad de Ingeniería – Instituto de Ingeniería Eléctrica, Universidad de la República, Diciembre 2007.
- [13] Ramos R., Biel D., and Fossas E., "Control en modo deslizante para un convertidor reductor multifase en entrelazado con ecualización de corriente," *Seminario Anual de Automática, Electrónica Industrial e Instrumentación*, pp. 161-166, Julio 2011.
- [14] Ang S. and Oliva A., *Power-Switching Converters.*: Taylor & Francis, CRC, second edition edición., 2005.
- [15] Cornea O., Muntean N., and Gavris M., "Interleaved 3 phase DC/DC Converter for Automotive Applications.," in *12th International Conference on Optimization of Electrical and Electronic Equipment*, pp. 589–594, 2010.
- [16] Cervera P., "Nuevas soluciones topológicas de convertidores CC/CC para alimentar cargas Electrónicas con baja Tensión y Rápida respuesta Dinámica," Universidad Politécnica de Madrid, Madrid España, Tesis Doctorado 2004.
- [17] Han J., "From pid to active disturbance rejection control," *Industrial Electronics, IEEE transactions on*, vol. 56, no. 3, pp. 900-906, 2009.
- [18] Gao Z., "Active Disturbance Rejection Control: a Paradigm Shift in Feedback Control System Design," in *American Control Conference*, Minneapolis, Minnesota, USA, pp.

- 2399-2405, 2006.
- [19] Gao Z. Z., Huang Y. Y., and Han J., "An alternative Paradigm for Control System Design," in *Decision and Control, 2001. Proceedings of the 40th IEEE Conference on*, vol. 5, Orlando FL., pp. 4578-4585, 2001.
- [20] Tian G. and Gao Z., "From Poncelet's Invariance Principle to Active Disturbance Rejection," in *American Control Conference*, St Louis, MO, USA, 2009.
- [21] Sira-Ramirez H. and Oliver-Salazar M., "On the Robust Control of Buck-Converter DC-Motor Combination," *IEEE Transactions on Power Electronics* , vol. 28, no. 8, August 2013.
- [22] Sira-Ramirez H., Luviano Juárez A., and Cortés Romero C., "Control Lineal Robusto de Sistemas No Lineales Diferencialmente Planos," vol. 8, no. 1, pp. 14-28, Enero 2011.
- [23] Franch J., Agrawal S., and Sangwan V., "Differential flatness of a class of n-dof planar manipulators driven by 1 or 2 actuators.," *Automatic Control, IEEE Transactions on*, vol. 55, no. 2, pp. 548-554, 2010.
- [24] Sira-Ramírez H. and Agrawal S. K., New York: Marcel Dekker, 2004, p. 467.
- [25] Eirea G., *Estimation and Control Techniques in Power Converters*. Berkeley, California.: University of California Berkeley, 2006.
- [26] Fliess M., Lévine J., Martin P., and Rouchon P., "Flatness and defect of non-linear systems: introductory theory and examples," *International journal of control*, vol. 61, no. 6, pp. 1327-1361, 1995.
- [27] Aguilar-Ibañez C., Sira-Ramírez H., and Suárez-Castañón m., "A flatness based controller for the stabilization of the inverted pendulum," *MPE Mathematical Problems in Engineering Journal*, 2010.
- [28] Chelouah A. and Chitour Y., "Motion planning of rolling surfaces," in *Decision and Control, 2001. Proceedings of the 40th IEEE Conference on*, 2001.
- [29] Dannehl J. and Fuchs F., "Flatness-based control of an induction machine fed via voltage source inverter-concept, control design and performance analysis," in *En IEEE Industrial Electronics, IECON 2006-32nd Annual Conference on*, pp. 5125-5130, 2006.
- [30] Deutscher, J.; Anritter, F.; Schmidt, K., "Feedforward control of nonlinear systems using

- fictitious inputs," in *En Decision and Control, 2005 and 2005 European Control Conference. CDC-ECC '05.44th IEEE Conference on*, pp. 7264-7269, 2005.
- [31] Dannel J. and Fuchs F., "Flatness-based voltage-oriented control of three-phase PWM rectifiers," in *En Power Electronics and Motion Control Conference, EPE-PEMC 2008 13th*, pp. 444-450, 2008.
- [32] Enriquez-Zarate J., Silva-Navarro G., and Sira-Ramírez H., "Sliding mode control of a differentially flat vibrational mechanical system: experimental results," in *En Decision and Control, 2000. Proceedings of the 39th IEEE Conference on*, 2000.
- [33] HE G. P. and Geng Z. Y., "Optimal motion planning for differentially flat underactuated mechanical systems," in *En Automation and Logistics, 2008. ICAL 2008. IEEE International Conference on*, pp. 1567-1572, 2008.
- [34] Linares-Flores J. and Sira-Ramírez H., "Dc motor velocity control through a dc-to-dc power converter," in *Decision and Control, CDC. 43rd IEEE Conference on*, vol. 5, pp. 5297-5302, 2004.
- [35] Linares-Flores J. and Sira-Ramírez H., "Load torque estimation and passivity-based control of a boost-converter/dc-motor combination," *Control Systems Technology, IEEE Transactions on*, vol. 18, no. 6, pp. 1398-1405, 2010.
- [36] Sangwan V., Kuebler H., and Agrawal S., "Differentially flat design of under-actuated planar robots: Experimental results," in *En Robotics and Automation, 2008. ICRA 2008, IEEE International Conference on*, pp. 1050-4729, 2008.
- [37] Sira-Ramírez H. and Silva-Ortigoza R., "On the Control of the Resonant Converter: A Hybrid-Flatness Approach," in *En Proc. 15th International Symposium on Mathematical Theory of Networks and Systems*, Citeseer, 2002.
- [38] Sira-Ramírez H., "On the control of the underactuated ship: a trajectory planning approach," in *En Decision and Control, 1999. Proceedings of the 38th IEEE Conference on*, 1999.
- [39] "Robust GPI observer under noisy measurements," in *6th International Conference in Electrical Engineering, Computing Science and Automatic Control, CCE*, pp. 1-5, 2009.
- [40] Sira-Ramírez H., López Uribe C., and Velasco Villa M., "Trajectory-Tracking Control of

- an Input Delayed Omnidirectional Mobile Robot," in *in 7th International Conference in Electrical Engineering Computing*, pp. 470-475, 2010.
- [41] Wojciechowski B., "Analysis and synthesis of proportional-integral observers for single-input-single-output time-invariant continuous systems," in *Ph.D. dissertation, Gliwice, Poland*, 1978.
- [42] Luo J., Pongratananukul N., Abu-Qahouq J., and Batarseh I., "Time-varying Current Observer with Parameter Estimation for Multiphase Low-Voltage High-Current Voltage Regulator Modules," in *Applied Power Electronics Conference and Exposition, APEC '03. Eighteenth Annual IEEE*, vol. 1, Miami Beach, FL, USA, pp. 444–450, 2003.
- [43] Peterchev A. V., Xiao Jinwen, and Sanders Seth R., "Architecture and IC Implementation of a Digital VRM Controller," *IEEE Transactions on Power Electronic*, vol. 18, no. 1, Enero 2003.
- [44] Alvarez J., Lago A., Nogueiras A., and Martinez P., "FPGA Implementation of a Fuzzy Controller for Automobile DC-DC Converters," Department of Electronics Technology, University of Vigo, 2006.
- [45] Dongsheng M., "Robust Multiple-Phase Switched-Capacitor DC-DC Converter with Digital Interleaving Regulation Scheme," *ISLPED'06*, October 2006.
- [46] Dingxin S., Yunxiang X., and Xiaogang W., "Optimal Control of Buck Converter by State Feedback Linearization," in *Proceedings of the 7th World Congress on Intelligent Control and Automation*, Chongqing China, pp. 2265- 2270, 2008.
- [47] Biel D. and Fossas E., "Some experiments on chattering suppression in power converters," *18th IEEE International Conference on Control Applications*, pp. 1523-1528, Julio 2009.
- [48] Zhang X., Corradini L., and Maksimovic D., "Sensorless Current Sharing in Digitally Controlled Two-Phase Buck DC-DC Converters," in *In Proc. IEEE Appl. Power Electron. Conf. Expo.*, Washington, pp. 70-76, 2009.
- [49] Mohamed A. Shrud, Ahmad H. Kharaz, Ahmed S. Ashur, Ahmed F., and Mustafa B., "Analysis and Simulation of Automotive Interleaved Buck Converter," *World Academy of Science, Engineering and Technology* 63, pp. 10-17, 2010.
- [50] Martínez Vazquez D. L., Rodríguez Ángeles A., and Sira-Ramírez H., "Robust GPI

- Observer Under Noisy Measurements," in *6th International Conference in Electrical Engineering, Computing Science and Automatic Control, CCE*, pp. 1-5, 2009.
- [51] Linares-Flores J., Barahona-Avalos J., and Sira-Ramirez H., "Robust Passivity-Based Control of a Buck-Boost-Converter/DC-Motor System: An Active Disturbance Rejection Approach," *IEEE Transactions on Industry Applications*, vol. 48, no. 6, Noviembre/Diciembre 2012.
- [52] Yescas-Mendoza E., Linares-Flores J., Contreras-Ordaz M., and Barahona-Avalos J., "Controlador Lineal de Velocidad Angular con Rechazo Activo de Perturbaciones del Convertidor Reductor/Motor CD," in *Memoria XV Congreso Latinoamericano de Control Automático 23-26 Octubre*, Lima-Peru, 2012.
- [53] Tessier R., "Reconfigurable computing for digital signal processing: A survey," *Journal of VLSI Signal Processing*, vol. 7, pp. 7-27, Junio 2001.
- [54] Underwood, K., "Fpgas vs. cpus: Trends in peak floating point performance," in *in Proceedings of the ACM/SIGDA 12th international symposium on Field programmable gate arrays*, pp. 171-180, 2004.
- [55] (2014) MathWorks. [Online]. <http://www.mathworks.com/>
- [56] Harel D., "Statecharts: a visual formalism for complex systems," *Science of Computer Programming*, pp. 231-274, 1987.
- [57] (2008, Marzo) Xilinx. [Online]. www.xilinx.com
- [58] Altera Technical Training. [Online]. <http://www.c7t-hdl.com/>
- [59] Omondi A., *Computer arithmetic systems*, primera edición ed.: Prentice Hall, 1994.
- [60] Goldberg D., "What every computer scientist should know about floating point arithmetic," in *tech. rep.*, Sun Microsystems, California, 1992.
- [61] Fang T. F., Tsuhan C., and Rutenbar R., "Floating-point bit-width optimization for low-power signal processing applications," in *In International Conference on Acoustic Speech, and Signal Processing*, pp. 3208-3211, 2002.
- [62] Meyer-Baese U., , edición primera, Ed., 2001.
- [63] Bruguera J. and Lang T., "Leading-one prediction scheme for latency improvement in single datapath floating point adders," in *in Proc. Intl. conf. computer design (ICCD'98)*,

- pp. 298-305, 1998.
- [64] Muller J. M., *Handbook of floating point arithmetic*, primera edición ed., 2009.
- [65] Kritic M., Kanellakopoulos I., and Kokotovic P., New York: Jhon Wiley and Sons, Inc., 1995.
- [66] Sira-Ramírez H. and Agrawal S. K., New York: Marcel Dekker, 2004, p. 467.
- [67] Linares Flores J., Reger j., and Sira-Ramírez H., "Speed-sensorless tracking control of a dc -motor via a double Buck-converter," in *Proceedings of the 45th IEEE Conference on Decision & Control*, San Diego California, pp. 6229-6234, 2006.
- [68] Martínez Vazquez D. L., Rodríguez Ángeles A., and Sira-Ramírez H., "Robust GPI Observer Under Noisy Measurements," in *6th International Conference in Electrical Engineering, Computing Science and Automatic Control, CCE*, pp. 1-5, 2009.
- [69] Sira-Ramírez H., Luviano J. A., and Cortés R. J., "Control lineal robusto de sistemas no lineales diferencialmente planos," , vol. 8, pp. 14-27, 2011.
- [70] Sira-Ramírez H., Luviano J. A., and Cortés R. J., "Control lineal robusto de sistemas no lineales diferencialmente planos," vol. 8, no. 1, pp. 14-27, 2011.